

0 前言

0.1 初衷

大家好，我是记得诚。

公众号零零碎碎写了100多篇原创，虽然搞了专辑（相同类型文章放到一个目录下），但是阅读起来还是差点意思。

在公众号查找文章也不方便，经常有读者在后台发送关键字，想获取对应的文章，却无果。

总而言之，出这本PDF电子书有两个原因，对于我个人来说，1个是沉淀，1个是知识体系梳理；对读者来说，方便阅读。

这本PDF我取名为「**硬件工程师入门小册子**」。

0.2 联系方式

微信：HW-share

知识星球：**记得诚电子技术圈**

公众号：**记得诚**，扫描下方二维码关注我



这本PDF电子书为V1.0版本，后续迭代和更新版本，都会第一时间在公众号发布。

版权所有：记得诚

发布时间：2022年1月31日

1 效率工具

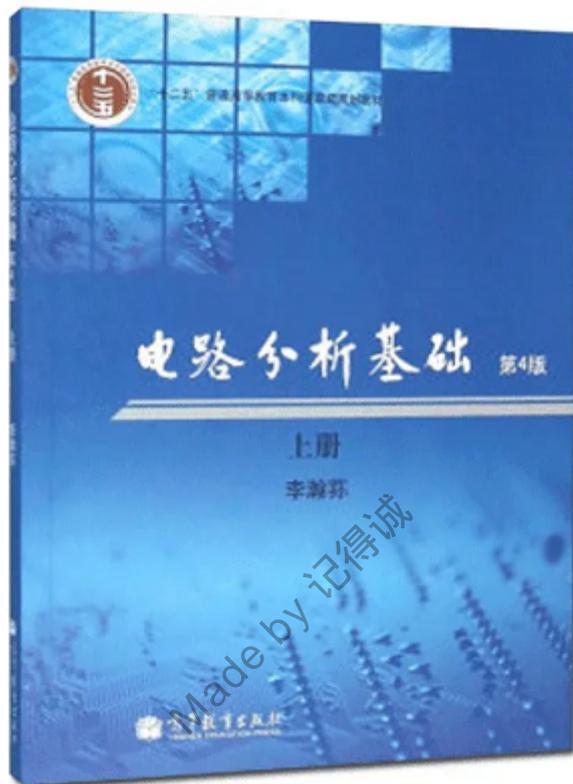
1.1 书籍推荐

大家好，我是记得诚。

之前很多读者留言问，学硬件设计，需要看哪些书？所以这一篇文章，我简单写一写，主要以记得诚视角，分享一些我觉得很好的书籍吧，有些转行电子的小伙伴或者即将转行的小伙伴，也可以参考一下。

1.1.1 基础理论知识

1) **电路分析基础（李瀚荪）**，这本书是教材，对于底子薄的同学，还是建议先看看的，主要是一些电路分析的定理、转换方式等。



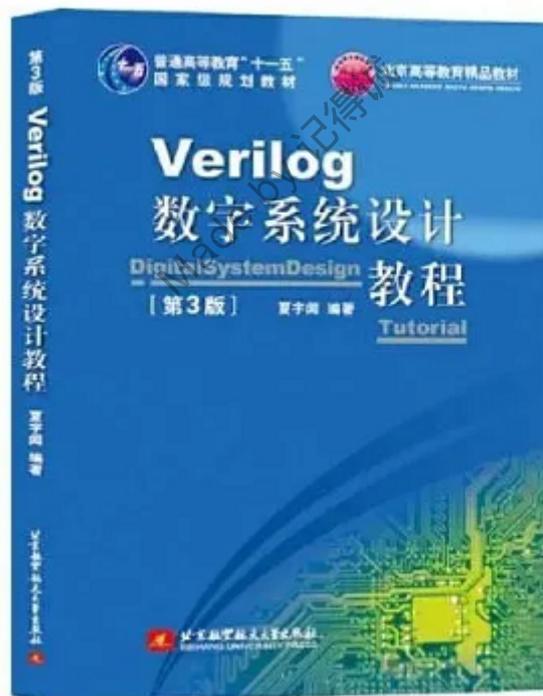
2)像**微机原理、线性电子电路、非线性电子电路、高频电子线路**这些教材都建议看看。

1.1.2 数字电路设计

推荐《**数字电子技术基础**》（第六版，阎石），数字电路基础是电子专业必修课，高校教材内容也都是大差不差的，也可以看华成英的第五版。

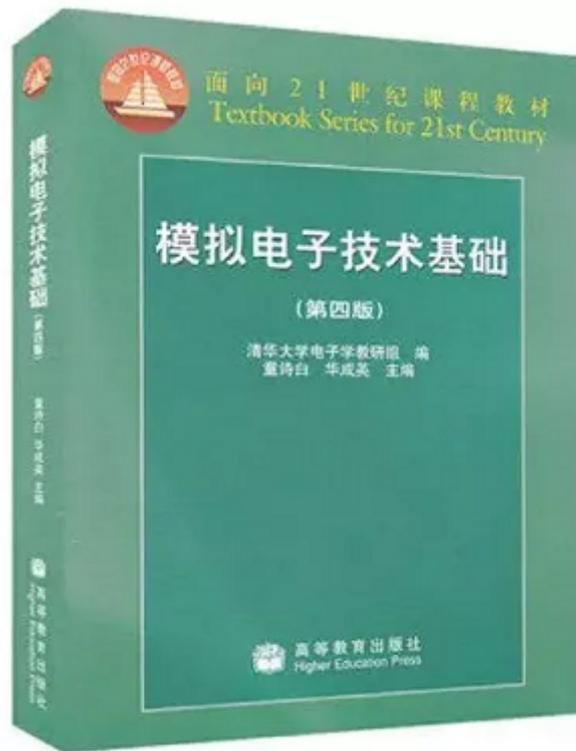


如果是走FPGA/CPLD路线，需要学Verilog语言，可以看《Verilog数字系统设计教程》（夏宇闻）。



1.1.3 模拟电路设计

教材推荐《模拟电子技术基础》（华成英）。



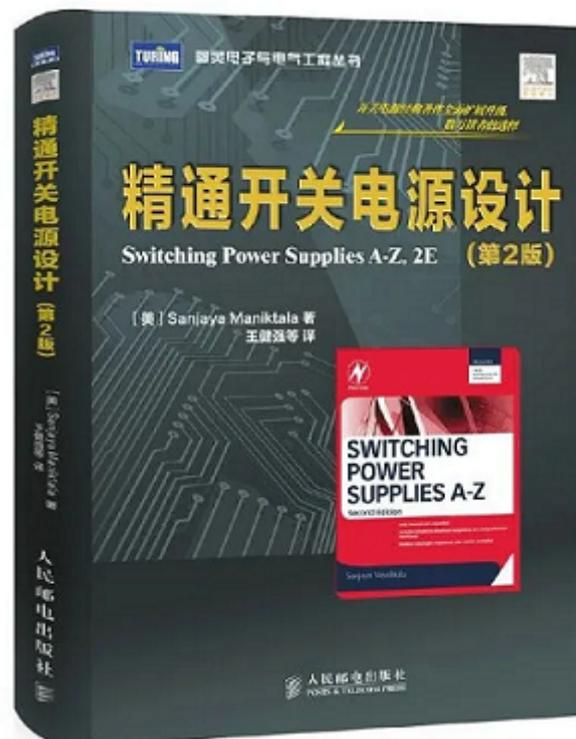
模拟电路相比较数字电路，有点晦涩难懂，除了国内的教材外，也推荐读一读国外的一些书籍。

推荐如下：

- 《晶体管电路设计》（铃木雅臣）
- 《你好，放大器》（杨建国）
- 《运算放大器权威指南》（译者姚剑清）
- 《新概念模拟电路》（ADI出品）

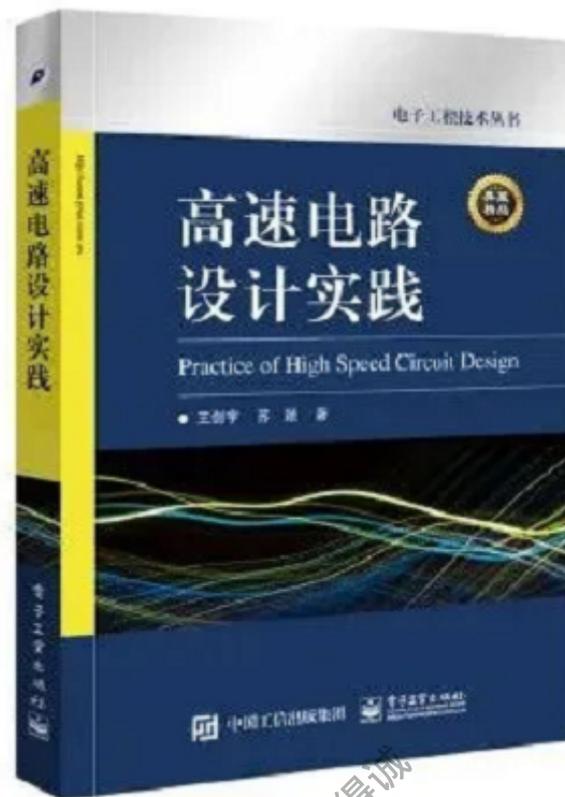
1.1.4 电源设计

推荐《精通开关电源设计》（Sanjaya Maniktala著，王健强等译），这本书yyds的。

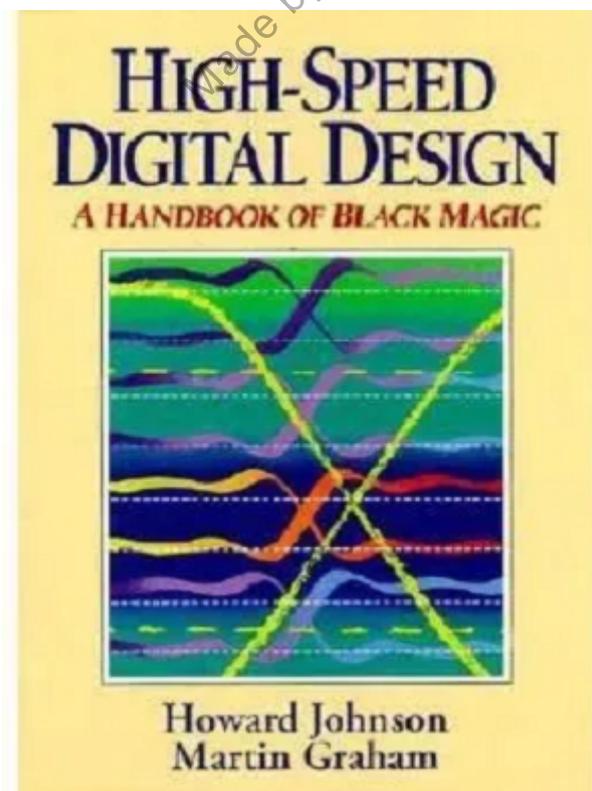


1.1.5 高速电路设计

推荐《高速电路设计实践》（王剑宇），这本书也是强烈推荐的，非常贴合工程实践，结合具体案例，语言还是很通俗易懂的，适合有工作经验的小伙伴看，用来提高解决工程实践问题的效率。



另外推荐《HIGH-SPEED DIGITAL DESIGN》（Howard Johnson），俗称黑魔书。

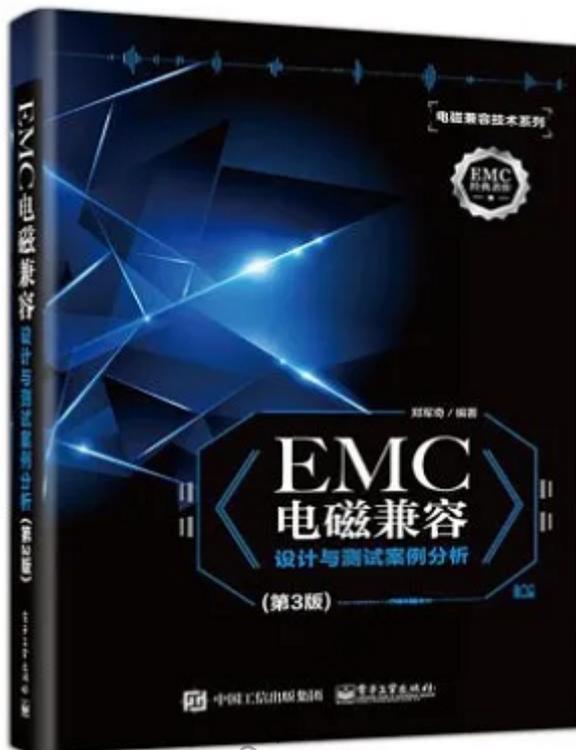


1.1.6 PCB设计

关于PCB设计的书籍，大多数是基于Protel 99SE、Altium Designer、PADS、Cadence的软件操作教程，我是不建议大家购买的，自己多画画多操作，差不多一两个礼拜也就能上手使用。

1.1.7 EMC电磁兼容

推荐《EMC电磁兼容-设计与测试案例分析》（郑军奇）。



这本书之前买过一本，抽奖送给小伙伴了，书的质量还是很高的，主要是以实际案例讲解的，毕竟EMC是一门玄学，配合实际案例，不会那么枯燥，学这些理论也是为了更好的解决实际工程问题。

里面的案例涉及结构、屏蔽与接地、滤波与抑制、电缆、布线、连接器与接口电路、旁路、去耦与储能、PCB Layout，以及器件、软件与频率抖动技术等各个方面。

1.1.8 手机硬件电路设计

推荐《手机硬件电路设计与创新》（陈皓），手机硬件设计类的书籍，目前应该就这一本，此书第二版应该是2016年出版的，虽然定位的是入门书籍，但需要一定的硬件理论功底。



这本书的内容还是挺多的，从无线通信史、到手机的系统组成、基本组件、分立元器件、PCB基础知识、电源、时钟、音频、FM、RF、CAMERA、ESD以及实际案例等等。

1.1.9 信号完整性

推荐《信号完整性分析》(Eric Bogatin著, 李玉山译)、《于博士揭秘信号完整性》(于铮)。

今天的文章内容到这里就结束了，希望对你有帮助，我们下一期见。

欢迎小伙伴们留言，分享你看过的好书。

1.2 网站推荐

硬件设计，和经验强相关，和具体项目强相关，在网上，会发现极少有人分享硬件设计内容，导致很难入门。

在公司解决一个 EMC 问题，可能形成一个文档，会存在公司服务器上，不会共享出来。

导致优质的硬件资料非常少，诚哥在几年的硬件研发中，收藏了一些经常逛的网站，分享给大家。

1.2.1 中国大学 MOOC (慕课网)

MOOC 是在线课程，各个学校的优质课程，平时逃课的，补充理论知识的，都可以在里面找到相关专业的视频。

网址: <https://www.icourse163.org/>



电子线路
南京航空航天大学电子信息工程学院

电子线路 国家精品

南京航空航天大学 王成华、胡志忠、洪峰、刘伟强、邵杰、夏永君

电子信息技术是发展最为迅速的领域之一，这主要得益于集成电路和计算机的发明。这两项技术既是电子技术发展的产物，又是电子技术持续发展的推动力。在这样的时代背景...

1049人参加 进行至第4周



高频电子电路分析基础
西安电子科技大学 赵建勋 等

高频电子电路分析基础 国家精品

西安电子科技大学 赵建勋、孙肖子、邓军

高频电子电路分析基础研究以无线电发射和接收单元为代表的非线性信号处理电路，系统讲解各类非线性电路的设计方法、工作原理和分析计算。高频电路的教学比较抽象，课程做了针对性设计，从学生...

27240人参加 已结束，可查看内容



模拟电子电路
杭州电子科技大学 刘圆圆、游彬、吕仰帅、顾梅园、于海滨、程瑜华、李竹、朱舫

模拟电子电路

模拟电子技术广泛应用于各类硬件开发和集成电路设计中，因此该课程是培养电子通信类工程从业人员的基础课程。本课程为国家首批线上线下混合式一流课程的线上部分，课程设置侧重理论与实...

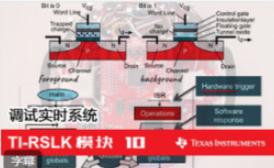
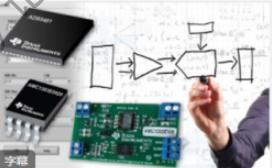
1274人参加 进行至第5周

1.2.2 TI 培训

德州仪器是一家半导体公司，大家都知道，里面有一些培训视频和技术文档，非常专业。

网址: ti.com.cn

热门课程

 <p>TI-RSLK 模块</p> <p>TI机器人系统学习套件 (TI-RSLK)</p> <p>69节课 737分钟</p>	 <p>BQ76952 & BQ76942, 3-16S & 3-10S 电池监控器系列培训</p> <p>4节课 35分钟</p>	 <p>TI 高精度实验室 - ADC系列视频</p> <p>50节课 506分钟</p>	 <p>MSP430FR2433 ADC唤醒和传输的练习</p> <p>1节课 16分钟</p>
 <p>TI.com 线上采购专场: 智能楼宇篇</p> <p>1节课 33分钟</p>	 <p>TI PSDS研讨会课程</p> <p>57节课 409分钟</p>	 <p>TI 高精度实验室系列课程 - 运算放大器</p> <p>52节课 672分钟</p>	 <p>电子电路基础知识讲座</p> <p>79节课 586分钟</p>

1.2.3 电路城

电路城是 Supplyframe 旗下的一个电路方案交易商城，你可能不清楚 Supplyframe，与非网也是它旗下的。

电路城适合大学生，可以下载一些电路方案，但很多是收费的，也可以上传一些成熟的电路方案上去，挣一些零花钱。

网址: <https://www.cirmall.com/>



1.2.4 逆天 PCB 论坛

主要是 PCB 设计相关内容，在里面可以学习各种 EDA 软件，下载一些用于练习的 PCB 文件。

网站: <http://bbs.ntpcb.com/>

1.2.5 ADI

ADI 和 TI 一样，都是很牛逼的半导体公司，里面的资源丰富且专业，专业到看不懂。

网址: <https://www.analog.com/cn/index.html>

<p>参考电路</p> <ul style="list-style-type: none"> 实验室电路 驱动和参考代码 FPGA和处理器兼容参考设计 中文参考设计精选 中文系统方案精选 		<p>高级选型设计工具</p> <ul style="list-style-type: none"> LTspice 放大器与线性工具 时钟与定时工具 数据转换工具 电源管理工具 RF及相关工具 											
<p>评估硬件与软件</p> <table border="1"> <tr> <td>评估平台</td> <td>产品评估板与开发套件</td> </tr> <tr> <td>软件</td> <td>JESD204 Interface Framework</td> </tr> </table>	评估平台	产品评估板与开发套件	软件	JESD204 Interface Framework	<p>仿真模型</p> <table border="1"> <tr> <td>SPICE模型</td> <td>IBIS模型</td> </tr> <tr> <td>MathWorks行为模型</td> <td>BSDL模型</td> </tr> <tr> <td>S参数</td> <td>用于Keysight Genesys的Sys-Parameter模型</td> </tr> </table>		SPICE模型	IBIS模型	MathWorks行为模型	BSDL模型	S参数	用于Keysight Genesys的Sys-Parameter模型	
评估平台	产品评估板与开发套件												
软件	JESD204 Interface Framework												
SPICE模型	IBIS模型												
MathWorks行为模型	BSDL模型												
S参数	用于Keysight Genesys的Sys-Parameter模型												
<p>封装、质量、原理图符号和PCB封装</p> <table border="1"> <tr> <td>封装索引</td> <td>质量与可靠性</td> </tr> <tr> <td>封装资源</td> <td>原理图符号和PCB封装</td> </tr> </table>	封装索引	质量与可靠性	封装资源	原理图符号和PCB封装	<p>处理器和DSP</p> <table border="1"> <tr> <td>软件</td> <td>硬件</td> </tr> <tr> <td>技术知识库</td> <td>第三方开发商计划</td> </tr> </table>		软件	硬件	技术知识库	第三方开发商计划			
封装索引	质量与可靠性												
封装资源	原理图符号和PCB封装												
软件	硬件												
技术知识库	第三方开发商计划												

1.2.6 Electronics Tutorials

无意间发现的一个网站，是全球第一媒体机构 ASPENCORE 下面的一个电子教程网站，内容多，且非常专业，图文并茂，推荐指数5颗星。

ASPENCORE 旗下还有电子工程专辑、EDNChina、国际电子商情等媒体。

网址: <https://www.electronics-tutorials.ws/>

交流电路 交流电路和交流电路理论教程 20	功放 关于双极晶体管和FET放大器的教程 18岁	衰减器 关于无源衰减器的教程 6
二进制数 关于二进制数和转换的教程 8	布尔代数 关于布尔代数的教程 12	电容器类 电容器和电容电机的教程 11
组合逻辑 组合逻辑电路教程 14	连接性 关于连接性的教程 3	专柜 有关计数器和频率的教程 8
直流电路 直流电路和直流电路理论教程 17	二极管 有关半导体二极管和整流器的教程 11	电磁学 电磁感应教程 6
滤波器 有关RC无源和有源运算放大器滤波器的教程 13	电感器 有关电感器和电感的教程 7	输入/输出设备 有关输入传感器和输出执行器的教程 13
逻辑门 有关逻辑门及其真值表的教程 12	杂项电路 杂项电子教程和电路 14	运算放大器 有关运算放大器及其配置的教程 13

1.2.7 电子制作天地

主要是一些电路方案，带讲解。

网址：dzdiy.com

开关稳压电源类	更多...	线性稳压电源类	更多...	CD4017多挡可控硅调温电路	7-18
MIC2182电流型同步降压稳压器	7-6	实用简易晶体管可调稳压电源的设计制作	7-27	变压器降压LED节能灯制作	7-27
2006 (UC3842) 电源模块剖析及在开关电源..	6-29	CD4013遥控插座电路	5-21	对讲电话电路图	7-27
输出电压可调的通用电源	6-15	电源延迟接通电路	5-18	汽车用胆机功放的制作	7-27
宽范围稳压器的设计	6-5	负电压发生器电路	4-27	西瓜生熟测定仪的制作	7-27
光纤灯筒介及故障维修,变压电路图	6-2	NE555倍压电路,升压电路	4-23	红外线电话机的高音质电路	7-27
开字智能型开关电源模块原理剖析	5-25	笔记本电脑改用蓄电池供电	4-20	实用简易晶体管可调稳压电源的设计制作	7-27
三洋80P彩电开关电源	2-17	12V电池控制器的制作(低电压保护电路)	3-19	新型LED驱动电路SD6955应用	7-20
降压型PWM开关电源控制器AP1510	1-9	一款高精度,高性能的全自动交流稳压电路..	12-22	用6DJ8和6N3制作歌声胆前级	7-20
简单易调的工频小功率逆变器	8-18	老式电动剃须刀改为充电式	11-17		
小米2成功改造无线充电	7-17	方便适用的多电压变压器	9-22		
发射及接收天线类	更多...	收音机与电视类	更多...	编辑推荐	
业余电台2m波4单元方框无线的制作	3-19	收音机电源自动关断电路	4-27	用MAX1771(MAX770)制作万用表9V电源 (万用..	
J型FM发射天线尺寸	2-17	TDA7088 FM自动选台调谐收音机电路	4-7	可自动更换量程的数显电流表	
一款新颖廉价的无线数字音频广播系统	11-3	中周内置电容量表	3-2	RT9266万用表9V电池代用电路	
简易抛物面天线的制作	6-6	MK484微型收音机集成电路MK484(7642,414)..	2-11	变压器设计方法与技巧	
FMA9901A调频广播专用天线	6-3	有线电视二分分配器电路图	1-19	20元打造经典PC遥控器	
室外天线与收音机天线杆接合方法	6-3	7/9/11引脚显像管座功能	1-19	打造超级PC遥控器	
自制wifi功率放大器,可以试试哦~	3-4	CD9088单片电调谐收音机电路图	1-13	用90s2313做的USB接口的红外遥控器	
自制大口径正馈抛物面天线连续抛物线的高..	2-21	七管调幅收音机原理框图、电路图	1-9	使用NOKIA3310液晶屏及DS18B20制作的数字..	
袖珍通讯机用螺旋天线的原理,设计与制作	5-1	6N1再生式三灯电子管收音机	1-5	93C46串行E2ROOM拷贝器	
简单易制的高增益天线	4-8	简单调频收音机	1-5	采用实时时钟芯片DS1302+AT89C2051的红外..	

1.2.8 Google

合理上网，多用 Google，少用某度。

好的网站还是太少了，硬件学习还是需要以实战为主，理论为辅。

今天的文章内容到这里就结束了，希望对你有帮助，我们下一期见。

1.3 datasheet网站



学长，在吗

在的，什么事？



我找到工作了，刚入职，干的是硬件开发

哦，恭喜啊，挺好的，然后呢？



我刚来公司，主管让我看一些资料，我发现电子元件的datasheet都是全英文的，对我一个4级没过的人，看不懂很捉急啊，而且有些datasheet还找不到，学长，可以给我指点一下吗？

哦，这个啊，很简单，把英语学好，就可以了呀



你TM

哎，暴躁的学妹，开个玩笑，至于吗？如上内容纯属虚构，如有雷同，我不负责，我和学妹对话中的datasheet特指电子元器件的数据手册。

2 概念之二

编辑

datasheet（数据手册），电子元件，电子芯片的数据手册，一般由厂家编写，格式一般为PDF，内容为电子元件，电子芯片的各项参数，电性参数，物理参数，甚至制造材料，使用建议等，内容形式一般为说明文字，各种特性曲线，图表，数据表等。数据手册的PDF文件一般是免费发放的。

如何查找datasheet？

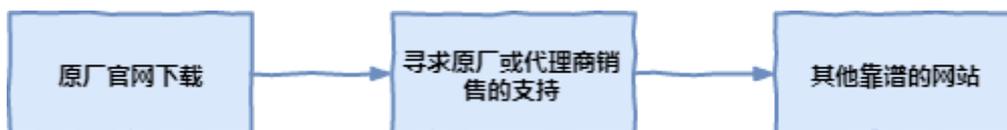
很多人第一时间就是打开百度，输入元器件型号，不是很推荐。

百度为您找到相关结果约19,300个

搜索工具

对辨别能力比较弱的小白来说，不推荐的原因有两个，一是找到的datasheet不一定是最新的。第二个比较重要的原因，现在很多元器件的型号都是一样的，比如A厂叫SDS，B厂也叫SDS，但是两者参数是有一定区别的，所以不管是在选型，还是在设计时，都会造成一定的误差。

我给如何查找元件datasheet排了一个优先级，依次是**原厂官网**、**原厂销售或代理商销售的支持**、**其他靠谱网站**。



在原厂官网查找datasheet有如何几个优点：

- **型号齐全，错误少，更新频率快；**
- **方便选型，一些原厂可以进行元器件参数对比，以便寻找到最合适的型号；**
- **配套资源齐全，比如一些芯片，会有参考设计，仿真模型，封装信息下载等，有助于更好的设计。**

如下某官网芯片datasheet，除了提供数据表、技术文章和应用手册外。

技术文档

★ = TI 精选相关文档

类型	标题	下载最新的英文版本	发布 ↓↑
全部	按关键字筛选标题		
★ 数据表	LM34936-Q1 30V 宽 VIN 同步 4 开关降压/升压控制器数据表	下载英文版本	2018年 12月 17日
技术文章	Four-switch buck-boost layout tip No. 4: routing gate-drive and return paths		2019年 2月 20日
应用手册	LM5176 Power Sharing Between Two Parallel, Four-Switch Buck-Boost Converters		2018年 7月 16日

还提供如下所示的硬件开发的原理图和PCB文件、设计仿真文件和芯片的封装信息。

设计与开发

有关其他条款或所需资源，请点击下面的任何链接来查看详情页面。

全部 硬件开发 设计工具和仿真 CAD/CAE 符号

硬件开发			
	评估板 LM5175EVM 宽输入电压单电感降压-升压控制器评估模块 LM5175EVM 用户指南	\$199,000 加入购物车	▼
	评估板 LM5176 宽 VIN 升压-降压控制器评估模块 LM5176EVM-HP 用户指南	\$199,000 加入购物车	▼
设计工具和仿真			
	仿真模型 LM34936 PSpice Transient Model SNVMBL5.ZIP (130 KB) - PSpice Model	下载	

那有人说了，我用的芯片都是小厂的，连官网都没有，更不谈在官网下载datasheet了，那我推荐的第二个方法就是：**寻求原厂销售或者代理商销售的支持。**

那你们会说他们靠谱不，我会说，非常靠谱，而且还很专业热情，寻求销售帮助有如下的优点：

- 第一：销售都是热情的，电子元器件的销售更是如此，所以沟通起来很顺畅，效率也会提高。
- 第二：销售是专业的，可以给我们提供一些样品，这个在项目初期非常重要，可以提前测试把握一下器件性能并解决试产物料的短缺（我经常这么干，试产的时候，新料都是直接找代理商要）（一般都是便宜的，控制在100PCS之内，诚哥很良心的，毕竟白嫖也是我憎恨的行为之一）
- 第三，销售还是专业的，我之前选择了一颗参数合适的物料，结果再找代理商，人家说，这是专供苹果的型号，这就很尴尬了，不到几分钟，就给我发来了替代的型号。

第三点需要说明的问题是：选择一颗合适的物料除了看性能参数符合外，还要考虑这颗物料的价格啊，交期啊，是否是常用料啊，否则可能出现采购困难，造成项目delay的情况。



尼玛，这情况不对啊

- 价格吗，当然是满足性能的前提下，越便宜越好。
- 交期吗，当然是越短越好，比如你一颗物料交期8周，可能项目周期就1个月，项目结束了，物料还没采购到。
- 常用料吗，这个意思就是说，谨慎选择偏僻物料，常用料缺货风险小，出现BUG的风险也小，指的其他类似公司也在用这颗物料，帮助我们抵御了一部分风险，因为用的人越多，越能发现问题。

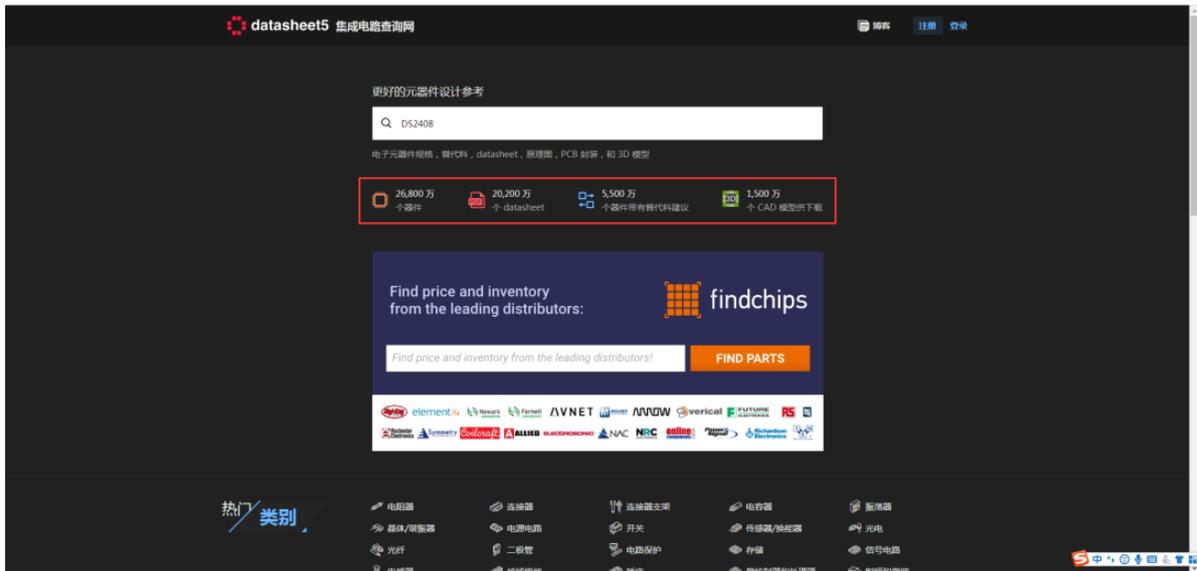
那有人说了，我是个人工作者，在官网找不到，而且没有对应的销售支持窗口，那咋办，那我推荐第三种方法：去靠谱的网站下载。



如下我推荐了几个我常用的网站。

- alldatasheet官网，从这个名字就知道了，上面的确实比较全，有一个缺点是网站卡顿，界面难看。
(网址: <https://www.alldatasheet.com/>)
- datasheet5官网，这个是我最近发现的，宣称对接原厂官网，支持替代料建议、还支持2D3D模型下载，暗黑界面非常nice的。

(网址: <https://www.datasheet5.com/>)



- **datasheet中文查询网** (网址: <https://datasheet.520101.com/>)
- **21csearch** (网址: <https://www.21csearch.com>)

一般alldatasheet和datasheet5也就够用了, 受限于篇幅和我的懒惰, 教傻白甜学妹如何读datasheet放在下一期。

今天的文章内容到这里就结束了, 希望对你有帮助, 我们下一期见。

1.4 阅读全英文datasheet

全英文的数据手册少则十几页, 多则上百页的也有的, 加上我们又是如此的爱国(英文水平差的借口), 所以在阅读全英文数据手册的时候, 做不到面面俱到, 当然也是没有必要的, 学会善用Ctrl+F, 搜索关键词, 按需所取, 阅读关注的部分即可。

我以一个DC-DC BUCK芯片举例, 列出了很多关键词, 其他的数据手册也是同样的道理。

1.4.1 Title

首先是Title, 这也是厂家秀肌肉的地方, 会告诉你一些最重要的芯片信息, 比如TPS56120x系列、输入电压范围4.5~17V、最大输出电流1A、同步降压、封装是6Pin的SOT-23等。



TPS561201, TPS561208

SLVSC95 – APRIL 2017

TPS56120x 4.5-V to 17-V Input, 1-A Synchronous Step-Down Voltage Regulator in 6-Pin SOT-23

1.4.2 Feature

如果你是选型, 以上参数符合要求, 你就会接着往下去看, feature展示了更多的参数, 比如输出电压范围、静态功耗、关闭功耗、精度和频率等。

1 Features

- TPS561201 and TPS561208 1-A Converter Integrated 140-mΩ and 84-mΩ FETs
- D-CAP2™ Mode Control With Fast Transient Response
- Input Voltage Range: 4.5 V to 17 V
- Output Voltage Range: 0.76 V to 7 V
- Pulse-Skip Mode (TPS561201) or Continuous Current Mode (TPS561208)
- 580-kHz Switching Frequency
- Low Shutdown Current Less than 10 μA
- 2% Feedback Voltage Accuracy (25°C)
- Startup from Pre-Biased Output Voltage
- Cycle-by-Cycle Overcurrent Limit
- Hiccup-Mode Overcurrent Protection
- Non-Latch UVP and TSD Protections
- Fixed Soft-Start: 1.0 ms
- Create a Custom Design Using the TPS56120x With the [WEBENCH® Power Designer](#)

1.4.3 Description

description可以让我们对这个芯片有个大概的了解。

3 Description

The TPS561201 and TPS561208 are simple, easy-to-use, 1-A synchronous step-down converters in SOT-23 package.

The devices are optimized to operate with minimum external component counts and also optimized to achieve low standby current.

These switch mode power supply (SMPS) devices employ D-CAP2 mode control providing a fast transient response and supporting both low equivalent series resistance (ESR) output capacitors such as specialty polymer and ultra-low ESR ceramic capacitors with no external compensation components.

The TPS561201 operates in pulse skip mode, which maintains high efficiency during light load operation. The TPS561201 and TPS561208 are available in a 6-pin 1.6 × 2.9 (mm) SOT (DDC) package and specified from -40°C to 125°C of junction temperature.

1.4.4 Table of Contents

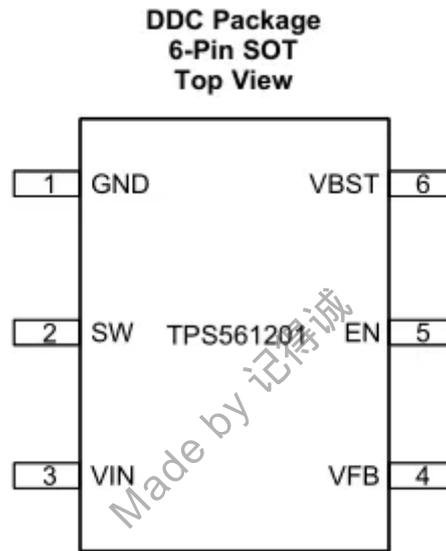
有的数据手册会有目录，可以先了解大致有那些内容，帮助我们寻找关键字。

Table of Contents

1 Features	1	7.4 Device Functional Modes.....	11
2 Applications	1	8 Application and Implementation	12
3 Description	1	8.1 Application Information.....	12
4 Revision History	2	8.2 Typical Application	12
5 Pin Configuration and Functions	3	9 Power Supply Recommendations	18
6 Specifications	4	10 Layout	18
6.1 Absolute Maximum Ratings	4	10.1 Layout Guidelines	18
6.2 ESD Ratings.....	4	10.2 Layout Example	18
6.3 Recommended Operating Conditions.....	4	11 Device and Documentation Support	19
6.4 Thermal Information	4	11.1 Related Links	19
6.5 Electrical Characteristics.....	5	11.2 Community Resources.....	19
6.6 Typical Characteristics.....	6	11.3 Trademarks.....	19
7 Detailed Description	9	11.4 Electrostatic Discharge Caution.....	19
7.1 Overview	9	11.5 Glossary	19
7.2 Functional Block Diagram	9	12 Mechanical, Packaging, and Orderable Information	19
7.3 Feature Description.....	9		

1.4.5 Pin Configuration and Functions

可以了解芯片的管脚排布，每个管脚对应的信号名，建立原理图封装时需要参考下方这个图。



通过pin functions了解每个管脚的功能描述，以及设计电路时有什么需要注意的。

Pin Functions

PIN		DESCRIPTION
NAME	NO.	
GND	1	Ground pin Source terminal of low-side power NFET as well as the ground terminal for controller circuit. Connect sensitive VFB to this GND at a single point.
SW	2	Switch node connection between high-side NFET and low-side NFET.
VIN	3	Input voltage supply pin. The drain terminal of high-side power NFET.
VFB	4	Converter feedback input. Connect to output voltage with feedback resistor divider.
EN	5	Enable input control. Active high and must be pulled up to enable the device.
VBST	6	Supply input for the high-side NFET gate drive circuit. Connect 0.1- μ F capacitor between VBST and SW pins.

1.4.6 Absolute Maximum

Absolute Maximum即绝对最大值，加在芯片上的参数（电压、温度、ESD等级等）绝对不能超过这个值，否者芯片会损坏。

6.1 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted)⁽¹⁾

		MIN	MAX	UNIT
Input voltage	V _{IN} , EN	-0.3	19	V
	VBST	-0.3	25	V
	VBST (10-ns transient)	-0.3	27	V
	VBST (vs SW)	-0.3	6.5	V
	VFB	-0.3	6.5	V
	SW	-2	19	V
	SW (10 ns transient)	-3.5	21	V
Operating junction temperature, T _J		-40	150	°C
Storage temperature, T _{stg}		-55	150	°C

1.4.7 Electrical Characteristics

硬件工程师必关注的电气参数，每个芯片的电气参数也是不尽相同的。

6.5 Electrical Characteristics

T_J = -40°C to 125°C, V = 12 V (unless otherwise noted)

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
SUPPLY CURRENT						
I _{VIN}	Operating – non-switching supply current	V _{IN} current, EN = 5 V, VFB = 0.8 V	TPS561201	380	520	μA
			TPS561208	590	750	
I _{VINSDN}	Shutdown supply current	V _{IN} current, EN = 0 V		1	10	μA
LOGIC THRESHOLD						
V _{ENH}	EN high-level input voltage	EN	1.6			V
V _{ENL}	EN low-level input voltage	EN			0.8	V
R _{EN}	EN pin resistance to GND	V _{EN} = 12 V	225	400	900	kΩ
VFB VOLTAGE AND DISCHARGE RESISTANCE						
	VFB threshold voltage	V _O = 1.05 V, I _O = 10 mA, Eco-mode™ operation		774		mV
V _{FBTH}	VFB threshold voltage	V _O = 1.05 V, continuous mode operation	749	768	787	mV
I _{VFB}	VFB input current	V _{FB} = 0.8 V		0	±0.1	μA

1.4.8 Typical Characteristics

典型的参数，指的是芯片厂商在特定的参数下，测量得出的一些芯片特性，比如下面的不同输出电压和开关频率之间的关系，DC-DC效率和输出电流之间的关系等等，这个是为了让我们更好的了解芯片的性能。

Typical Characteristics (continued)

$V_{IN} = 12\text{ V}$ (unless otherwise noted)

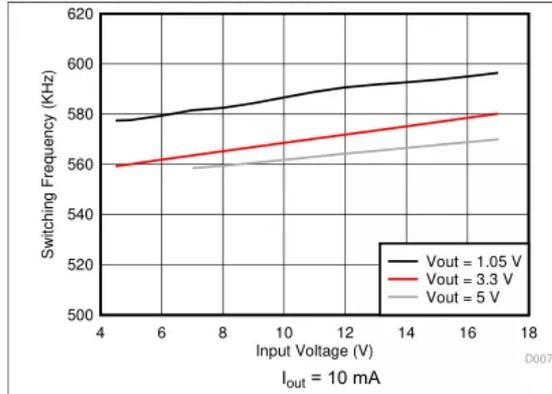


Figure 7. TPS561208 Switching Frequency vs Input Voltage

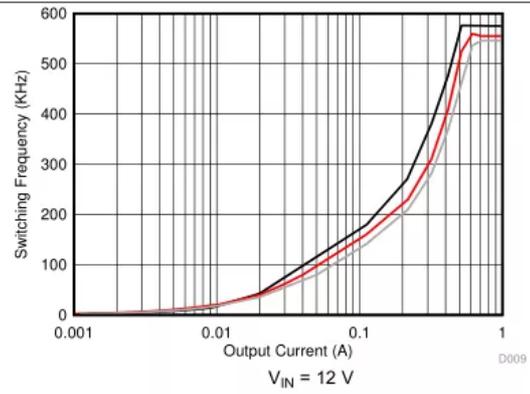
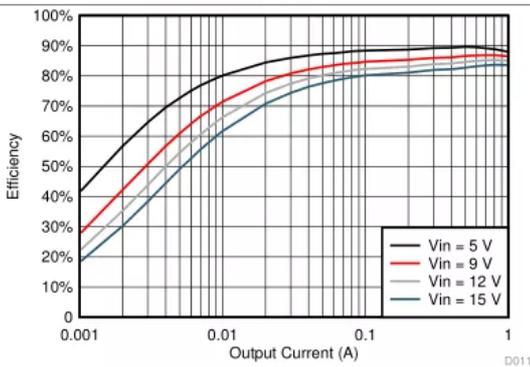
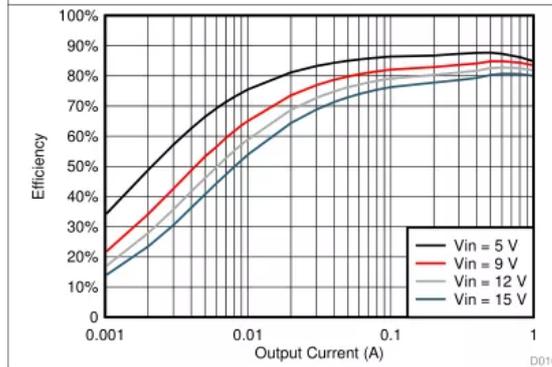
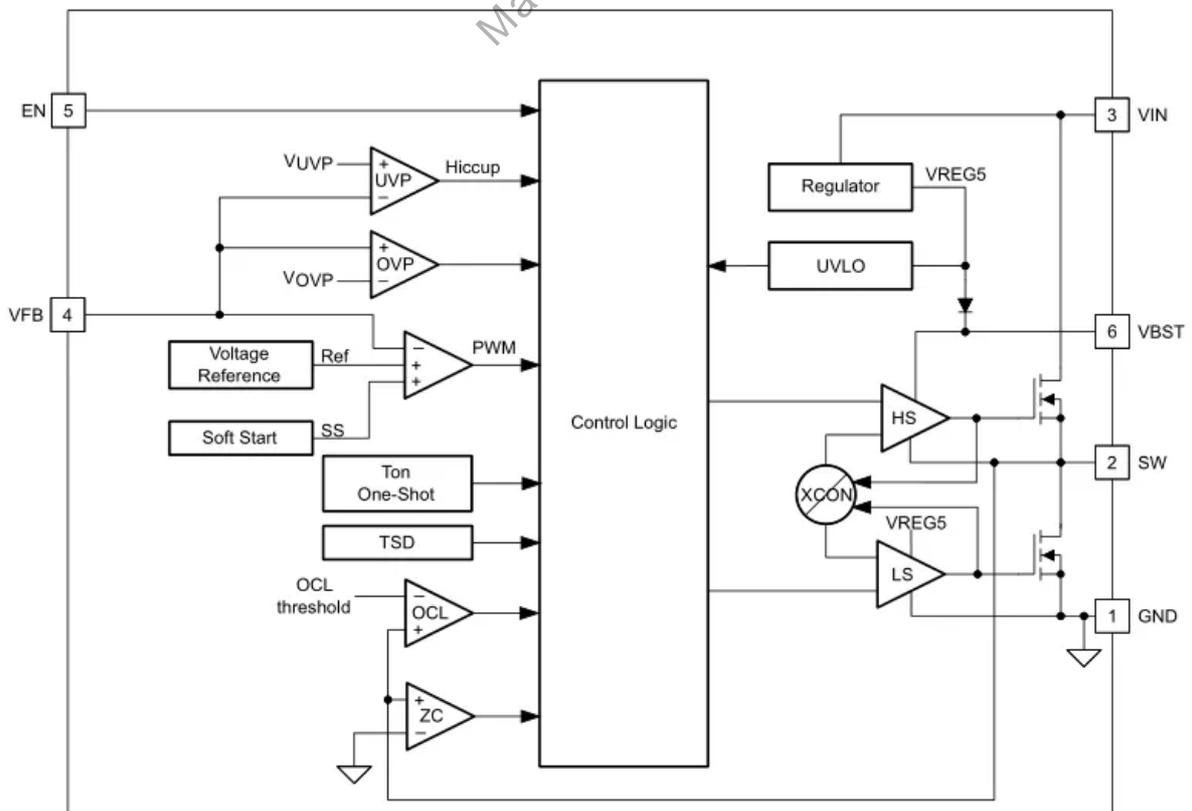


Figure 8. TPS561201 Switching Frequency vs Output Current



1.4.9 Functional Block Diagram

功能框图非常重要，透过外部的管脚了解内部的组成，可以更好的理解芯片，如SW管脚接了两个MOS管，这是为什么能输出占空比的原因？OVP和UVP都是通过比较器来实现的等等。



1.4.10 Feature Description

对芯片的某一些特性进行描述，让我们更好的理解这个芯片的相关特性，如下DC-DC的如软启动、电流保护、UVLO等功能都有详细的描述。

7.3.3 Soft Start and Pre-Biased Soft Start

The TPS561201 and TPS561208 have an internal 1.0-ms soft-start. When the EN pin becomes high, the internal soft-start function begins ramping up the reference voltage to the PWM comparator. If the output capacitor is pre-biased at startup, the devices initiate switching and start ramping up only after the internal reference voltage becomes greater than the feedback voltage VFB. This scheme ensures that the converters ramp up smoothly into regulation point.

7.3.4 Current Protection

The output over-current limit (OCL) is implemented using a cycle-by-cycle valley detect control circuit. The switch current is monitored during the OFF state by measuring the low-side FET drain to source voltage. This voltage is proportional to the switch current. To improve accuracy, the voltage sensing is temperature compensated.

During the on time of the high-side FET switch, the switch current increases at a linear rate determined by V_{in} , V_{out} , the on-time and the output inductor value. During the on time of the low-side FET switch, this current decreases linearly. The average value of the switch current is the load current I_{out} . If the monitored current is above the OCL level, the converter maintains low-side FET on and delays the creation of a new set pulse, even the voltage feedback loop requires one, until the current level becomes OCL level or lower. In subsequent switching cycles, the on-time is set to a fixed value and the current is monitored in the same manner.

There are some important considerations for this type of over-current protection. The load current is higher than the overcurrent threshold by one half of the peak-to-peak inductor ripple current. Also, when the current is being limited, the output voltage tends to fall as the demanded load current may be higher than the current available from the converter. This may cause the output voltage to fall. When the VFB voltage falls below the UVP threshold voltage, the UVP comparator detects it. And then, the device will shut down after the UVP delay time (typically 24 μ s) and restart after the hiccup time (typically 15 ms).

When the over current condition is removed, the output voltage returns to the regulated value.

7.3.5 Undervoltage Lockout (UVLO) Protection

UVLO protection monitors the internal regulator voltage. When the voltage is lower than UVLO threshold voltage, the device is shut off. This protection is non-latching.

1.4.11 Typical Application

对于芯片类的数据手册来说，典型应用就是参考电路图。

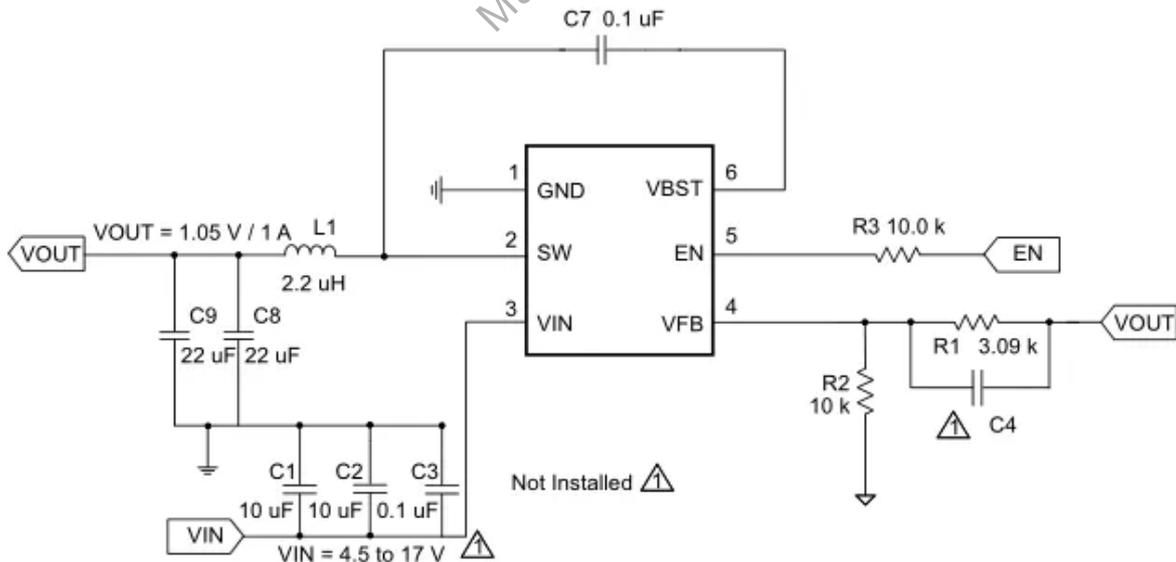


Figure 17. TPS561201 and TPS561208 1.05-V/1-A Reference Design

1.4.12 Layout Guide

芯片类如DC-DC，会有layout指导，布局走线时参考即可。

10.2 Layout Example

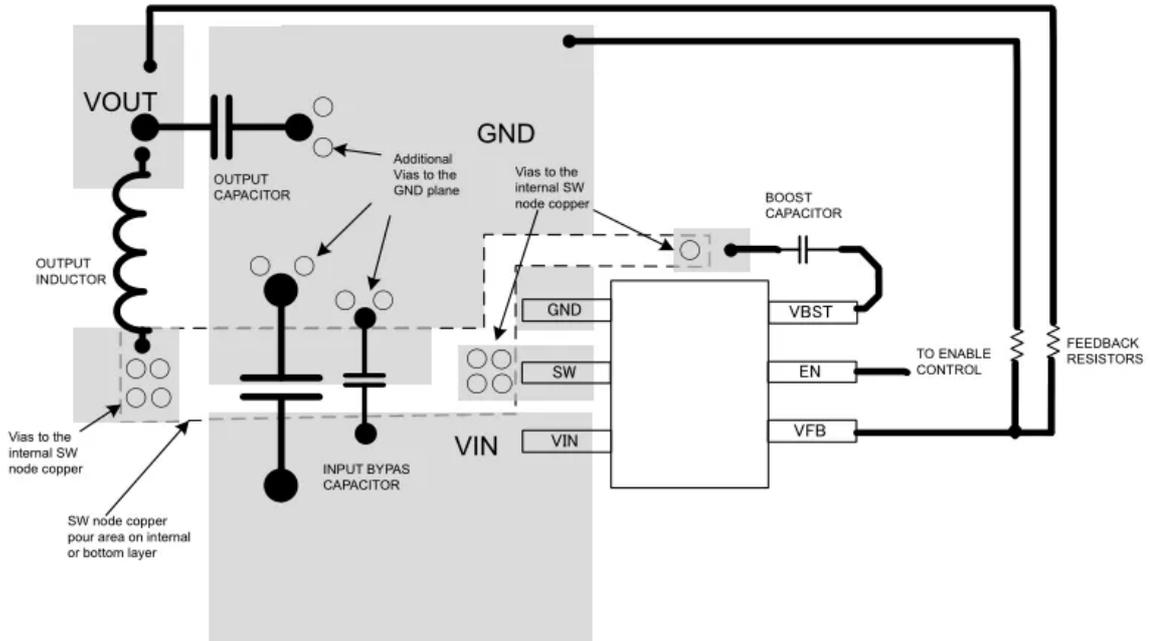


Figure 34. TPS561201 and TPS561208 Layout

1.4.13 Packaging Information

package信息，指的是一盒里面的数量，如下可以看见QTY3000和QTY250的型号是不一样的。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead/Ball Finish (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
TPS561201DDCR	ACTIVE	SOT-23-THIN	DDC	6	3000	Green (RoHS & no Sb/Br)	SN	Level-1-260C-UNLIM	-40 to 125	1201	Samples
TPS561201DDCT	ACTIVE	SOT-23-THIN	DDC	6	250	Green (RoHS & no Sb/Br)	SN	Level-1-260C-UNLIM	-40 to 125	1201	Samples
TPS561208DDCR	ACTIVE	SOT-23-THIN	DDC	6	3000	Green (RoHS & no Sb/Br)	SN	Level-1-260C-UNLIM	-40 to 85	1208	Samples
TPS561208DDCT	ACTIVE	SOT-23-THIN	DDC	6	250	Green (RoHS & no Sb/Br)	SN	Level-1-260C-UNLIM	-40 to 85	1208	Samples

一个系列不同的型号多在后缀有差别，可能是封装不同、package QTY的不同等，所以在order的时候需要写完整的芯片型号。

1.4.14 Package Outline

封装尺寸信息，在建立PCB封装时会用到。

1.5 好用的电脑端软件

大家好，我是记得诚。

在CSDN上我认识了很多大佬级别的博客专家，最近询问了我的10个博客专家好友，向他们取经，扒出了他们珍藏的高效率软件，很多软件我用完之后，当场发出了OMG的尖叫，我重度使用了一段时间，写这篇博客推荐给大家，真后悔没有早点认识他们，哈哈！

1.5.1 ScreenToGif

ScreenToGif是Gif动图软件，界面非常简洁，有4个功能，录像机，摄像头，画板，编辑器。

如下的动图对一些帧使用了**自由绘制**和**缩放延时**，可以更好地突出信息。



如下是录制桌面的效果，加了**字幕**，并加了**进度条**。



用**编辑器功能**可以将多个动图一起合成，多个图片也可以，需要保证每一帧图片大小一致。



用内部自带的**画板**可以做一些动图演示，比用图片标注是不是好一百倍。

Made by 记得诚

作者：记得诚

用画板画一个小鸡啄米图

更多的功能，大家可以下载自行摸索，操作也比较简单，另外带摄像头，如果录出镜动图的话，也是一个不错的选择！

1.5.2 uTools

uTools是一个**生产力工具箱**。

你的生产力工具集

uTools是一个极简、插件化、跨平台的现代桌面软件。通过自由选配丰富的插件，打造你得心应手的工具集合。

当你熟悉它后，能够为你节约大量时间，让你可以更加专注地改变世界。

免费下载

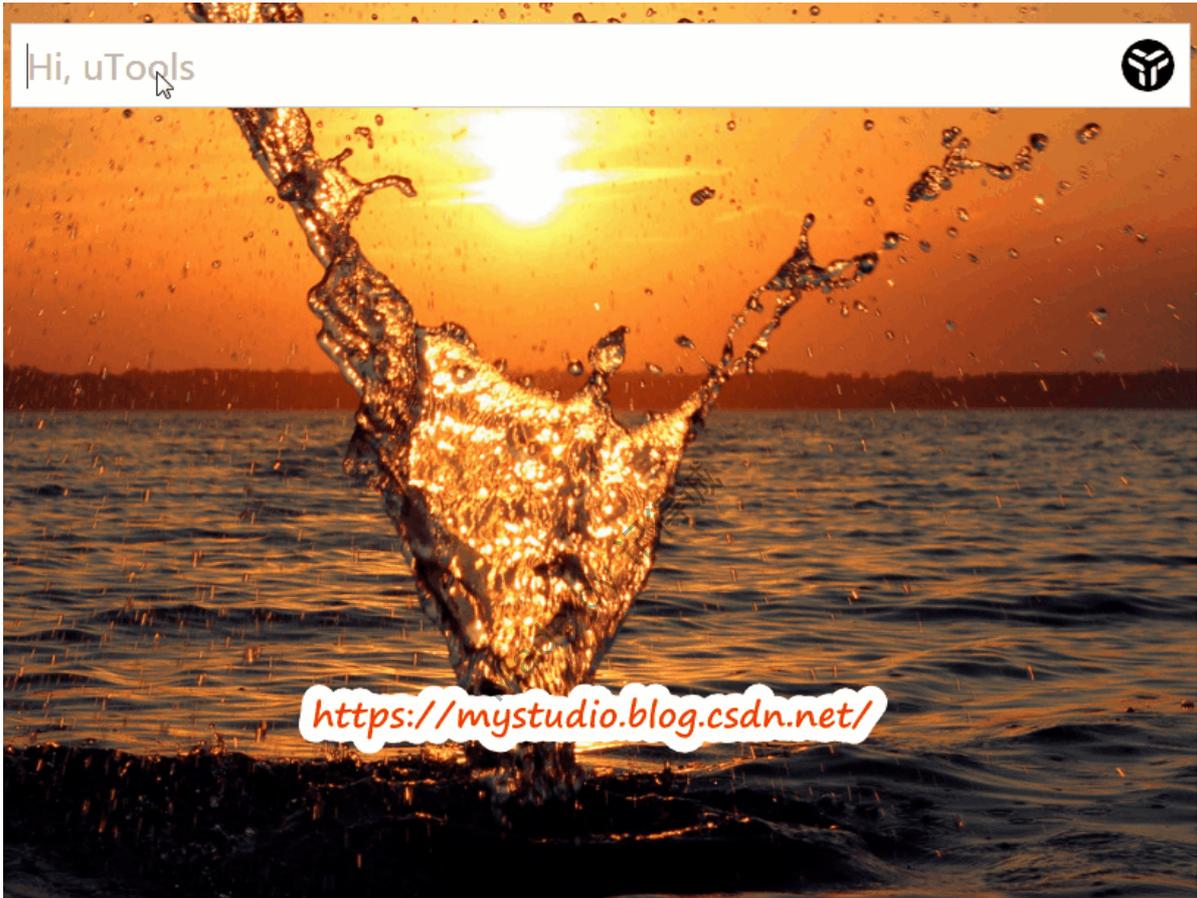
讨论

文档

使用快捷键**Alt + Space**启动，界面类似360的搜索。



Everything大家肯定都在用，uTools**集成Everything**，并且**支持文件预览**，可以根据文件类型排序，这些是Everything没有的。



uTools内置多种程序员手册，程序员必备。

Hi, uTools



uTools里面的功能非常丰富，**多如牛毛**，你能想到的，这上面几乎都有，满足你所有的要求。

插件中心

插件中心 已安装 设置 账号与数据

搜索

更新

你好，
开发者。

最新版本插件中心现已支持收录
第三方插件。

查看详情

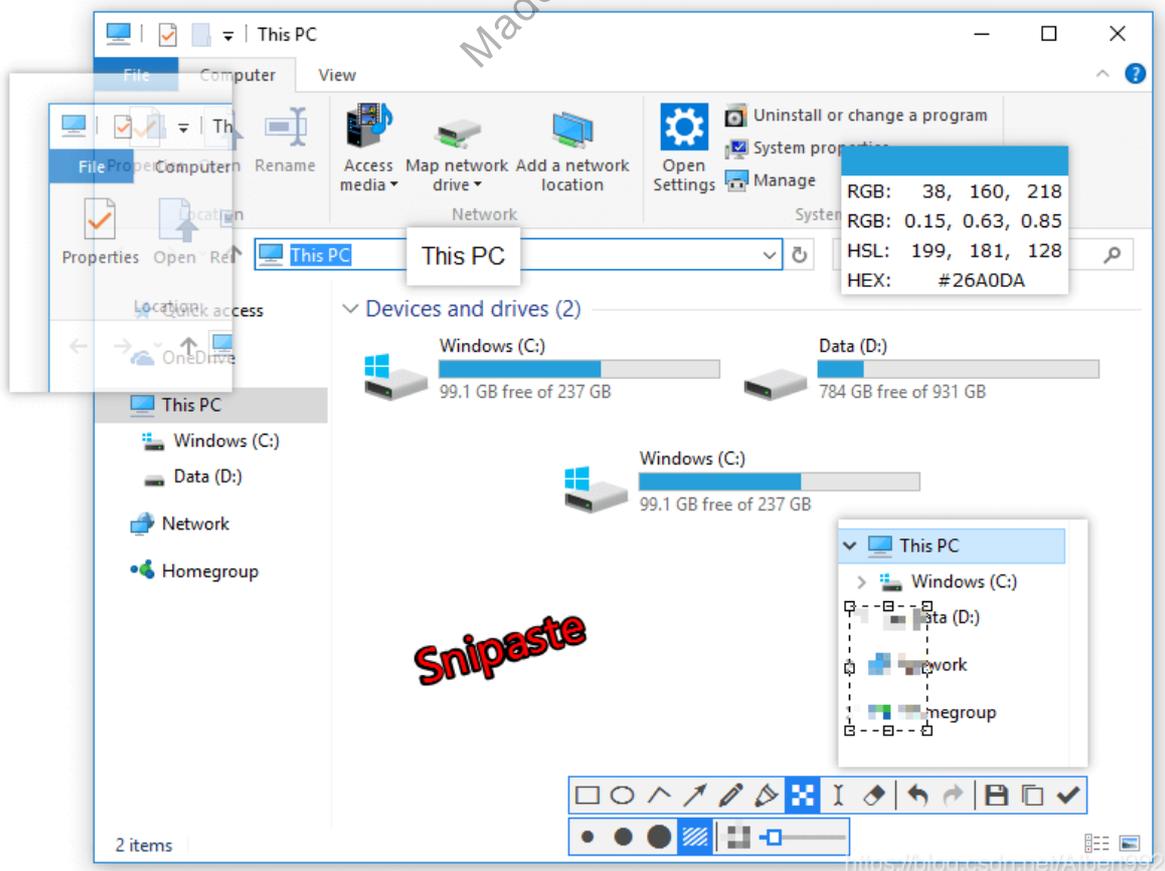
```
<class Utools extends Container {
  launch () {
    const getTheLock = app.requestSingleInstance
    if (!getTheLock) {
      app.exit()
      return
    }
    app.on('second-instance', (event, commandLine)
    try {
      this.get('window').display.trigger(true)
    } catch (e) {}
  }
}
```

精选

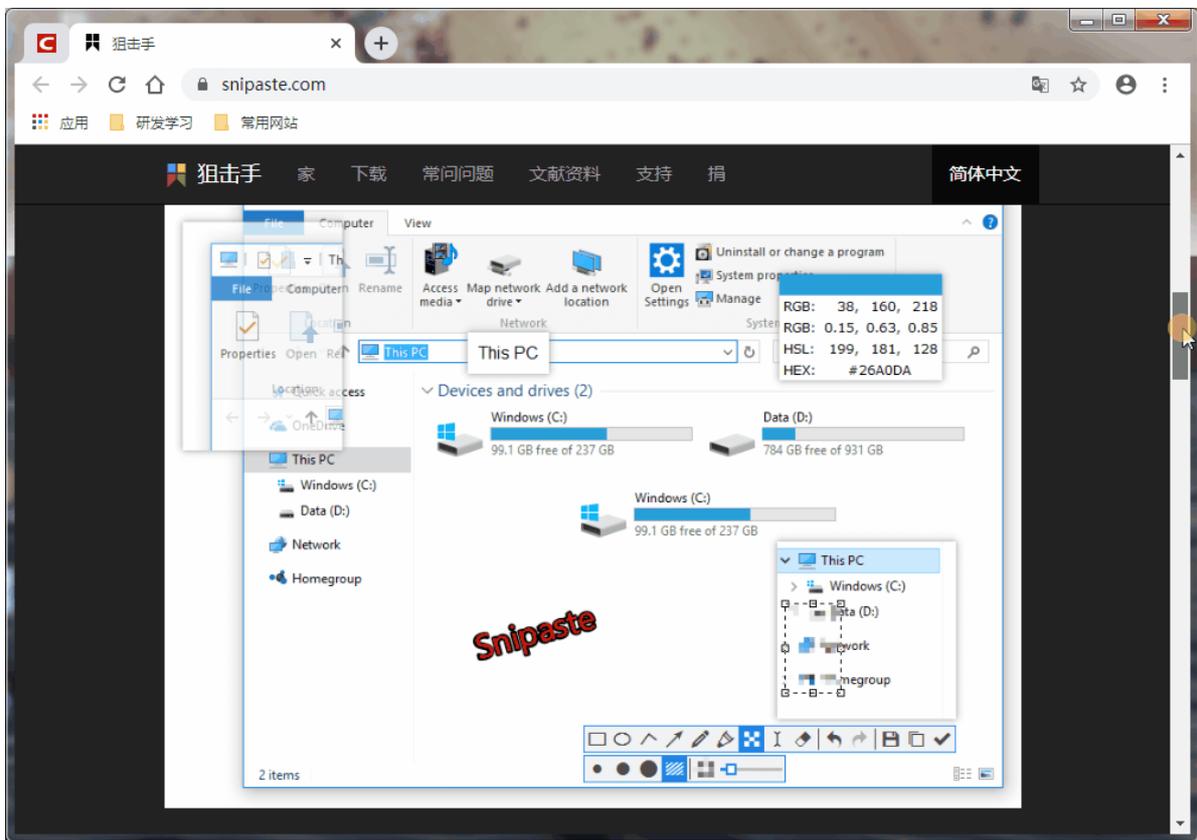
- 在线翻译
一个非常轻巧的翻译工具...
- 本地搜索
基于 Everything 更便捷的本地搜...
- todo
随时记录你的大小事务
- 网页快开
网页快速搜索、以图搜图...
- 收藏助手
高效收藏、快速搜索、直...
- 剪切板
剪切板历史

1.5.3 Snipaste

比微信和QQ的截图好用一百倍，我个人最喜欢的是**自动检测UI元素**，截图时可以智能地识别每个界面元素，在选取窗口中的部分元素时会省事很多。



更多的相关操作可以进Snipaste官网查看。



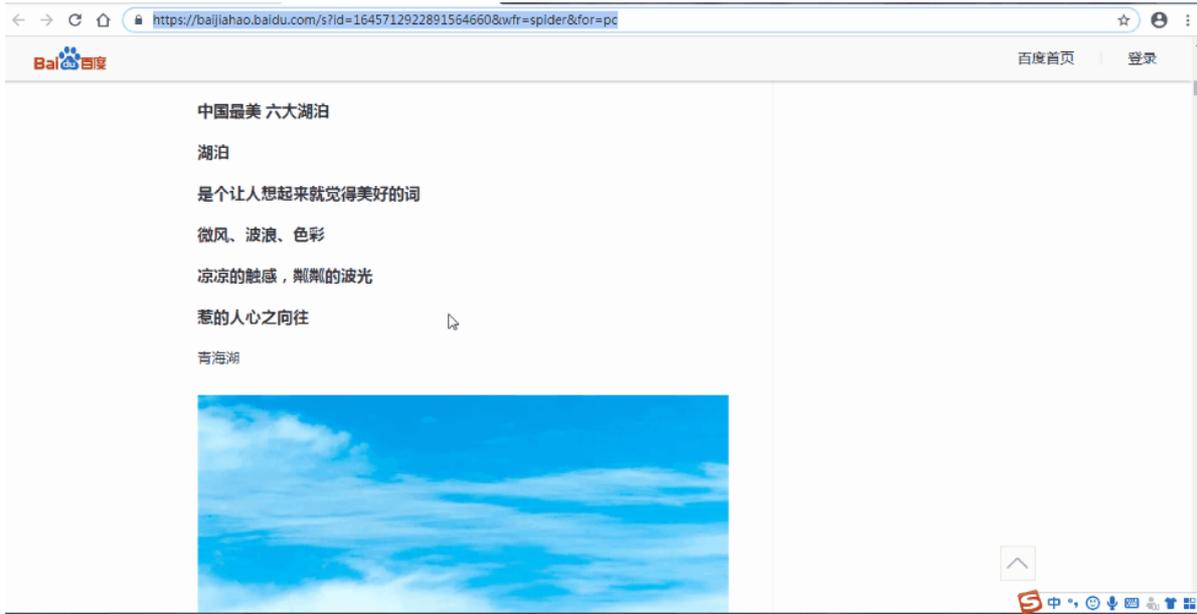
1.5.4 PDF24 Tools

PDF24 Tools是一个PDF软件集合，支持很多功能，比如转换，水印，合并，压缩等功能，最重要是**免费，免费，免费**，重要的事情说三遍。也可以右上角下载桌面版。



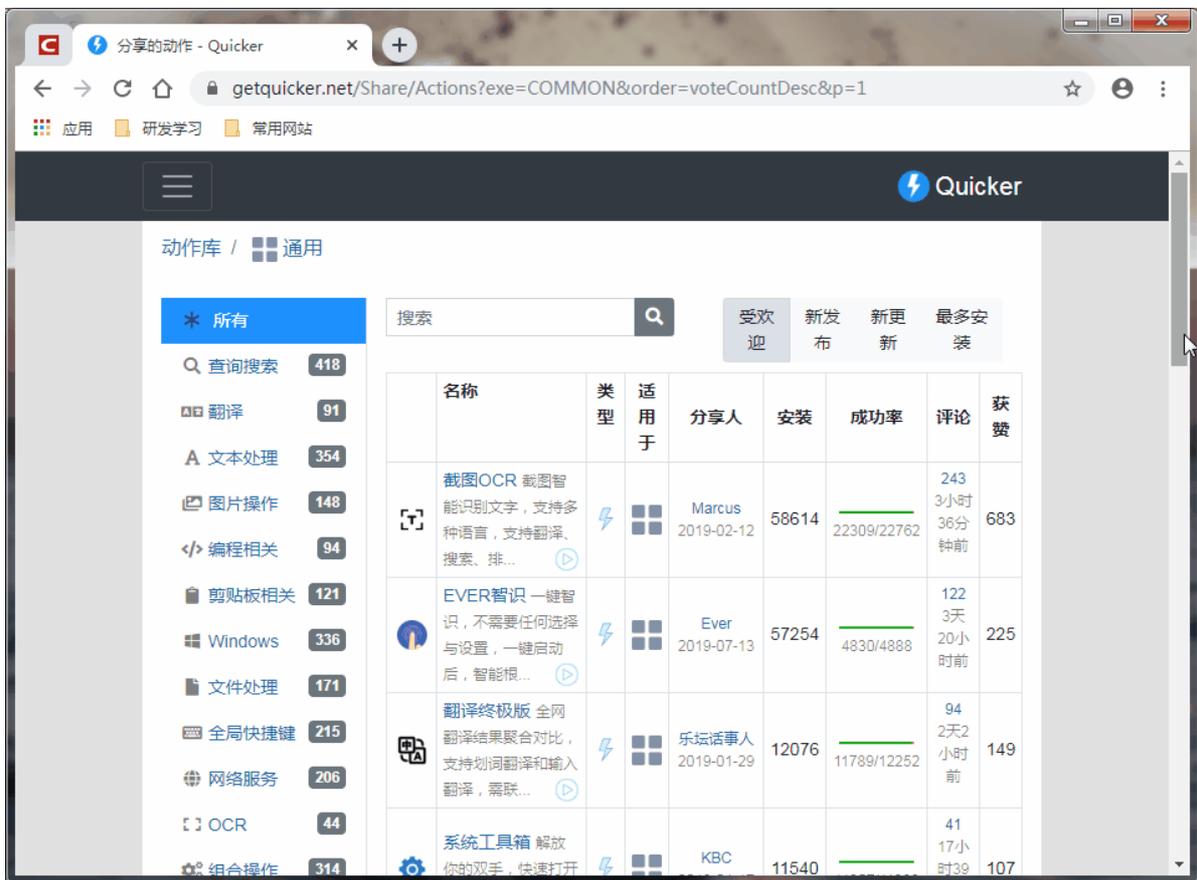
1.5.5 Quicker

从这名字就知道，快，更快，下面演示几个动图，大家就明白了。



最喜欢截图OCR功能，很多网页的文字无法复制，用这个特别方便，还可以二次编辑。





1.5.6 下载链接

很多人会问，为什么就推荐5个啊，因为这5个是我从精品之中选出的精品，10个博客专家都在使用，可以帮你解决大部分的问题，哈哈，奥利给！

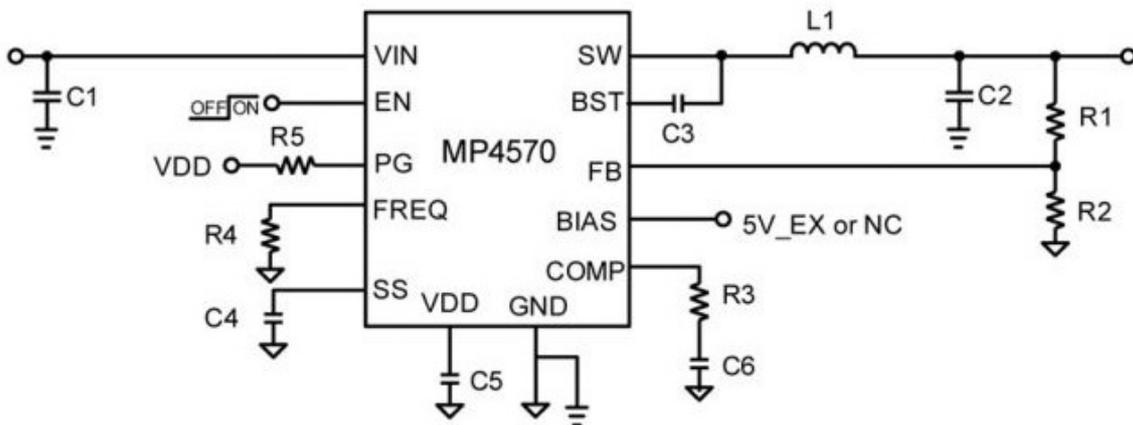
附上各个软件的官网链接，这些软件的共同特点就是：**免费，无广告，简洁，易上手**，大家可以下载尝试，真的是爽歪歪哦，极大的提高我们的工作效率，用了就回不去了！

1. [点击下载ScreenToGif](#)
2. [点击下载uTools](#)
3. [点击下载Snipaste](#)
4. [点击下载PDF24 Tools](#)
5. [点击下载Quicker](#)

文章里面大部分都是动图展现的，点击[我查看公众号原文](#)。

1.6 DC-DC设计软件

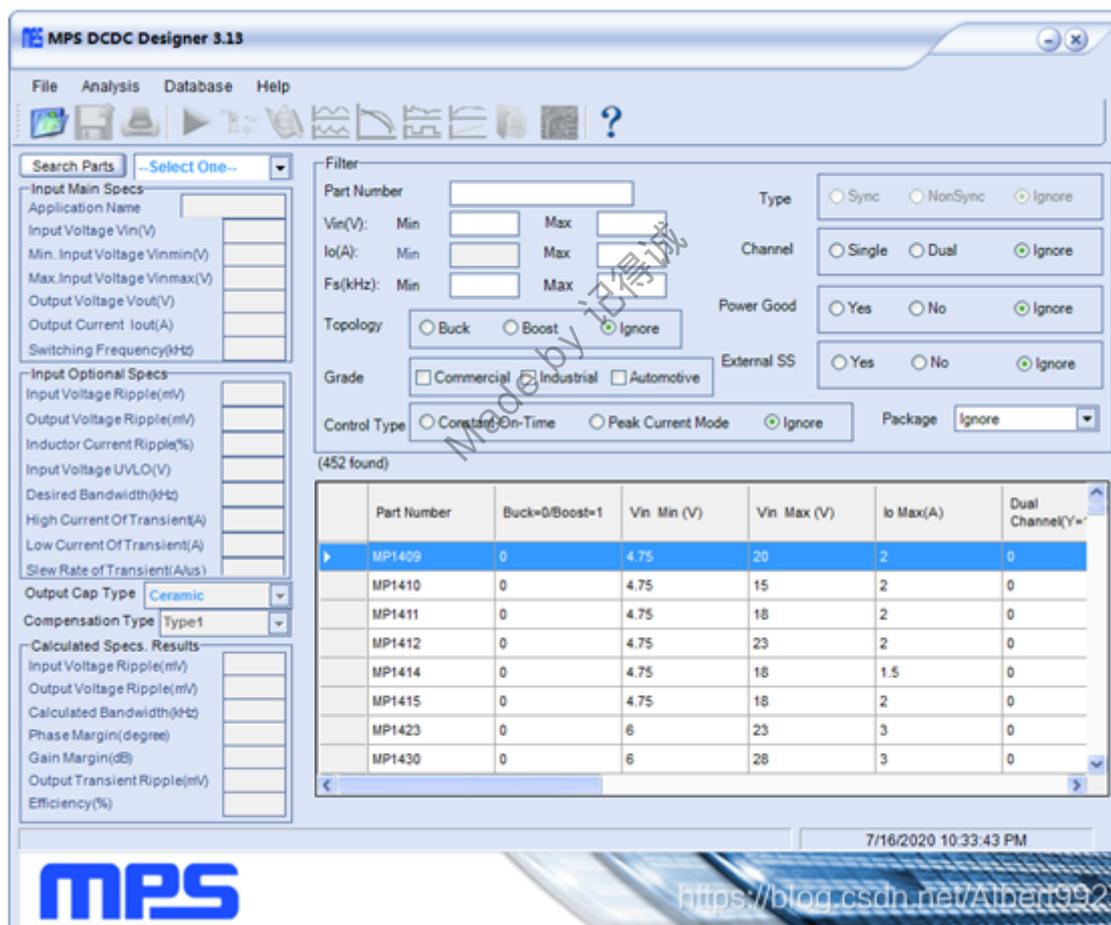
如下是一个DC-DC的参考电路图，可以看到器件很多，其中很多参数需要调试，比如频率设置、选电感值、COMP补偿电路等等，这些参数的调试需要制作PCB板后才可以进行，无形增加了许多成本，同时也包括时间成本。



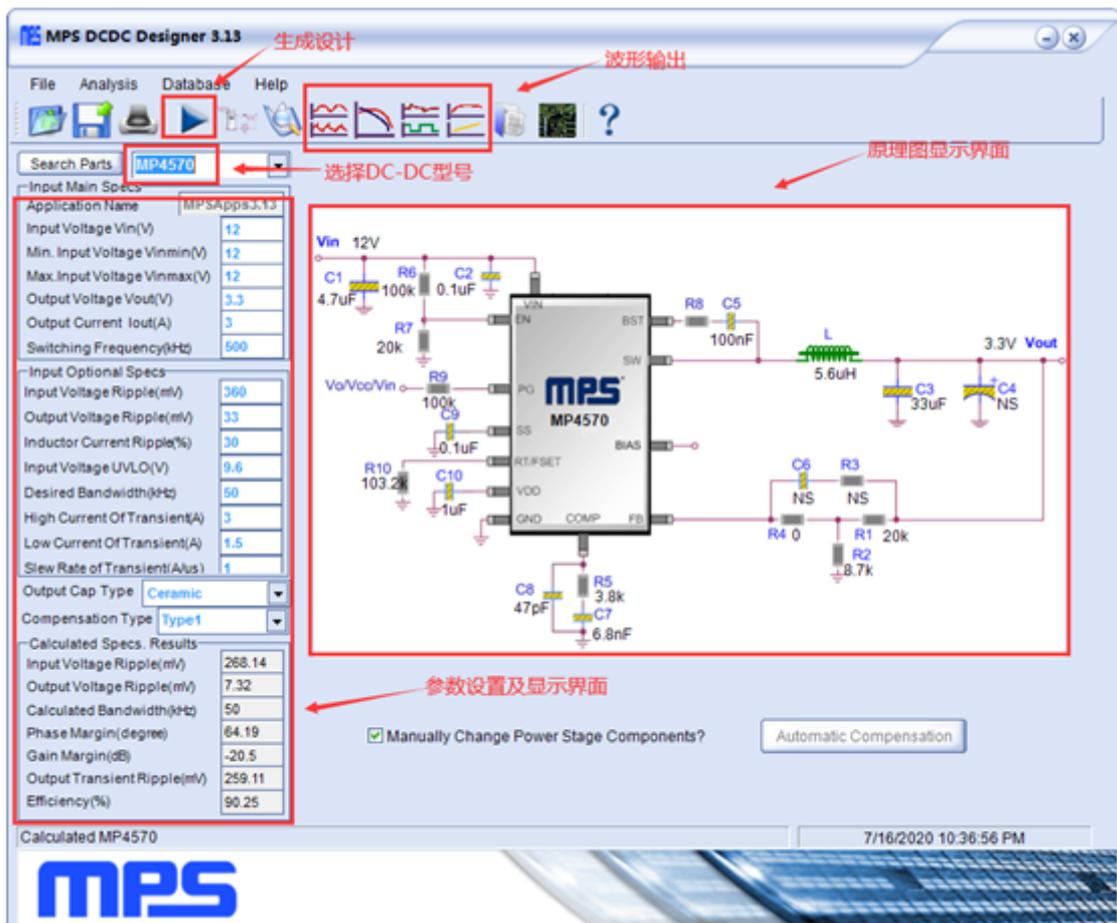
今天推荐的是一个DC-DC设计工具，来自MPS，在电路设计前，可以进行仿真，帮你搞定参数设计和提前了解DC-DC的特性。

因为是MPS出品的工具，所以内部的DC-DC型号都是MPS自家的。

首先是启动界面，功能分区非常明显，很容易上手。

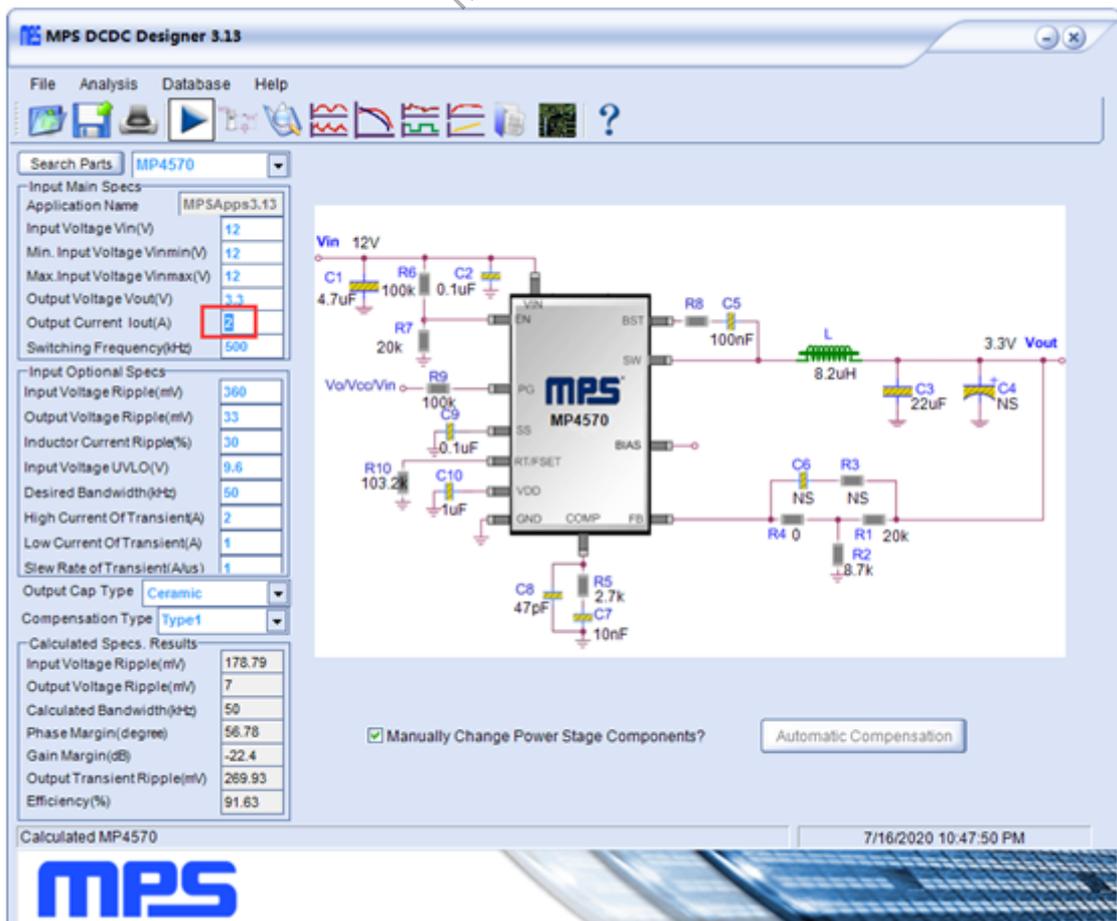


我们随机选择一个型号MP4570，然后原理图及参数就会显示出来，左边可以看到输出电流、输入输出电压、开关频率、DC-DC效率、输入纹波、输出纹波等参数，右边则是完整的电路图。



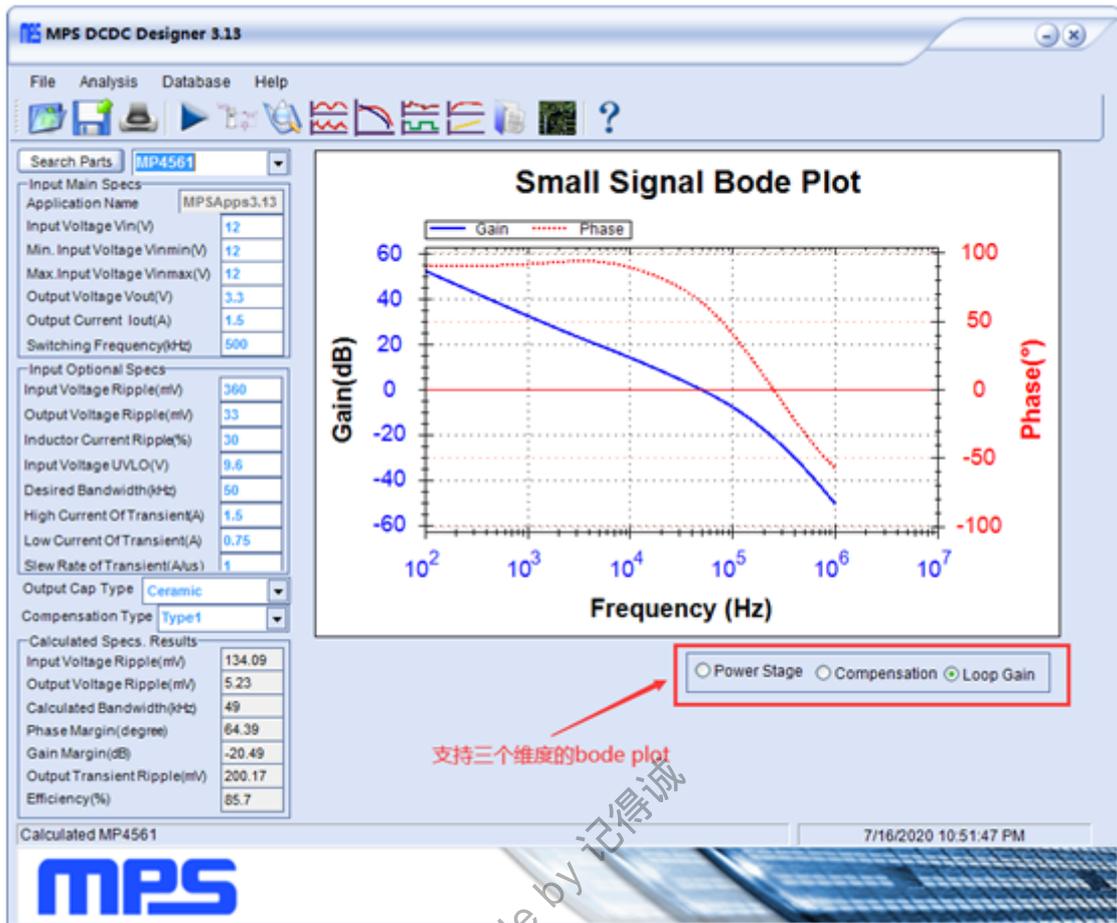
你可能说了，上面的输出电流默认是3A的，我的负载最多就2A，那很好办，你将输出电流改为2A，然后点**生成设计**即可。

然后就会生成一个新的原理图及参数表，如下所示，对比上一个图，你会发现输出电流和电感值均变化了，也就是说，这个工具自动帮你设计好参数了，而且DC-DC的效率也提高了。

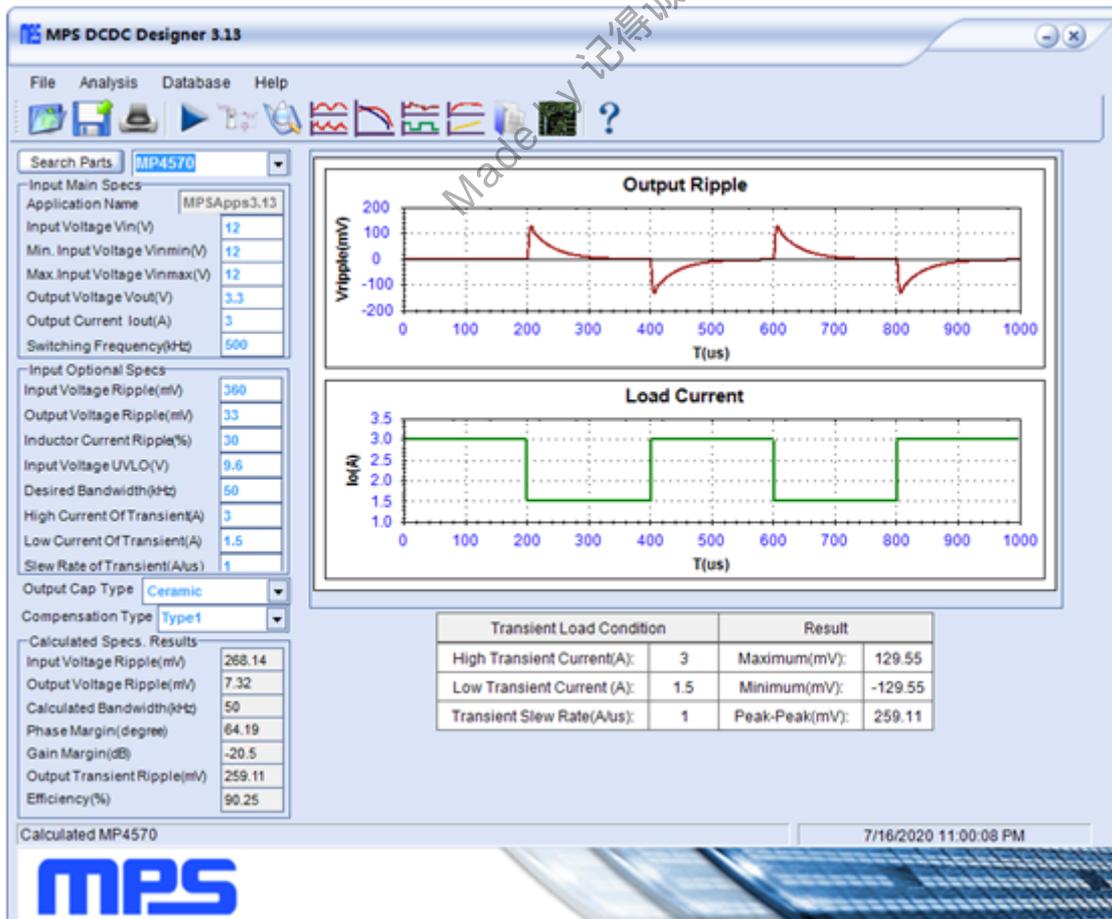
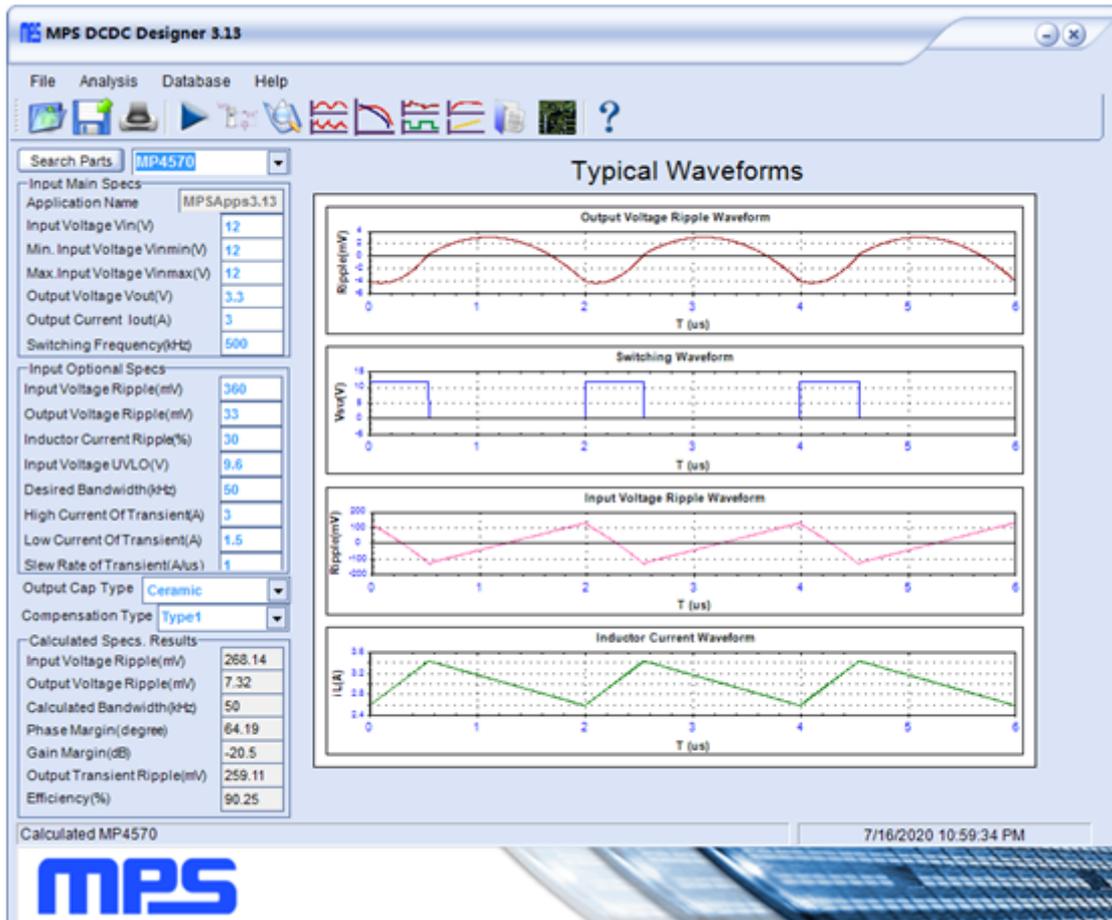


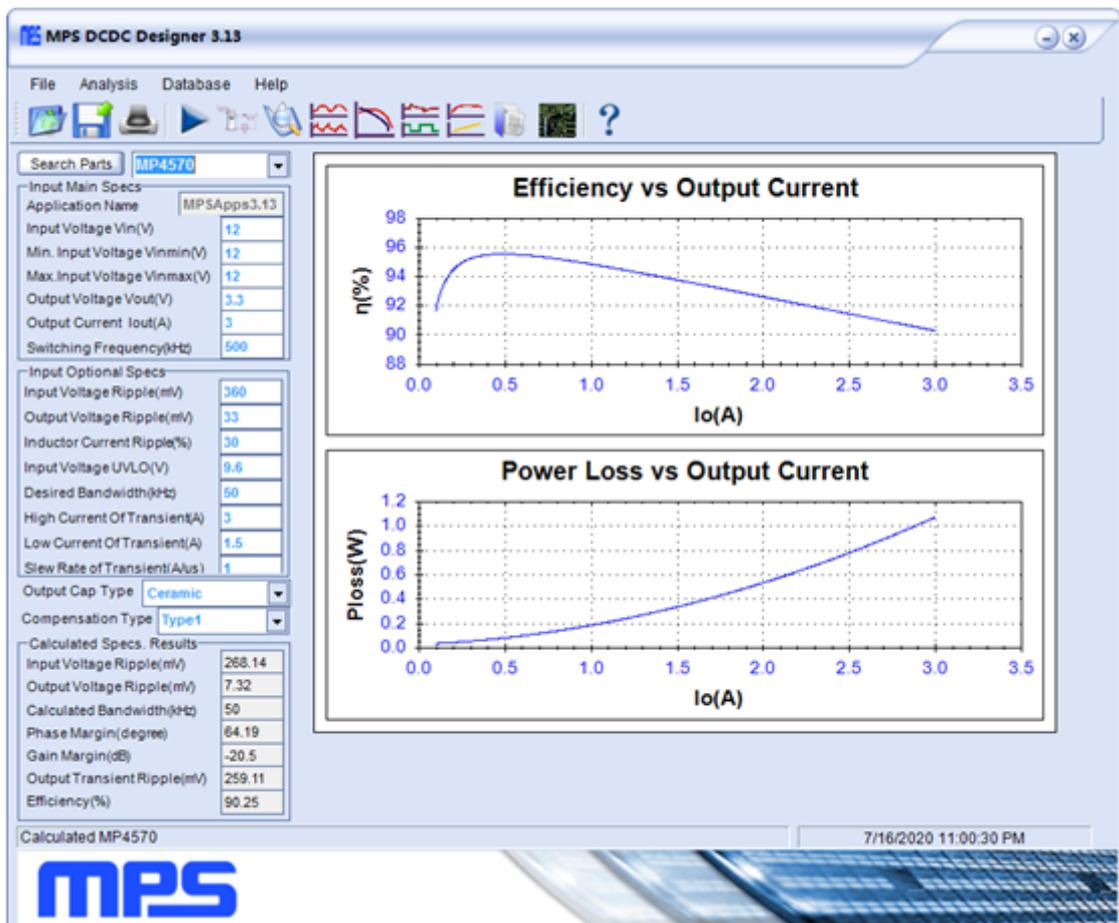
其他参数的设置也是同样的道理。

然后你说我想看看**Bode图**，看一看幅频和相频曲线，当然也是支持的，而且支持三个维度，分别是 Loop Gain、Power Stage和Compensation。

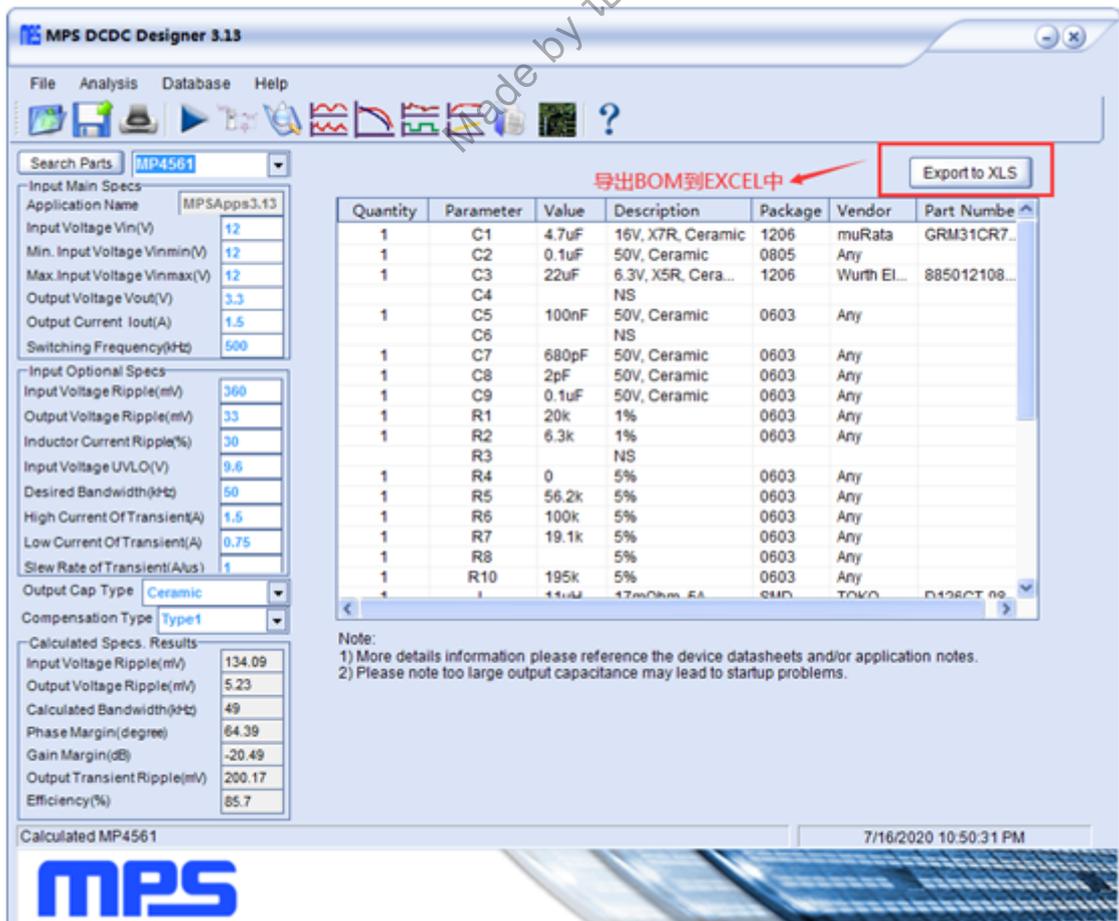


同时还支持如下的波形输出，包括电感电流、SW波形、输入输出电压纹波波形、负载电流和输出纹波对比图、效率和输出电流关系图等，让你比较全面的认识到在此设计下，DC-DC的性能情况。

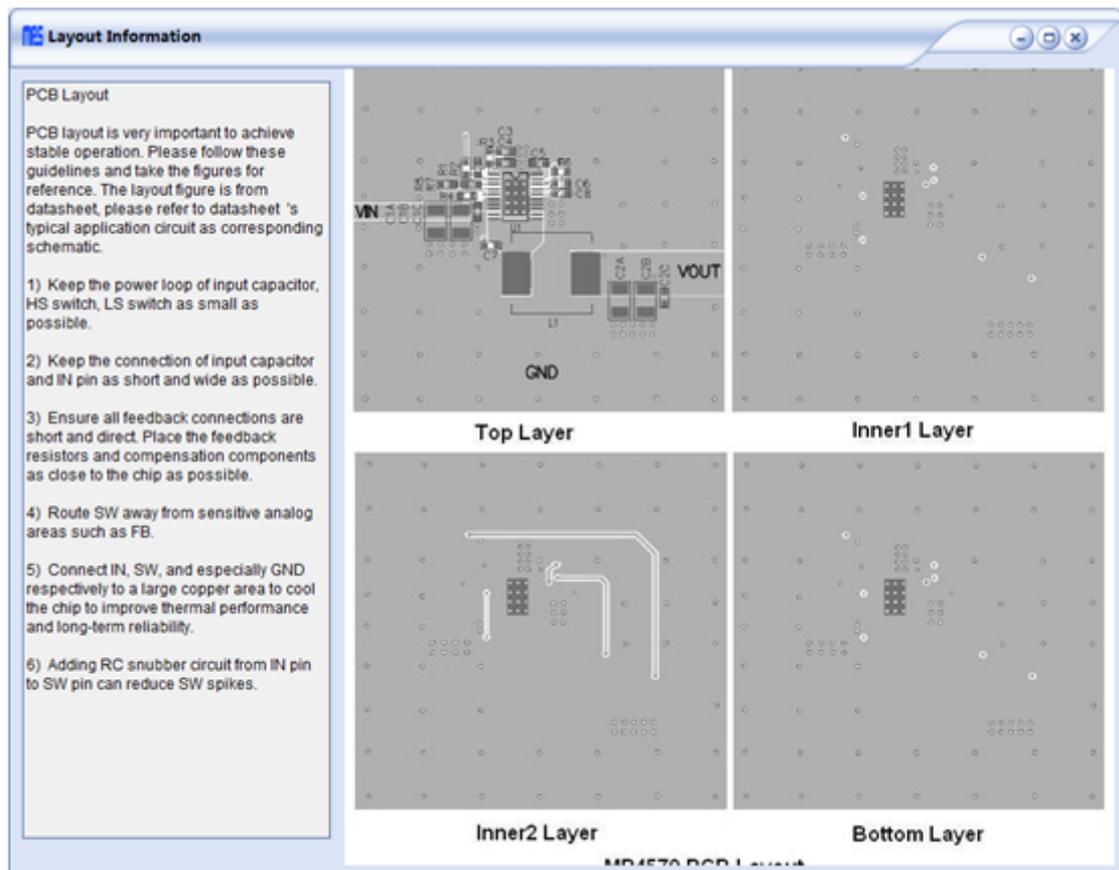




当你敲定设计之后，也可以输出EXCEL格式的BOM，很方便。



同时也会提供Layout指导意见，因为我们知道DC-DC layout的好坏直接影响其性能。



更多的功能大家可以自行下载安装学习。

软件下载方式：在我的公众号记得诚后台回复DC-DC设计获取下载链接。

1.7 原理图仿真软件

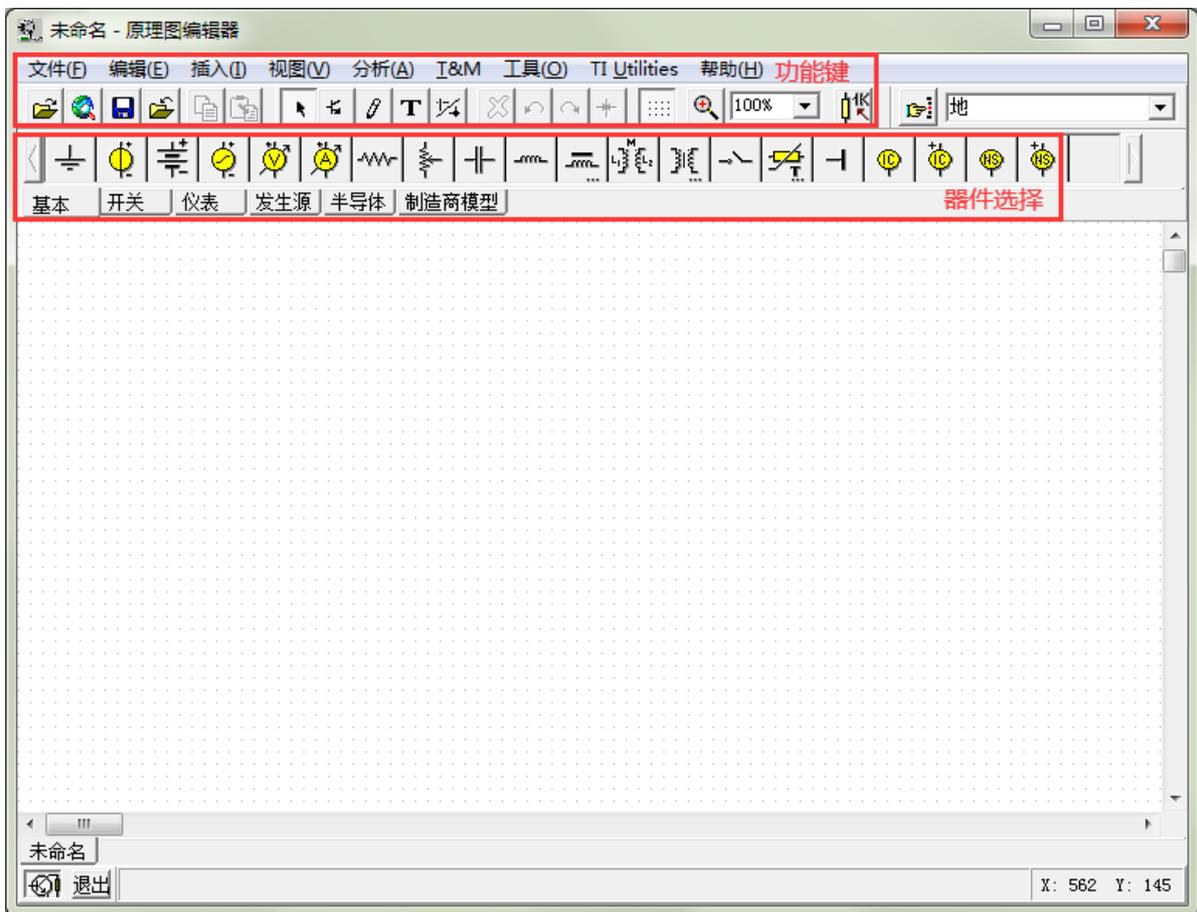
效率工具是我新开的专辑，旨在推荐一些高效好用的工具软件，上一篇MPS的DC-DC Designer，得到大家的一致好评。

下面的这几篇文章都用到了今天要讲的这个软件。

1. [用Tina-TI软件仿真并分析极点和零点](#)
2. [用Tina-TI软件仿真并分析RC积分电路和微分电路](#)
3. [手把手教 | 三极管稳压电路仿真分析](#)

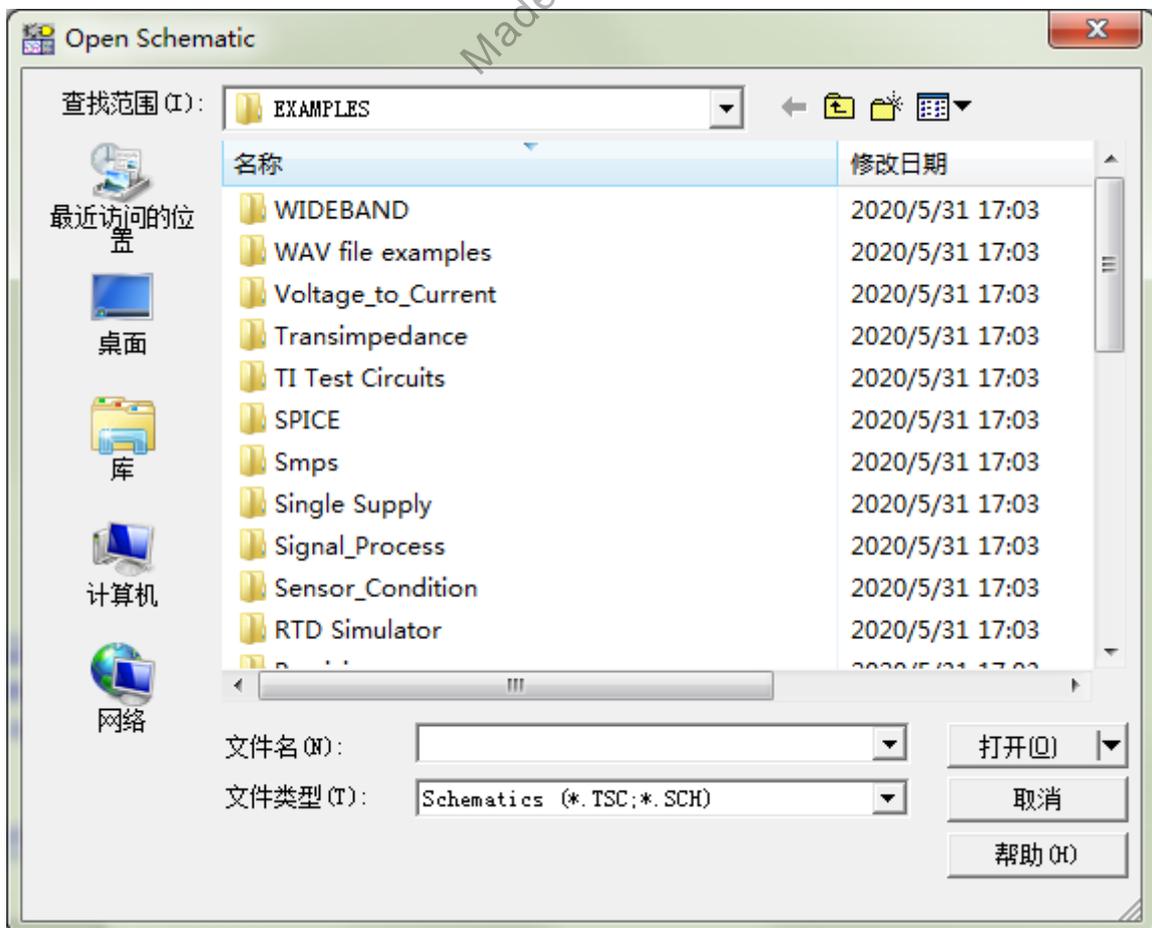
今天的主角是TI德州仪器出品的Tina-TI，原理图仿真工具，进入今天的正题。

界面简单，主要分三块：功能键、器件选择，下方超一大块的原理图绘制界面，绘制界面比较好的一个点就是可以全屏。



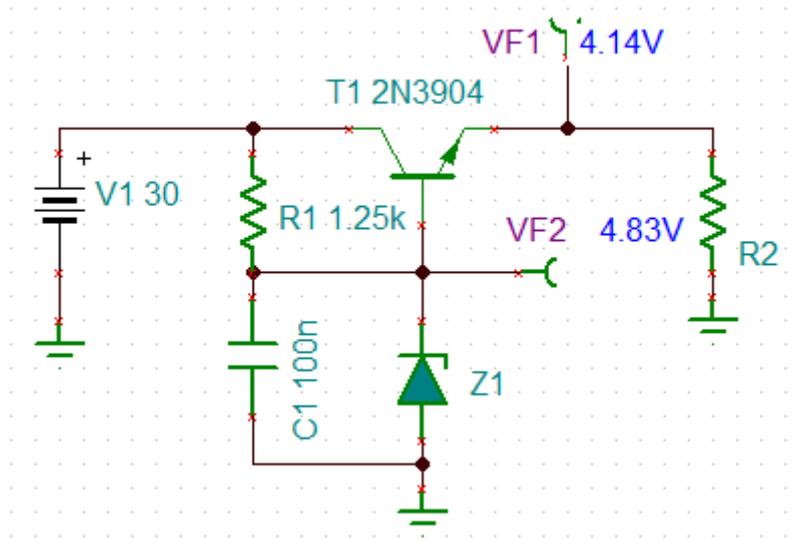
先来说说功能键吧，总体来说还是很丰富的。

TI提供了很多仿真样例，包括音频、比较器、控制环路、电流环路、振荡器、功率放大器、传感器等等。在文件那一栏可以直接打开，省去了很多画图的时间。



仿真分析包括直流分析、交流分析、傅里叶分析、噪声分析等。

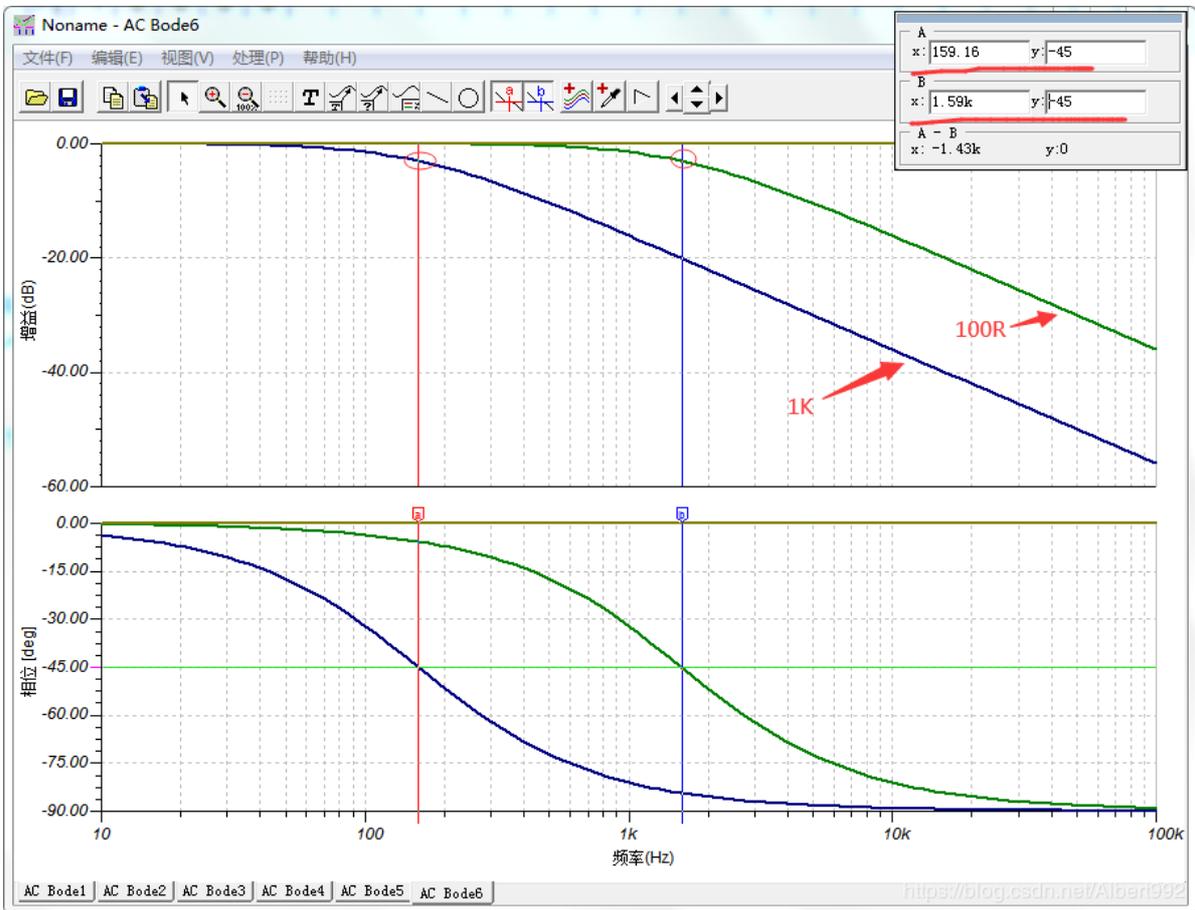
直流分析可以用来测量某一些节点电压和直流传输特性等，如下可以测量某些节点的电压值。



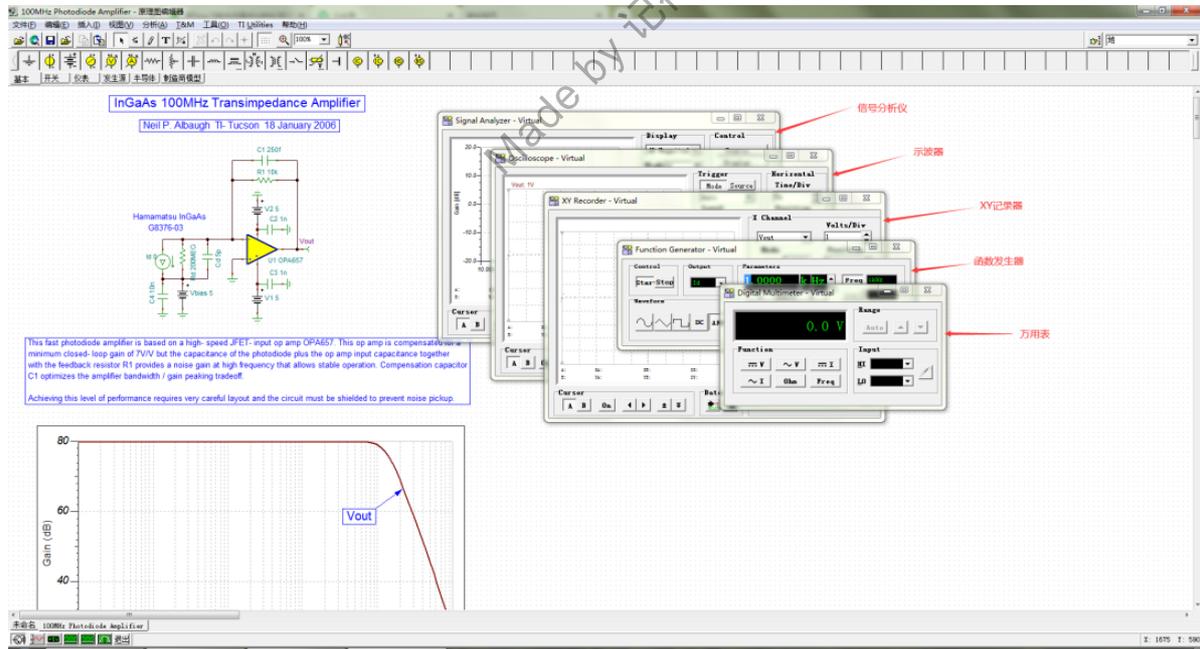
交流分析包括节点电压、振幅、相位、时延、奈奎斯特等。



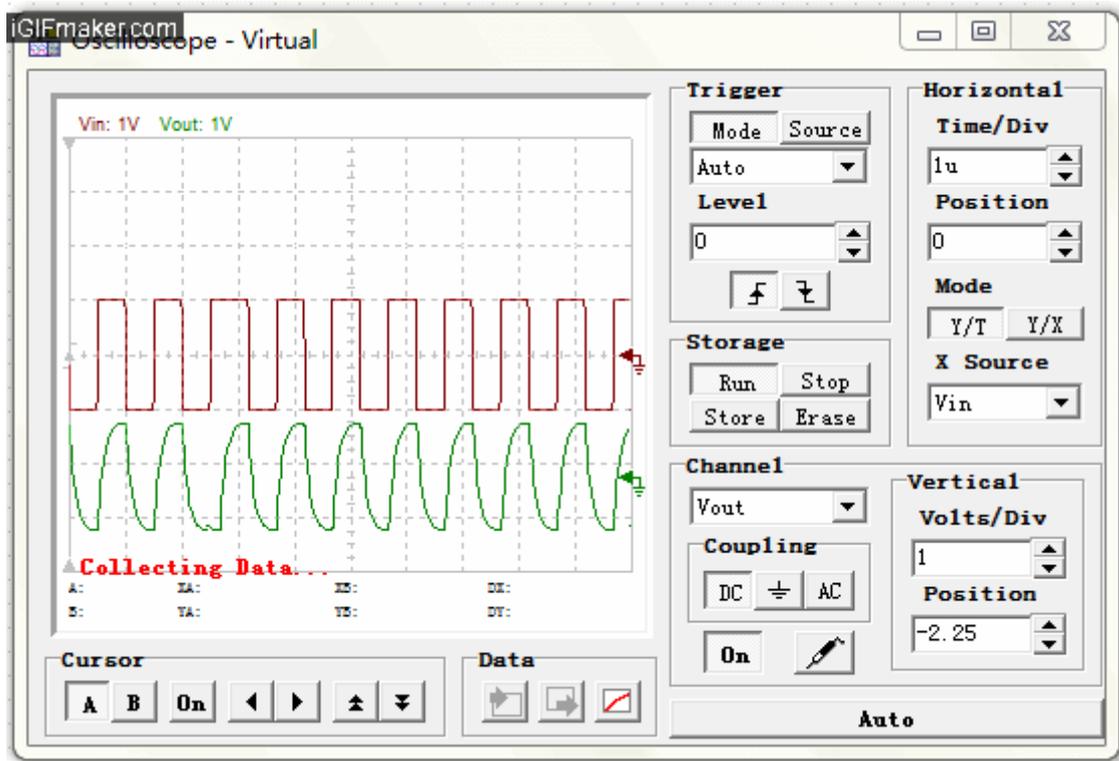
交流中分析bode图的幅频和相位曲线。



测量工具包括常见的信号分析仪、示波器、XY记录器、函数发生器、万用表。



示波器抓取的波形，还是很方便的。



还有更牛逼的功能是Tina-TI支持导入任何品牌的SPICE模型，更多的功能大家可以自行下载安装学习。

在「记得诚」公众号回复关键字：**仿真**，可以获取Tina-TI安装包，还有多种模拟电路仿真模型和电子课件。

<input type="checkbox"/> 文件名	修改时间	↓ 大小
<input type="checkbox"/> [模拟电子设计导论][杨艳,傅强][程序源代码] TI-Tina源代码, 仿真模型	2020-05-16 18:57	-
<input type="checkbox"/> [模拟电子设计导论][杨艳,傅强][电子课件] 电子课件	2020-05-16 18:57	-
<input type="checkbox"/> Tina90-TIen.9.3.150.328.zip 英文版TI-Tina软件	2020-05-16 18:57	101.71MB
<input type="checkbox"/> Tina90-TIzh.9.3.150.328.zip 中文版TI-Tina软件	2020-05-16 18:57	101.75MB
<input type="checkbox"/> 模拟电子设计导论_杨艳,傅强著.pdf 模拟电子设计导论数据PDF	2020-05-16 18:57	53.45MB

回复**使用说明**，有TI官方的两个文档：Tina-TI快速入门指南和如何将SPICE模型导入到Tina-TI中。

<input type="checkbox"/> Importing a SPICE NetList into TINA9-TI.pdf	2020-07-25 23:44	1.48MB
<input type="checkbox"/> Tina-TI快速入门指南.pdf	2020-07-25 23:44	2.02MB

Tina-TI首先体积很小，才100多M，其次功能较全面，界面清新简单，能满足我们日常的工作需求。

2 电子元件

2.0 元器件品牌汇总

抽时间汇总了一些常见电子元器件常用品牌，大家在元器件选型时可以参考。

电阻：Yageo国巨、Uniohm厚声、Walsin华新科、Fenghua风华、Ralec旺诠、KOA兴亚、Panasonic松下、AVX、Rohm罗姆、Samsung三星、TDK、TMTEC泰铭、Kyocera京瓷、PHYCOM飞元。

电容：Yageo国巨、Samsung三星、Eyang宇阳、Murata村田、Taiyo太诱、Fenghua风华、Kyocera京瓷、HEC禾伸堂、Kemet基美、ISND华信安、AVX、TDK、Nichicon尼吉康、Panasonic松下、SANYO三洋。

电感：Sunlord顺络、Murata村田、TDK、Taiyo太诱、Microgate麦捷、Chilisin奇力新、INPAQ佳邦、VISHAY威世。

磁珠：Murata村田、TDK、Sunlord顺络、Chilisin奇力新、Fenghua风华。

二极管：DIODES、Prisemi芯导、ROHM罗姆、MCC、NXP恩智浦、LITEON光宝、上海贝岭、WILL韦尔、ST意法半导体、JCET长电、VISHAY威世、Infineon英飞凌、LRC乐山、先科电子、苏州固得。

三极管：ROHM罗姆、ONSEMI安森美、MCC、TI德州仪器、DIODES、PHILIPS飞利浦、JCET长电、LRC乐山、JESTEK吉思泰、FAILCHILD仙童。

MOS管：DIODES、VISHAY威世、ROHM罗姆、Infineon英飞凌、ONSEMI安森美、JCET长电、TOSHIBA东芝、Prisemi芯导、FAILCHILD仙童、MCC、NXP恩智浦、ST意法半导体、WILL韦尔。

LDO：SEIKO精工、TI德州仪器、ST意法半导体、ONSEMI安森美、DIODES、Richtek立锜、Leadchip岭芯、上海贝岭、SGMC圣邦微、SILERGY矽力杰、WILL韦尔、钰泰、TOREX特瑞仕。

DC-DC：TI德州仪器、MPS芯源、Richtek立锜、SILERGY矽力杰、XYSEMI赛芯微、GMT致新。

Charger IC：TI德州仪器、ADI、Microne南京微盟、上海贝岭、TPOWER天源、无锡松朗微。

Crystal：YOKE友桂、TXC、Samsung三星、SEIKO精工、EPSON爱普生、NDK、KDS、RIVER、TST、TKD泰晶、Siward希华、Faithlong惠伦。

TCXO：TDK、KDS、NDK、EPSON爱普生、Siward希华、TXC、TST、Faithlong惠伦、Kyocera京瓷。

Nand Flash：TOSHIBA东芝、Samsung三星、Micron美光、Hynix海力士、Intel英特尔、SanDisk闪迪。

Nor Flash：MXIC旺宏、Winbond华邦、武汉新芯、兆易创新、Infineon英飞凌、美光、芯天下、复旦微电子、东芯半导体、中天弘宇、时代芯存、芯泽电子、博雅科技。

今天的文章内容到这里就结束了，希望对你有帮助，我们下一期见。

2.1 电阻篇

2.1.1 贴片电阻知识汇总

2.1.1.1 概述

贴片电阻是相对于传统的色环电阻来说的，贴片电阻体积小，占用更少的PCB面积，现在几乎所有的电子产品内部用的电阻都是贴片电阻，这篇博客讲述贴片电阻的相关知识点，对自己也是一个总结吧。

导体对电流的阻碍作用就叫该导体的电阻；电阻Resistance用R表示，单位是欧姆；导体的电阻越大，表示导体对电流的阻碍作用越大。

贴片电阻相对于传统的色环电阻，色环电阻在使用时需要打通孔，贴片电阻不需要，占用更小的PCB面积，目前高端的旗舰手机中至少用到上百个贴片电阻。

2.1.1.2 命名

以yageo贴片电阻命名举例，不同厂家的命名有区别。

如RC0402JR-07100KL：代表0402封装/5%精度/纸编带包装/阻值100K；

RC XXXX X X X XX XXXX L
(1) (2) (3) (4) (5) (6) (7)

(1) SIZE

0075/0100/0201/0402/0603/0805/1206/1210/1218/2010/2512

(2) TOLERANCE

B = ±0.1%

D = ±0.5%

F = ±1.0%

J = ±5.0% (for jumper ordering, use code of J)

(3) PACKAGING TYPE

R = Paper taping reel

K = Embossed taping reel

S = ESD safe reel (0075/0100 only)

(4) TEMPERATURE COEFFICIENT OF RESISTANCE

- = Based on spec.

(5) TAPING REEL

07= 7 inch dia. Reel

10=10 inch dia. Reel

13=13 inch dia. Reel

7W = 7 inch dia. Reel & 2 x standard power

7N = 7 inch dia. Reel, ESD safe reel (0075/0100 only)

3W = 13 inch dia. Reel & 2 x standard power

(6) RESISTANCE VALUE

There are 2~4 digits indicated the resistance value.

Letter R/K/M is decimal point

Example:

97R6 = 97.6Ω

9K76 = 9760Ω

1M = 1,000,000Ω

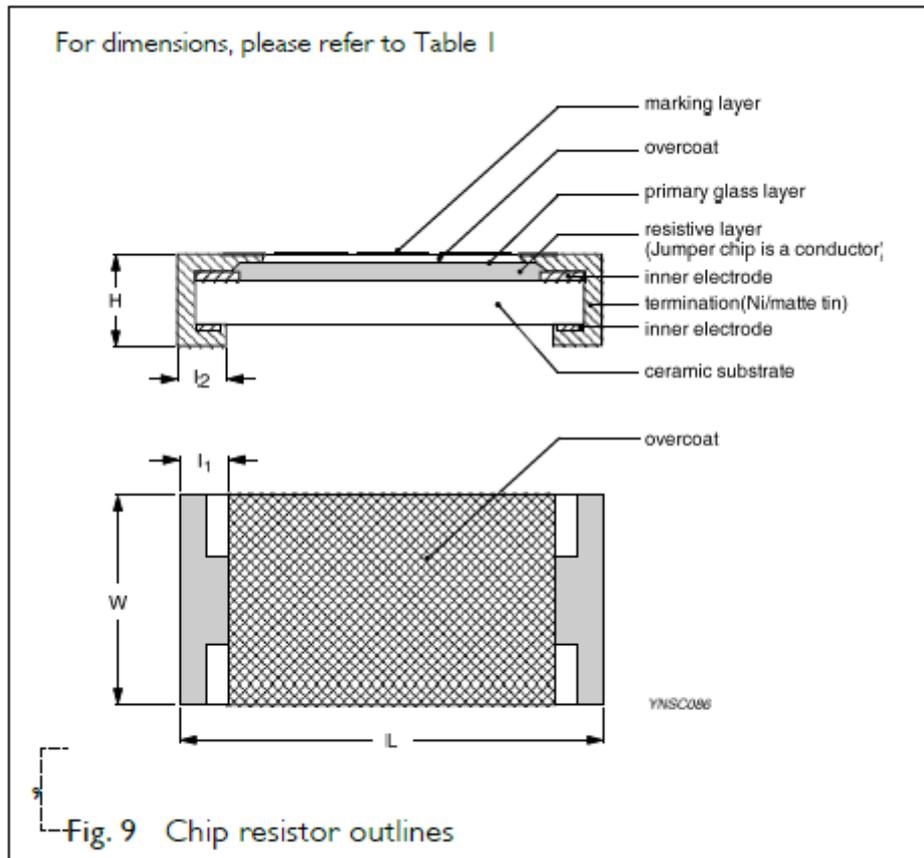
(7) DEFAULT CODE

Letter L is the system default code for ordering only.^(Note)

yageo贴片电阻命名规则

2.1.1.3 尺寸

目前最小的贴片电阻封装是0075，长宽仅0.3mm*0.15mm；电阻的封装尺寸在建立PCB封装时需要用到。



贴片电阻轮廓图

TYPE	L (mm)	W (mm)	H (mm)	l ₁ (mm)	l ₂ (mm)
RC0075	0.30±0.015	0.15±0.015	0.13±0.02	0.08±0.03	0.08±0.03
RC0100	0.40±0.02	0.20±0.02	0.13±0.02	0.10±0.03	0.10±0.03
RC0201	0.60±0.03	0.30±0.03	0.23±0.03	0.10±0.05	0.15±0.05
RC0402	1.00±0.05	0.50±0.05	0.35±0.05	0.20±0.10	0.25±0.10
RC0603	1.60±0.10	0.80±0.10	0.45±0.10	0.25±0.15	0.25±0.15
RC0805	2.00±0.10	1.25±0.10	0.50±0.10	0.35±0.20	0.35±0.20
RC1206	3.10±0.10	1.60±0.10	0.55±0.10	0.45±0.20	0.40±0.20
RC1210	3.10±0.10	2.60±0.15	0.55±0.10	0.45±0.15	0.50±0.20
RC1218	3.10±0.10	4.60±0.10	0.55±0.10	0.45±0.20	0.40±0.20
RC2010	5.00±0.10	2.50±0.15	0.55±0.10	0.45±0.15	0.50±0.20
RC2512	6.35±0.10	3.10±0.15	0.55±0.10	0.60±0.20	0.50±0.20

常见封装贴片电阻尺寸图

2.1.1.4 电压

同一封装有两个功率的，大的为升功率系列，比常规功率的要贵一些，谨慎选择升功率型，容易缺货。

实际电路中，根据电阻上可能流过的电压值及功率，从而选择合适封装的贴片电阻。

封装(英制)	功率 (W)	工作温度 (°C)	工作电压 (max)	过载电压 (max)	介质承受电压 (max)
0201	1/20	-55~125	25	50	50
0402	1/16	-55~155	50	100	100
0402	1/8	-55~155	50	100	100
0603	1/10	-55~155	75	150	150

封装(英制)	功率(W)	工作温度(°C)	工作电压(max)	过载电压(max)	介质承受电压(max)
0603	1/5	-55~155	75	150	150
0805	1/8	-55~155	150	300	300
0805	1/4	-55~155	150	300	300
1206	1/4	-55~155	200	400	500
1206	1/2	-55~155	200	400	500
1210	1/2	-55~155	200	500	500

常见封装贴片电阻耐压及功率

1.1.5 参数

电阻有如下几个主要的参数，在电阻选型时需要重点考虑；

标称阻值：电阻器上面所标示的阻值，如1002指10K电阻；

允许误差：实际阻值对于标称值的最大允许偏差称为允许误差；10K 1%精度的电阻，实际阻值范围为 (9.9K~10.1K) ；

额定功率：是指环境温度为70°C时最大允许使用的功率；

额定电压：根据额定功率和阻值即可以算出额定电压；

温度系数：英文全称temperature coefficient of resistance 简称TCR，表示当温度改变1摄氏度时，电阻值的相对变化，单位为ppm/°C，1ppm/°C代表温度改变1摄氏度，电阻阻值改变百万分之一。

温度系数的计算公式：

$$TCR = \frac{R2 - R1}{R1 * (t2 - t1)} * 10^6 (ppm/°C)$$

公式中字母含义如下：

t1=+25 °C or specified room temperature

t2=-55 °C or +125 °C test temperature

R1=resistance at reference temperature in ohms

R2=resistance at test temperature in ohms

1.1.6 标注

一般贴片电阻上会有阻值标识，根据标识能知道阻值，前提是我们得懂标注规则，0201和0402由于封装较小，一般不标识。

电阻的标注方法有**3位数标注法**，**4位数标注法**，**小数点标注**和**3位数乘数代码**；3位数标注多用于E24系列，4位数标注多用于E24和E96系列；

3位数标注，前两位代表有效数字，后一位代表10的幂， $103 = 10 * 10^3 = 10K$



4位数标注，前三位代表有效数字，后一位代表10的幂， $1002 = 100 * 10^2 = 10K$ ；



小数标注，用R表示小数点的位置，如R12=0.12Ω，R012=0.012Ω，1R2=1.2Ω；可以看到R后面如果有0和没有0，阻值是不一样的。

3位数乘数代码，如45B，前两位代码45代表具体的阻值，查表可得是287，最后一位B是10的幂，查表B代表 10^1 ，所以 $45B = 287 * 10^1 = 2.87K$ ；[点击查看3位数乘数代码对照表](#)

1.1.7 分类

按阻值特性：固定电阻、可调电阻、特种电阻；

按制造材料：碳膜电阻、金属膜电阻、线绕电阻，无感电阻，薄膜电阻，厚膜电阻等；

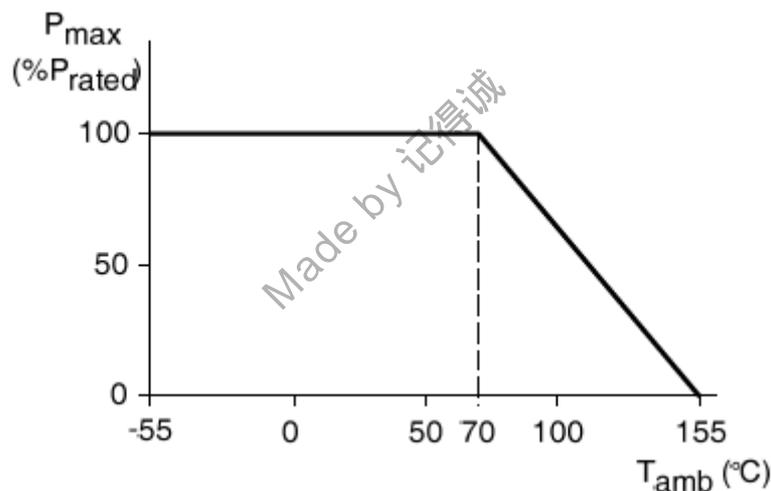
按安装方式：插件电阻、贴片电阻；

按功能分：负载电阻，采样电阻，分流电阻，保护电阻等；

薄膜电阻和厚膜电阻的区别：[薄膜电阻和厚膜电阻区别](#)，了解即可，属于制造工艺范畴。

1.1.8 使用注意

贴片电阻在使用温度超过70°C时，功率会降低，所以一般建议按额定功率的70%降额设计使用；



功率损耗百分比和工作温度的关系

谨慎用小封装大阻值电阻，在遇到脏污时，相当于并联会使阻值变得很小。

1.1.9 生产厂家

常见的贴片电阻生产厂家有：国巨，三星，Rohm，厚生，广东风华，华新科技walsin，威世vishay等；

今天的文章到这里就结束了，希望对你有帮助，我们下一期见。

2.1.2 压敏电阻原理、参数、选型

压敏电阻并不是电阻，而是一种具有瞬态电压抑制功能的元件，效果同TVS。这篇博客介绍压敏电阻的一些基本知识，包括参数、选型、应用等。

2.1.2.1 命名

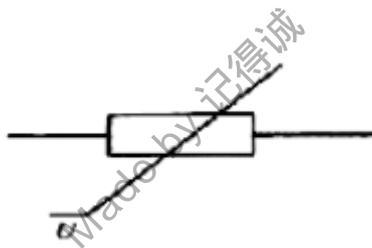
压敏电阻用MY表示，MY后缀J（家用）、W（稳压）、G（过压）、P（高频）、L（防雷）、H（灭弧）、Z（消噪）等，这是一般通用命名方式，不同厂家的命名不太一样。

MY 品种 G 类别 14 芯片直径 K 压敏电压偏差 681 压敏电压 M 特殊性能

第一部分 主称		第二部分 类别		第三部分 产品描述1		第四部分 特殊性能	
符号	意义	符号	意义	符号	意义	符号	意义
MY	压敏电阻	G	过压保护(普通型)	1、芯片直径	M	防爆型	
		L1	防雷型	14	芯片直径14mm	J	高焦耳型
		31	高压型	2、压敏电压			
				681	680V		
				3、压敏电压偏差			
				K	±10%		

2.1.2.2 工作原理

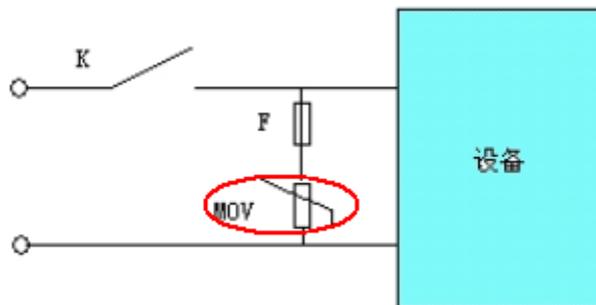
压敏电阻是一种具有非线性伏安特性的电阻器件，英文名称叫Voltage Dependent Resistor，简称为VDR，或者叫做Varistor。压敏电阻不是真正的电阻，而是一种具有瞬态电压抑制功能的元件，无正负极之分，这一点不同于TVS，使用时同样是并联与被保护IC或电路，压敏电阻的响应时间会比TVS慢一点。



压敏电阻电路符号

当加到压敏电阻上的电压超过一定值时，它的阻值会迅速下降，以导通大电流，保护后端电路；当低于其工作电压时，压敏电阻阻值极高，相当于开路，不影响后端电路的工作状态。

压敏电阻虽然能吸收很大的浪涌能量，但不能承受毫安级以上的持续电流，在用作过压保护时必须考虑到这一点。



压敏电阻与被保护设备连接

2.1.2.3 参数解读

如下是一个压敏电阻的SPEC参数。

Part Number	Max. Working Voltage		Varistor Voltage	Max. Clamping Voltage		Rated Single Pulse Transient		Typical Capacitance
	DC	AC RMS		8/20 μ s	ESD	Energy 10/1000 μ s	Peak Current 8/20 μ s	
Test Condition	<20 μ A		@1mA DC	8/20 μ s	ESD	Energy 10/1000 μ s	Peak Current 8/20 μ s	@0.5V _{rms} , 1MHz
Units	Volts	Volts	Volts	Volts	Volts	Joules	Amps	pF
Symbol	V _{WDC}	V _{WAC}	V _B	V _C ^{*1}	V _C ^{*2}	E _T	I _P	C
SDV1608E5R5C180□PTF	5.5	4.0	10.0-14.0	18	23	0.005	3	18

压敏电阻电气参数

2.1.2.3.1 压敏电压

指击穿电压或阈值电压，特定电流下测得的压敏电阻两端的电压，一般是1mA直流电流通入压敏电阻时测试得到的。一般符号是： $V_B@1mA(DC)$ 或者 V_{1mA} 。

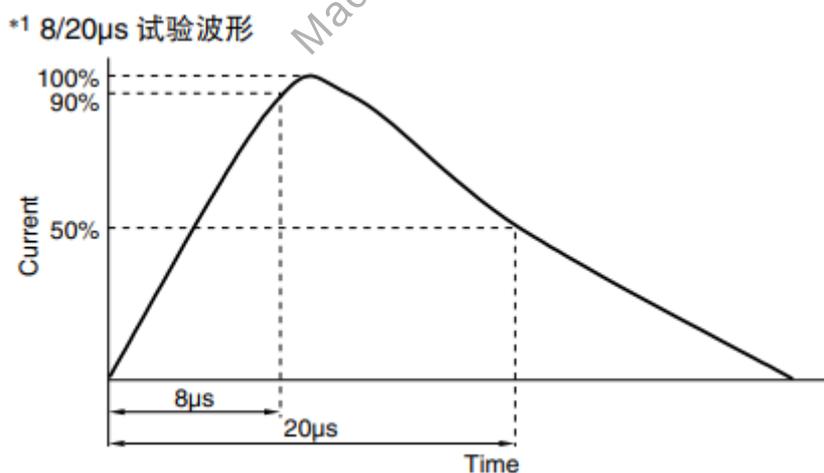
2.1.2.3.2 最大工作电压

分为交流和直流两种情况。对交流来说，一般用AC RMS表示，指的是加在压敏电阻上的交流有效值不能超过这个值，上面SPEC的 V_{WAC} 指加在压敏电阻上的交流电压有效值不能超过4V。对直流来说，被保护信号或者电路的最高电压不能超过这个值。

SPEC中的 V_{DC} 是5.5V，即对于5.5V以上的直流电路来说，这个压敏电阻是不合适的。

2.1.2.3.3 最大钳位电压

指施加规定的脉冲能量波形如(8/20 μ s)时压敏电阻两端电压，从SPEC看，对压敏电阻施加8/20 μ s脉冲波形时，最大钳位电压是18V。8/20 μ s脉冲指的是8 μ s达到100%I_{pp}，20 μ s达到50%I_{pp}。



2.1.2.3.4 能量耐量

指施加规定的脉冲能量波形(如10/1000 μ s波形)时压敏电阻吸收的最大能量，符号用E表示，单位是J(焦耳Joule)，压敏电阻的片径越大，它的能量耐量越大，耐冲击电流也越大。

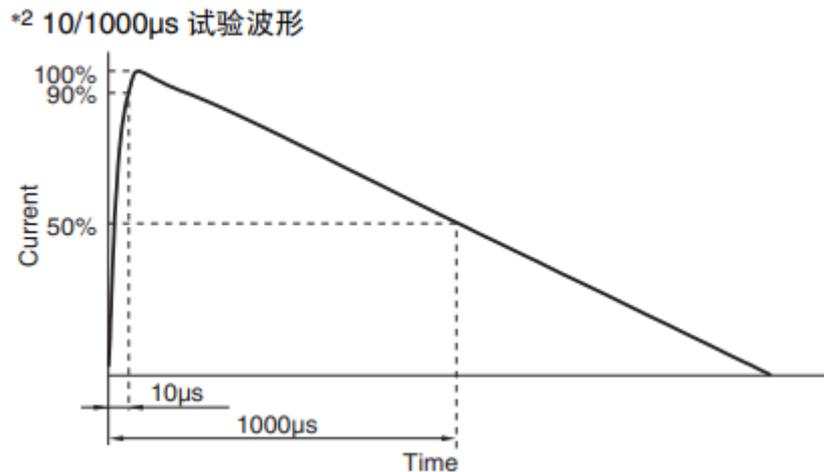
能量耐量的计算公式是：

$$W = KIVT(J)$$

其中：

I 是流过压敏电阻的峰值电流；

K 是电流 I 的波形系数，不同的脉冲波形系数 K 不同（2ms的方波 $K=1$ ，8/20 μs 的波形 $K=1.4$ ，10/1000 μs 的波形 $K=1.4$ ）；
 T 是电流的持续时间；
 V 是在电流为 I 时压敏电阻两端电压；



2.1.2.3.5 浪涌电流

指的是施加规定的脉冲能量波形（如8/20 μs ）时，压敏电阻的电气特性不会下降的最大电流，从SPEC上可以看到此压敏电阻，在8/20 μs 脉冲波形下，最大浪涌电流到3A。

有这么定义的：1次，以8/20 μs 标准波形的电流作一次冲击的最大电流值，此时压敏电压变化率仍在 $\pm 10\%$ 以内；2次，以8/20 μs 标准波形的电流作两次冲击的最大电流值，两次冲击时间间隔为5分钟，此时压敏电压变化率仍在 $\pm 10\%$ 以内。

在一些资料上，会有**通流容量**这个概念，也可以把最大浪涌电流看作通流容量，通流容量比较难计算，多个压敏电阻并联，其压敏电压不变，通流量等于几者之和，要求并联的压敏电阻伏安特性尽量相同，否则易引起分流不均匀而损坏压敏电阻对选型来说，一般参照SPEC即可。

2.1.2.3.6 静电电容

指的是压敏电阻器本身固有的电容容量，一般测试条件是振荡器频率为1KHz或1MHz，振荡器电压1Vrms。

2.1.2.3.7 漏电流

现在一般SPEC不给出压敏电阻的漏电流参数，漏电流又称为**等待电流**，指压敏电阻器在规定的温度和最大直流电压下，流过压敏电阻器的电流。

2.1.2.4 选型要点

在了解压敏电阻的重要参数后，如何对其选型呢？

在交流电路中： $V_{1mA(min)} \geq (2.2 - 2.5) * V_{AC}$ ， V_{AC} 指被保护交流电路工作电压有效值。

在直流回路中： $V_{1mA(min)} \geq (1.6 - 2) * V_{DC}$ ， V_{DC} 指直流电路工作最大电压。

假设直流回路中，需要被保护的信号电压是3V，那压敏电阻的最小压敏电压为4.8V，一般在选型时，物料的最大容许交流和直流电压都会给出，并且压敏电压也会给出，不超过最大容许电压即可，同时需要注意，不能比最大容许电压小太多，这样电压的正常工作电压会比压敏电压小得更多，上图SPEC中，最大直流容许是5.5V，我们一般3V的电源和信号就可以使用。

如果被保护电路工作电压或耐压较低，而浪涌能量又比较大，则可选择压敏电压 V_{1mA} 较低、片径较大的压敏电阻器；如果工作电压或耐压较高，则可选择压敏电压 V_{1mA} 较高的压敏电阻器，既保护了电路，又能延长压敏电阻寿命。

压敏电阻的电容量一般是几十到几百pF，所以不能用在高频信号中。

2.1.2.5 应用

因为压敏电阻带有电容量成分，一般几十pF到几百pF不等，所以一般用在**低频信号**上，直流电源和交流电源都可以使用。

按结构分：可以分为结型压敏电阻器、体型压敏电阻器、单颗粒层压敏电阻器和薄膜压敏电阻器。

按使用材料分：可分为氧化锌压敏电阻器、碳化硅压敏电阻器、金属氧化物压敏电阻器、锗（硅）压敏电阻器、钛酸钡压敏电阻器。

按伏安特性分：可分为对称型压敏电阻器（无极性）和非对称型压敏电阻器（有极性），我们一般使用的压敏电阻都是没有极性的。

今天的文章内容到这里就结束了，希望对你有帮助，我们下一期见。

2.1.3 小小串联电阻，大大的作用

大家好，我是记得诚。

在很多电路中都会串联小阻值的电阻，别小看它们，其实作用很大。

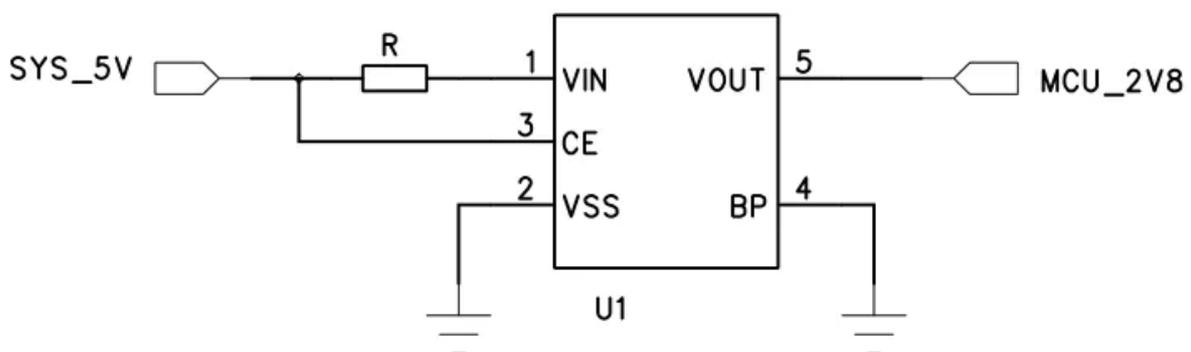
2.1.3.1 SPI信号线



SPI信号上串联电阻，一般是几十欧姆左右，一般有如下几个作用：

- 1) 阻抗匹配。因为信号源的阻抗很低，跟信号线之间阻抗不匹配，串上一个电阻后，可改善匹配情况，以减少反射。
- 2) SPI的速率较高，串联一个电阻，与线上电容和负载电容构成RC电路，减少信号陡峭，避免过冲，过冲有时候会损坏芯片GPIO，当然对EMI也有好处，尤其是高速电路。
- 3) 调试方便，现在的芯片很多是BGA、QFN封装，串联一个电阻，调试时用示波器抓取波形方便。

2.1.3.2 LDO输入端

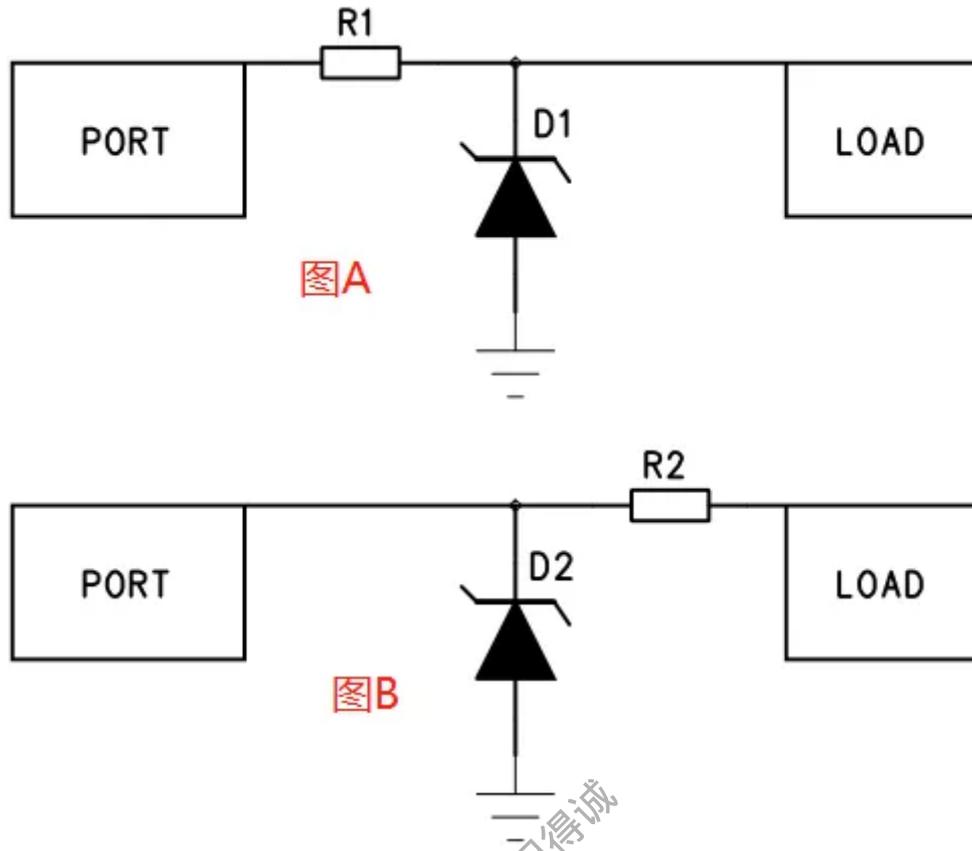


当LDO的VIN absolute maximum接近电源电压时，这时候又不想换高规格的LDO，为了节省成本，这时可以串一个小阻值电阻，能吸收一部分电压和电流，当电源端出现更大的浪涌时，电阻会身先士卒，代价更小。

假设LDO击穿，VIN和GND短路，因为串联电阻R的存在，也会避免电源SYS_5V与GND的短路。

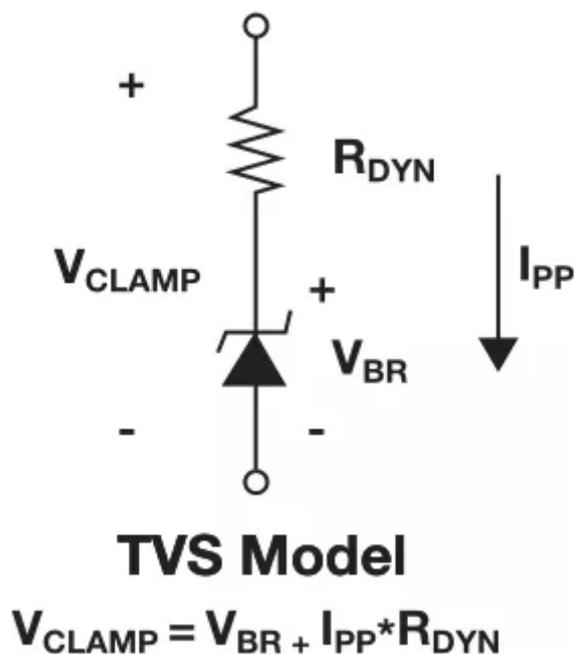
2.1.3.3 TVS前后串联电阻

TVS串联电阻一般有两种接法，图A电阻在TVS前，图B电阻在TVS后，两种电路使用场景是不一样的。



先问大家一个问题，电阻和TVS那个抗浪涌能力强，答案毋庸置疑，当然是TVS。

1) 对图A来说，首先要考虑浪涌大小，如果不大，可以选择一个合适功率的电阻，电阻在TVS前面，会吸收很小一部分的电流，浪涌电流 I_{PP} 小了之后，对应TVS的 V_c （钳位电压）也会变小，对后端负载的保护更好。



2. 对图B来说，TVS首先吸收大部分的浪涌电流，部分残压或者残流，会经过电阻R2，进行二次的分压限流，可以更好的保护后端负载。如果后端负载远大于R2，分压限流也就微乎其微了，R2其实也就没啥作用了。

今天的文章内容到这里就结束了，希望对你有帮助，我们下一期见。

2.1.4 电阻选型，这几个参数不可忽视

大家好，我是记得诚。

电阻选型时，除了常规的参数，以下几个参数也不可忽视。

2.1.4.1 额定功率

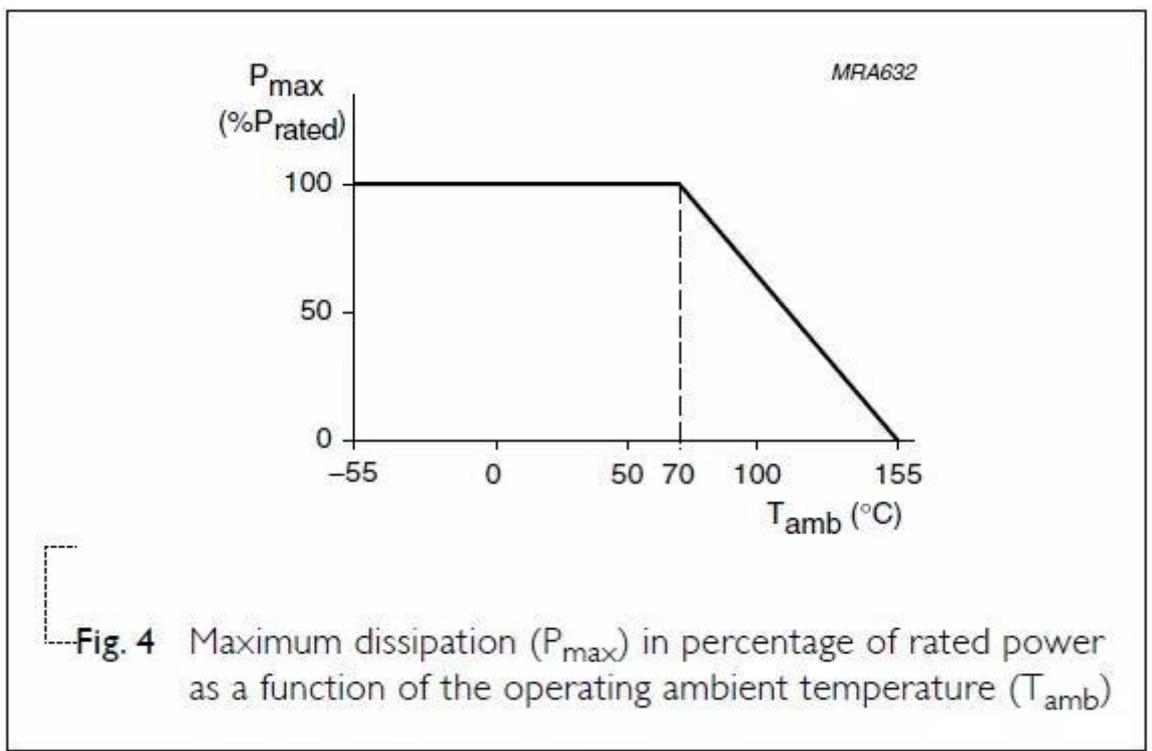
CHARACTERISTICS	RC0402	1/16 W
Operating Temperature Range	-55 °C to +155 °C	
Maximum Working Voltage	50 V	
Maximum Overload Voltage	100 V	
Dielectric Withstanding Voltage	100 V	
Resistance Range	5% (E24) 1 Ω to 10 MΩ	
	1% (E96) 1 Ω to 10 MΩ	
	Zero Ohm Jumper < 0.05 Ω	
Temperature Coefficient	10 Ω < R ≤ 10 MΩ	±100 ppm/°C
	1 Ω < R ≤ 10 Ω	±200 ppm/°C
Jumper Criteria	Rated Current	1.0 A
	Maximum Current	2.0 A

1/16W (上图右上角)，被电阻阻挡的电流，都变成了热量。小小的一个电阻，热量如果不能及时散出去，就会过热、烧断。

硬件设计的时候需要计算通过电阻的电流，功率=电流平方x电阻，不能让功率超标了。

2.1.4.2 工作温度和高温功率限制

Operating Temperature Range -55°C to +155°C，工作温度-55到+115，但是在实际使用的时候，高温下有功率限制。



在规格书的后面有一个功率和温度的曲线，+70度以后，就需要降功率使用了。到了+155度的极限温度时，功率要降低到几乎为0才行。

原因很简单，如果高温下还是满功率运行，温度就会越升越高，很快超出最高温度，就烧掉了。

2.1.4.3 最大工作电压

CHARACTERISTICS		RC0402 1/16 W
Operating Temperature Range		-55 °C to +155 °C
Maximum Working Voltage		50 V
Maximum Overload Voltage		100 V
Dielectric Withstanding Voltage		100 V
Resistance Range		5% (E24) 1 Ω to 10 MΩ
		1% (E96) 1 Ω to 10 MΩ
		Zero Ohm Jumper < 0.05 Ω
Temperature Coefficient	10 Ω < R ≤ 10 MΩ	±100 ppm/°C
	1 Ω < R ≤ 10 Ω	±200 ppm/°C
Jumper Criteria	Rated Current	1.0 A
	Maximum Current	2.0 A

Maximum Working Voltage 50V， Maximum Overload Voltage 100V。分别是最大工作电压和最大过载电压。

这两个参数是针对瞬间峰值电压的。如果持续50V，早就超过电阻的额定功率了。

平时设计的时候，根据实际工作功率来控制电压不要超标，就可以了。如果电路有毛刺，就需要考虑峰值有没有超标。

2.1.4.4 温漂

CHARACTERISTICS		RC0402 1/16 W
Operating Temperature Range		-55 °C to +155 °C
Maximum Working Voltage		50 V
Maximum Overload Voltage		100 V
Dielectric Withstanding Voltage		100 V
Resistance Range		5% (E24) 1 Ω to 10 MΩ
		1% (E96) 1 Ω to 10 MΩ
		Zero Ohm Jumper < 0.05 Ω
Temperature Coefficient	10 Ω < R ≤ 10 MΩ	±100 ppm/°C
	1 Ω < R ≤ 10 Ω	±200 ppm/°C
Jumper Criteria	Rated Current	1.0 A
	Maximum Current	2.0 A

Temperature Coefficient, 10 Ω < R ≤ 10 MΩ ±100 ppm/°C。

折算下来是温度每变化一度，电阻值变化万分之一。万分之一不多，不过如果工作温度从-50°C升高到+50°C，电阻值就要变化1%，和精密电阻1%的误差相当了。

如果需要在温度变化大的场景里使用精密电阻，就需要注意这里了。

2.1.4.5 编带方式

PRODUCT TYPE	PACKING STYLE	REEL DIMENSION	QUANTITY PER REEL
RC0402	Paper / PE Taping Reel (R)	7" (178 mm)	10,000 units
		10" (254 mm) / not preferred	20,000 units
		13" (330 mm)	50,000 units

有些工程师设计的时候，会把物料编码写的非常详细，精确到编带方式。虽然0402的电阻有三种编带方式，但平时用的主要都是7寸盘，每盘10k个。

如果写成大卷的了，可能不好买，也可能有些贴片厂的飞达装不下。

2.1.4.6 零欧姆电阻阻值

CHARACTERISTICS		RC0402 1/16 W
Operating Temperature Range		-55 °C to +155 °C
Maximum Working Voltage		50 V
Maximum Overload Voltage		100 V
Dielectric Withstanding Voltage		100 V
Resistance Range		5% (E24) 1 Ω to 10 MΩ
		1% (E96) 1 Ω to 10 MΩ
		Zero Ohm Jumper < 0.05 Ω
Temperature Coefficient	10 Ω < R ≤ 10 MΩ	±100 ppm/°C
	1 Ω < R ≤ 10 Ω	±200 ppm/°C
Jumper Criteria	Rated Current	1.0 A
	Maximum Current	2.0 A

0欧姆电阻，并不是绝对的0欧姆，0这个数没办法计算的，所以误差和功率，都和普通电阻不一样。

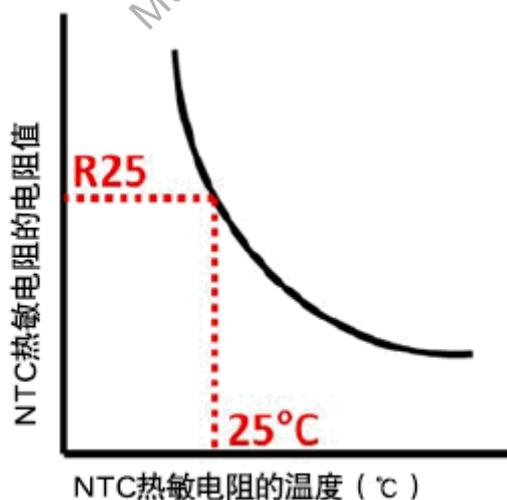
误差是<0.05Ω，功率不计算，只计算通过的电流。0402的0欧姆电阻额定电流是1A。

硬件设计的时候，如果在电源线上串联0欧姆电阻，一定要算清楚电流。

2.1.5 NTC热敏电阻介绍

NTC热敏电阻是一个很简单的温度传感器，在消费类电子产品中非常常见。

NTC又被称为负温度系数热敏电阻，是一类电阻值随温度增大而减小的一种传感器电阻。



NTC阻值和温度对应关系

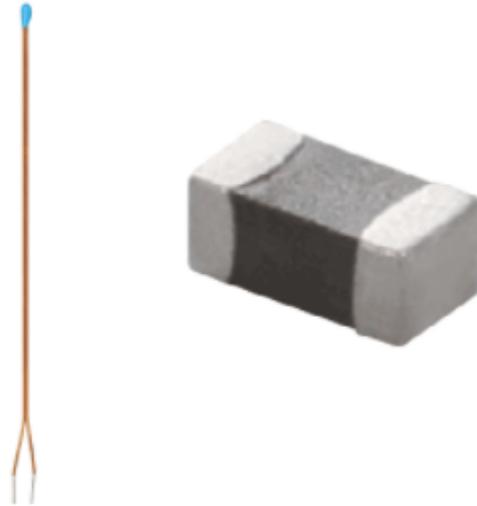
负温度系数热敏电阻与之对应的还有正温度系数热敏电阻，称为PTC，即阻值会随温度升高而增大。

PTC一般串联在电路中使用，用来限制电路电流，是一种过流保护器件。

电流通过元件后引起温度升高，PTC的阻值会增加，阻值增加从而限制了电流的增加，周而复始，PTC充当的是开关的作用。

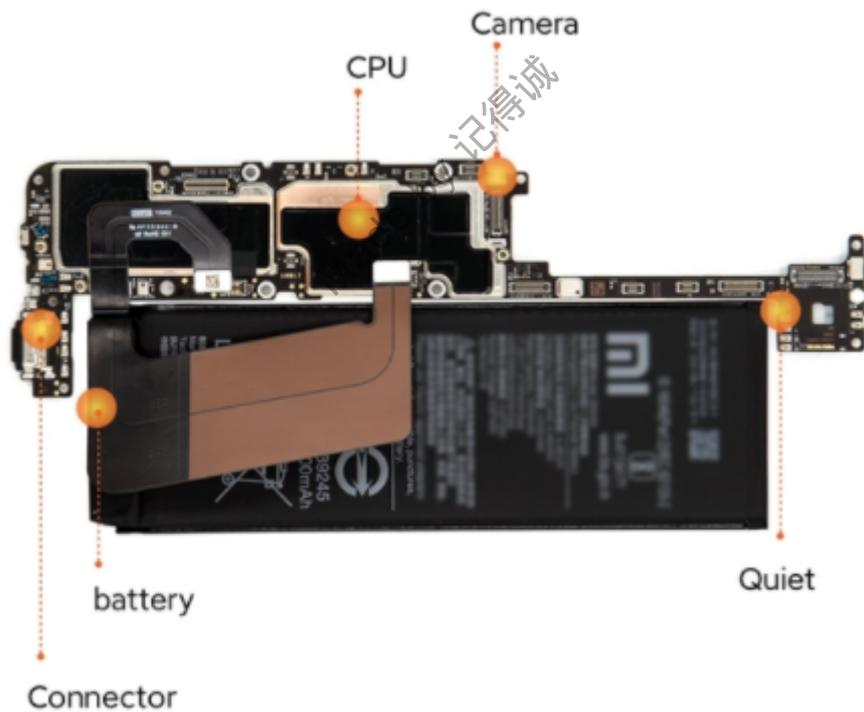
高分子PTC热敏电阻一般被称为自恢复保险丝。

负温度系数 (NTC) 热敏电阻的材料是由锰 (Mn)、镍 (Ni)、钴 (Co) 等成分的氧化物烧制而成的陶瓷，此陶瓷形成了电极。其外观形状一般有引线型、片状型等。



引线型和片状型NTC

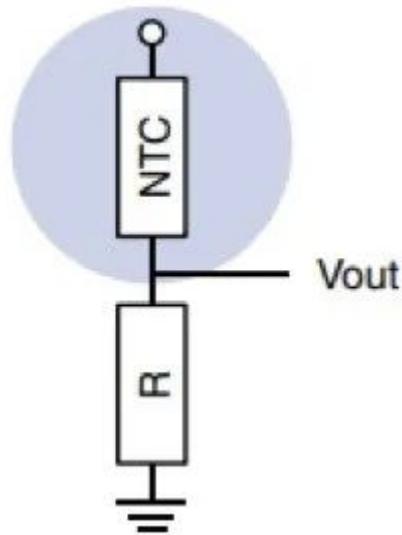
在之前的小米10发布会上，我们看到小米10系列搭载5个温度传感器，分别放在CPU、相机、通讯、电池、充电口等处，精准控温。这几个地方应该采用的都是NTC热敏电阻，因为NTC价格便宜，电路简单，占用更少的PCB面积，我们都知道目前旗舰手机内部的PCB空间都是寸土寸金的。



小米10系列手机温度传感器分布 (图源小米)

NTC热敏电阻的电路非常简单，因为NTC的阻值随温度升高一直在下降，用如下的电路将阻值变化转化为电压变化，然后ADC采样，根据电压推算出温度。

一般NTC的SPEC中会给出NTC阻值和温度的对应表，这个表格需要写进程序代码中；软件先根据ADC计算出Vout的电压值，然后换算出NTC的阻值，再查表得出温度。



NTC热敏电阻电路

NTC的选型有两个比较重要的参数，一个是25摄氏度的阻值，另一个是B常数（25/50°C），如果两个NTC的这两项参数一样，它们的NTC阻值和温度的曲线也差不多相似，可以进行替代。

电阻值(25°C)	10kΩ
电阻值(25°C)公差	±1%
B常数(25/50°C)	3380K
B常数(25/50°C)公差	±1%
B常数(25/80°C)(标准值)	3428K
B常数(25/85°C)(标准值)	3434K
B常数(25/100°C)(标准值)	3455K
最大电压	5V
最大工作电流(25°C)	0.1mA
散热常数(25°C)	1mW/°C
工作温度范围	-40°C to 125°C
尺寸代码(单位为mm)	0.4x0.2mm
形状	SMD
质量	0.00009g

下图是B常数的计算公式。

$$B_{(T1/T2)} = \frac{T_2 \times T_1}{T_2 - T_1} \times \ln\left(\frac{R_1}{R_2}\right)$$

NTC是一个很简单的温度传感器，在消费类电子产品中非常常见。

今天的文章到这里就结束了，希望对你有帮助，我们下一期见。

2.1.6 上拉电阻、下拉电阻、使用场景及阻值选择

2.1.6.1 上拉电阻

上拉，从字面意思就是往上面拉，数字电路中“上”指的是啥？指逻辑1，在电路设计中，逻辑1代表高电平。那把什么往上面拉呢，当然不会是电源，也不会是地，那只能是信号了。

自然就会得到概念，把一个信号通过一个电阻接到高电平，叫作**上拉**，这个电阻充当的作用就是**上拉电阻**。

2.1.6.2 下拉电阻

把一个信号通过一个电阻接到低电平（地），叫作**下拉**，这个电阻充当的作用就是**下拉电阻**。

为什么会出现上拉电阻，下拉电阻呢？什么场景下需要用到上拉下拉电阻呢？上下拉电阻的阻值如何选择呢？

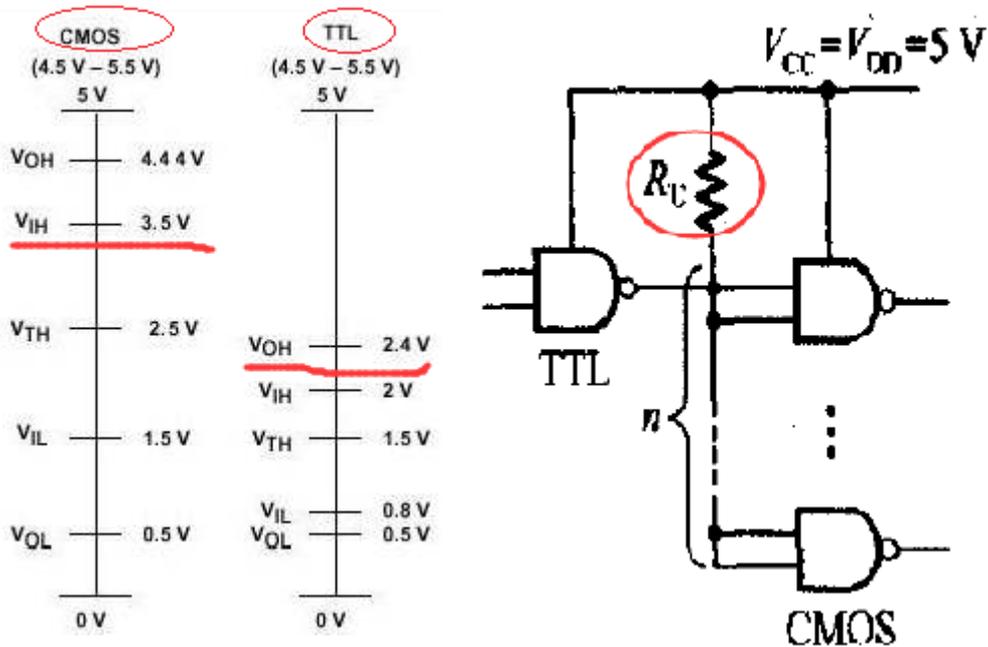
2.1.6.3 上拉电阻使用场景

2.1.6.3.1 TTL驱动CMOS

标准TTL电平的 V_{OHmax} （高电平输出最大值）为2.4V，而CMOS的 V_{IHmin} （高电平输入最小值）为3.5V，当TTL驱动CMOS时，TTL输出高电平时，CMOS可能无法有效识别为高电平，所以需要在TTL的输出上加一个上拉电阻，将TTL的输出高电平提高到5V，使CMOS有效识别。

TTL低电平驱动CMOS时，TTL的 V_{OLmax} （低电平输出最大值）为0.5V，小于CMOS的 V_{ILmax} （低电平输入最大值）的1.5V，所以TTL低电平可以正常被CMOS识别。

R_u 越小，上拉能力越大，但是会增大TTL端的饱和压降，导致TTL输出的低电平很高， R_u 太大，会延缓TTL输出的上升沿。

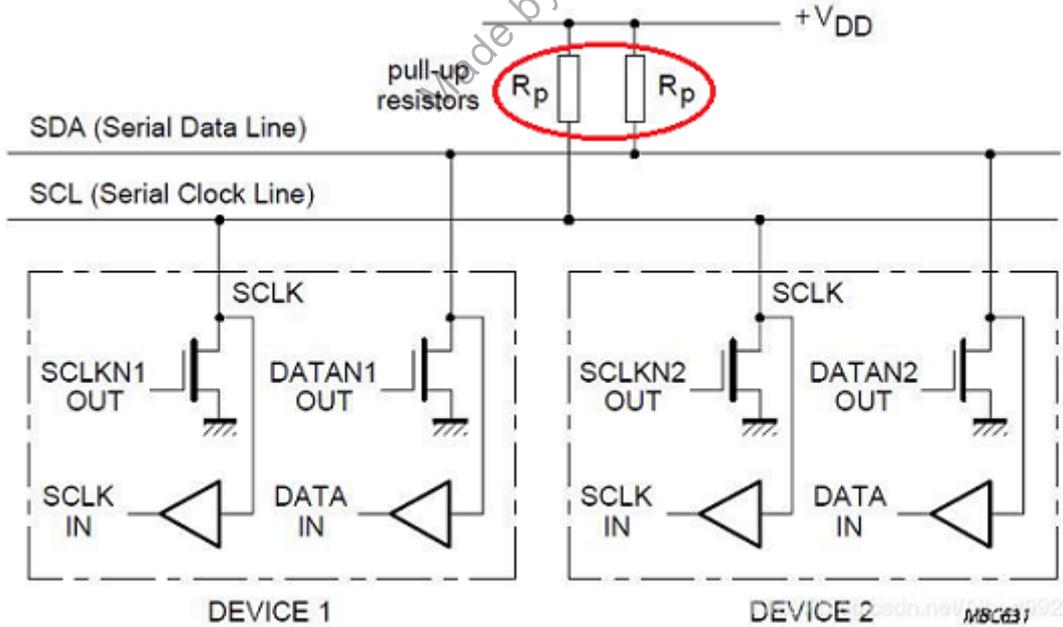


TTL驱动CMOS

2.1.6.3.2 OC和OD门

采用OC和OD门结构的，都需要添加上拉电阻，下图I2C是OD结构，SDA和SCL信号上都需要加上拉电阻，不加上拉电阻，OC和OD是无法输出高电平的。

关于IIC上拉电阻的阻值如何选择？可以查看之前博主写的文章：[IIC软件协议及硬件知识汇总](#)

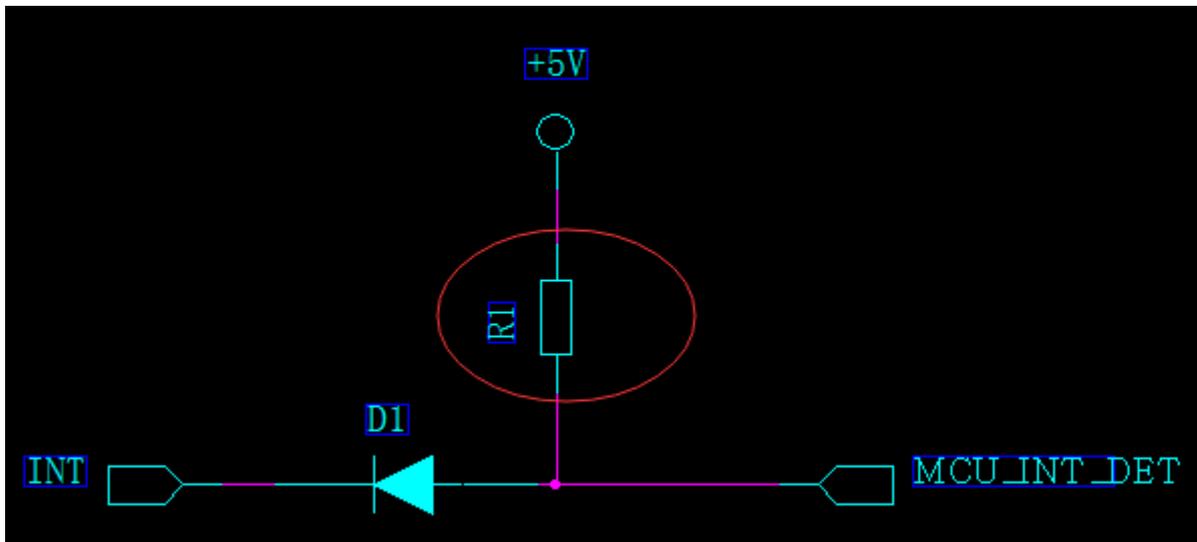


I2C的OD结构

2.1.6.3.3 低电平中断检测

对于低电平中断触发电路来说，一般在MCU的检测端会加一个上拉电阻，当INT低电平到来时，MCU_INT_DET会变为低电平，触发中断。

R_1 太大，MCU_INT_DET的上升沿越慢， R_1 太小，有可能造成灌电流过大，导致MCU管脚烧坏。

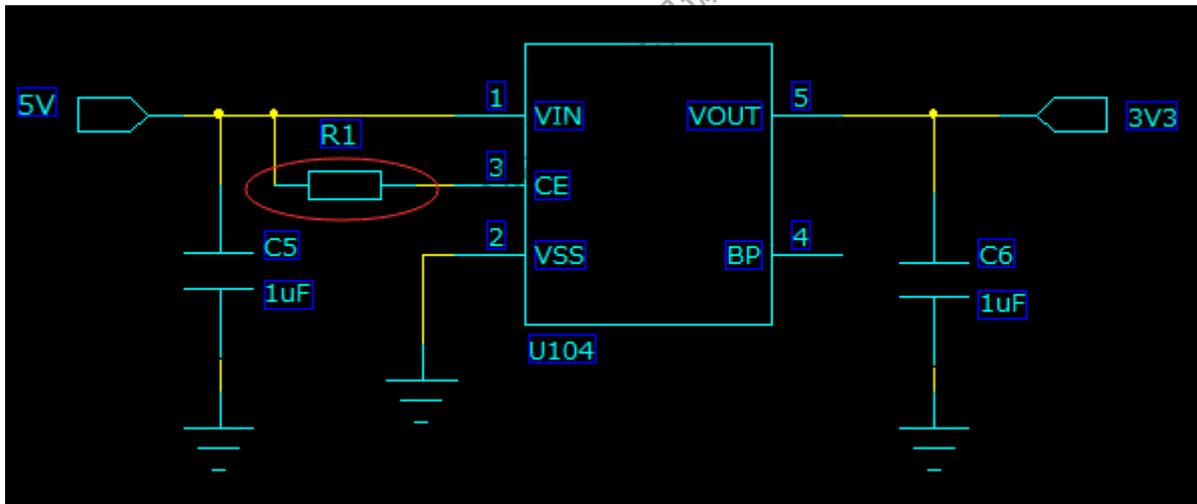


低电平中断检测电路

2.1.6.3.4 固定电平

如LDO电路，高电平使能时，一般会在使能脚CE加上拉电阻到VIN，达到上电LDO就有输出的效果。

对于R1，一般芯片的SPEC会给出，最常见的是10K和100K，那你说47K行不行，当然也行，要看LDO CE管脚的灌电流能力，也就是5V加在R1上的电流需要小于CE管脚最大灌电流，如果太大，CE脚可能会烧毁。

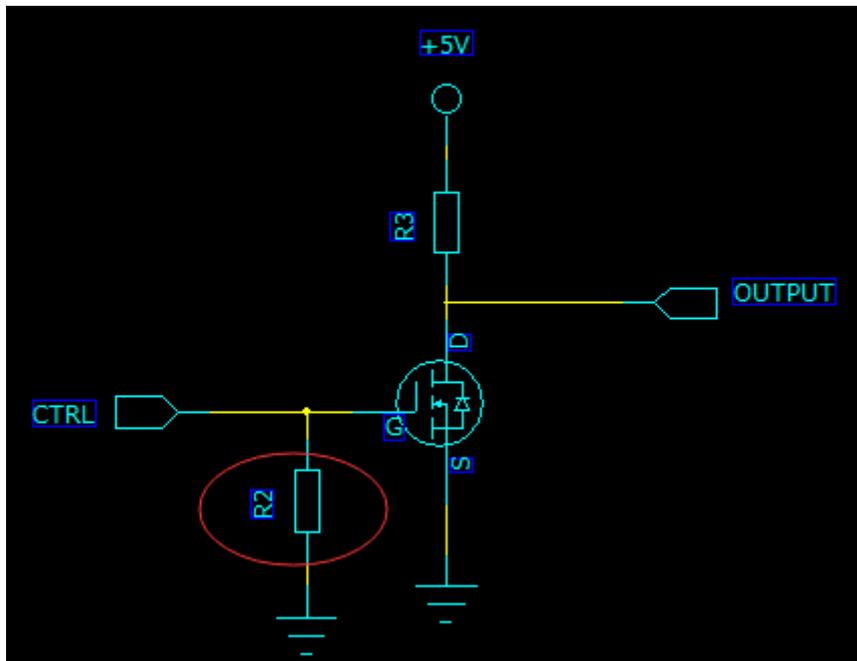


2.1.6.4 下拉电阻使用场景

2.1.6.4.1 固定电平

如NMOS的控制电路中，一般G极加一个下拉电阻，固定低电平，MOS管的GS阻抗很大，容易遭到静电的干扰，导致GS之间产生较高电压，使MOS管开关状态改变。

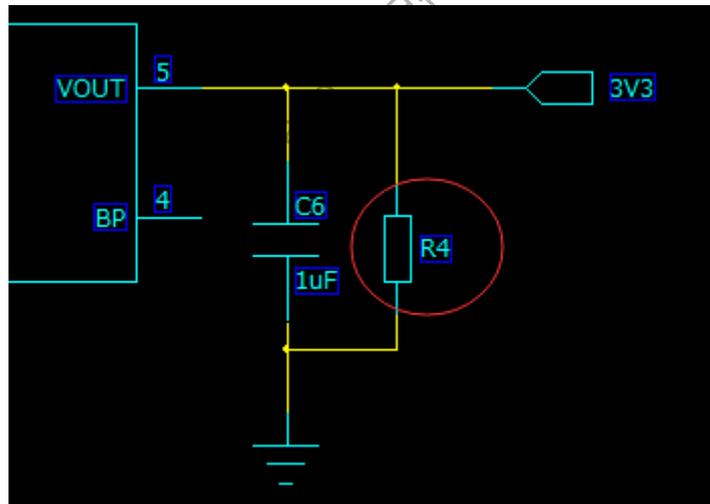
对于R2，MOS管在关闭状态，流过R2的耗流为0，MOS管导通状态；流过R2的电流为 $I = V_{CTRL}/R2$ ，如果想减小耗流，尽可能提高R2的阻值，一般取值200K，1M等。



2.1.6.4.2 作为放电电阻

有的LDO电路中，也会加R4下拉电阻，叫假负载，LDO关闭时，用于快速泄放C6上的电压，这和电路的使用场景有相关。加R4的坏处是，在正常工作时，会增加 $I = 3.3/R4$ 的耗流，再说一句，现在也有带自放电功能的LDO，带自放电和不带自放电，有利有弊，之前写的[LDO参数解读、特性、参考设计博客](#)，有提到LDO的自放电特性，感兴趣的可以自己阅读。

对于R4，阻值越小，放电越快，但是正常工作时，增加的耗流会越大。



今天的文章到这里就结束了，希望对你有帮助，我们下一期见。

2.1.7 0Ω电阻到底能过大电流？

大家好，我是记得诚。

0Ω电阻到底能过大电流？这个问题想必每位硬件工程师都查过。而与之相关的还有一个问题，那就是0Ω电阻的阻值到底有多大？

这两个问题本来是很简单的，答案应该也是很明确的，但网上网友却给出了不尽相同的答案。有的人说0Ω电阻是50mΩ，还有的人说其实只有20mΩ；有的人说只能过1A电流，还有的人说可以过1.5A.....

那么，到底是多大呢？下面，我们一步一步来看。

2.1.7.1 0Ω电阻阻值大小

针对这两个问题，我专门查了一下电阻的标准。根据EN60115-2电阻标准文件记载，0Ω电阻的阻值是0Ω，但也会有偏差。0Ω最大电阻偏差有三种可以选择，分别为10mΩ、20mΩ和50mΩ。

也就是说，0Ω电阻偏差可以允许有多种偏差，这主要看电阻厂商做的是哪种了。

A.2 Preferred characteristics

For 0 Ω resistors, the preferred characteristics given in Clause 4 of this sectional specification apply with the following modifications.

- Subclause 4.3, Resistance for 0 Ω resistors is 0 Ω.
- Subclause 4.4, Tolerance on resistance is not applicable to 0 Ω resistors. Instead a maximum permissible residual resistance $R_{rsd\ max}$ shall be applied, to be selected from the preferred values: 10 mΩ; 20 mΩ and 50 mΩ.

我下载了几大品牌的，比如罗姆、国巨、光颀的普通0Ω电阻规格书查看了一下，发现它们标注的0Ω电阻，最大阻值都是50mΩ。

由此可以得出结论：常用的普通0Ω电阻的阻值最大不超过50mΩ。

2.1.7.2 0Ω电阻的过流能力

网上还有一种观点，认为0Ω电阻的电流是根据功率算出来的，电阻按照50mΩ来算。这样的话，0805的电阻功率一般为1/8W，算出额定电流应该是1.58A。但是，我查看规格书发现，罗姆、国巨、光颀这几大品牌的都是2A，与计算出来的有些出入。

罗姆、国巨、光颀三大厂家的普通0Ω电阻额定电流如下：

各品牌0Ω电阻额定电流			
厂家	罗姆ROHM	国巨YAGEO	光颀Viking
封装	额定电流	额定电流	额定电流
R0201	0.5A	0.5A	1A
R0402	1A	1A	1A
R0603	1A	1A	1A
R0805	2A	2A	2A
R1206	2A	2A	2A
R1210	2A	2A	2.5A
R2512	4A	2A	4A

从上图可以看出，三大厂家的0Ω电阻的额定电流还是略有差别的。我建议综合各家的、按照最小值来选，这样就不论什么品牌，都不会超出规格设计了。

额定电流综合之后的表格如下：

综合最小电流	
R0201	0.5A
R0402	1A
R0603	1A
R0805	2A
R1206	2A
R1210	2A
R2512	2A

我们看到，常规的电阻的电流都不大，按照综合后的最小值来选的话，最大的也就2A。如果设计电路时发现，我要用3A或4A的 Ω 电阻，那该怎么办呢？其实很简单，可以用2个 Ω 电阻并联起来就行了。

说到这里，可能大家会觉得奇怪，怎么有的封装变大了，但过流并没有增加呢？例如，0805和1206都是2A，在这里应该是额定电流虽然没有增加，但瞬间电流应该是能过更大了。如果你打开国巨的电阻规格书，就会发现它写了两个参数，一个是额定电流，另一个是最大电流。额定电流都是2A，但最大电流0805是5A，1206是10A。

Made by 记得诚

TYPE	POWER	CHARACTERISTICS						Jumper Criteria
		Operating Temperature Range	Max. Working Voltage	Max. Overload Voltage	Dielectric Withstanding Voltage	Resistance Range	Temperature Coefficient	
AC0805	1/8 W	-55 °C to 155 °C	150V	300V	300V	5% (E24) 1Ω ≤ R ≤ 22 MΩ	1Ω ≤ R ≤ 10Ω ±200ppm°C	Rated Current 2A Maximum Current 5A
						0.5% 1% (E24/E96) 1Ω ≤ R ≤ 10MΩ Jumper < 50mΩ	10Ω < R ≤ 10MΩ ±100ppm°C 10MΩ < R ≤ 22MΩ ±200ppm°C	
AC1206	1/4 W	-55 °C to 155 °C	150V	300V	300V	5% (E24) 1Ω ≤ R ≤ 22MΩ	1Ω ≤ R ≤ 10Ω ±200 ppm°C	Rated Current 2A Maximum Current 10A
						0.5% 1% (E24/E96) 1Ω ≤ R ≤ 10MΩ Jumper<50mΩ	10Ω < R ≤ 10MΩ ±100 ppm°C 10MΩ < R ≤ 22MΩ ±200ppm°C	
AC1210	1/2 W	-55 °C to 155 °C	200V	400V	500V	5% (E24) 1Ω ≤ R ≤ 22MΩ	1Ω ≤ R ≤ 10Ω ±200ppm°C	Rated Current 2A Maximum Current 10A
						0.5% 1% (E24/E96) 1Ω ≤ R ≤ 10MΩ Jumper<50mΩ	10Ω < R ≤ 10MΩ ±100 ppm°C 10MΩ < R ≤ 22MΩ ±200ppm°C	
AC1210	1 W	-55 °C to 155 °C	200V	500V	500V	5% (E24) 1Ω ≤ R ≤ 10MΩ	1Ω ≤ R ≤ 10Ω ±200 ppm°C	Rated Current 2A Maximum Current 10A
						0.5% 1% (E24/E96) 1Ω ≤ R ≤ 10MΩ	10Ω < R ≤ 10MΩ ±100 ppm°C	

注：Jumper就是0Ω电阻（标准文件就是这么写的，如下图所示）。

Annex A (normative)

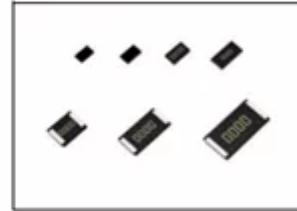
0 Ω Resistors (Jumper)

2.1.7.3 特殊大额定电流的0Ω电阻

如果是更大的电流，也是电阻可选的。不过，这些电阻就不常规了，比如这个罗姆的超低阻值电阻，最大阻值0.5mΩ，小了100倍，额定电流更是达到了20A+，但是价格比较贵，要好几毛钱，而普通电阻一分钱能买好几个。

●Features

- 1) Metallic resistive element utilized for extremely low conduction resistance. (0.5mΩMax.)
- 2) High current capability.
- 3) Superior strength against overcurrent and pulse loads.
- 4) Completely Pb free product.
- 5) Corresponds to AEC-Q200. But PMR01 is preparing.
- 6) ROHM resistors have obtained ISO9001 / ISO / TS16949 certification.



●Products list

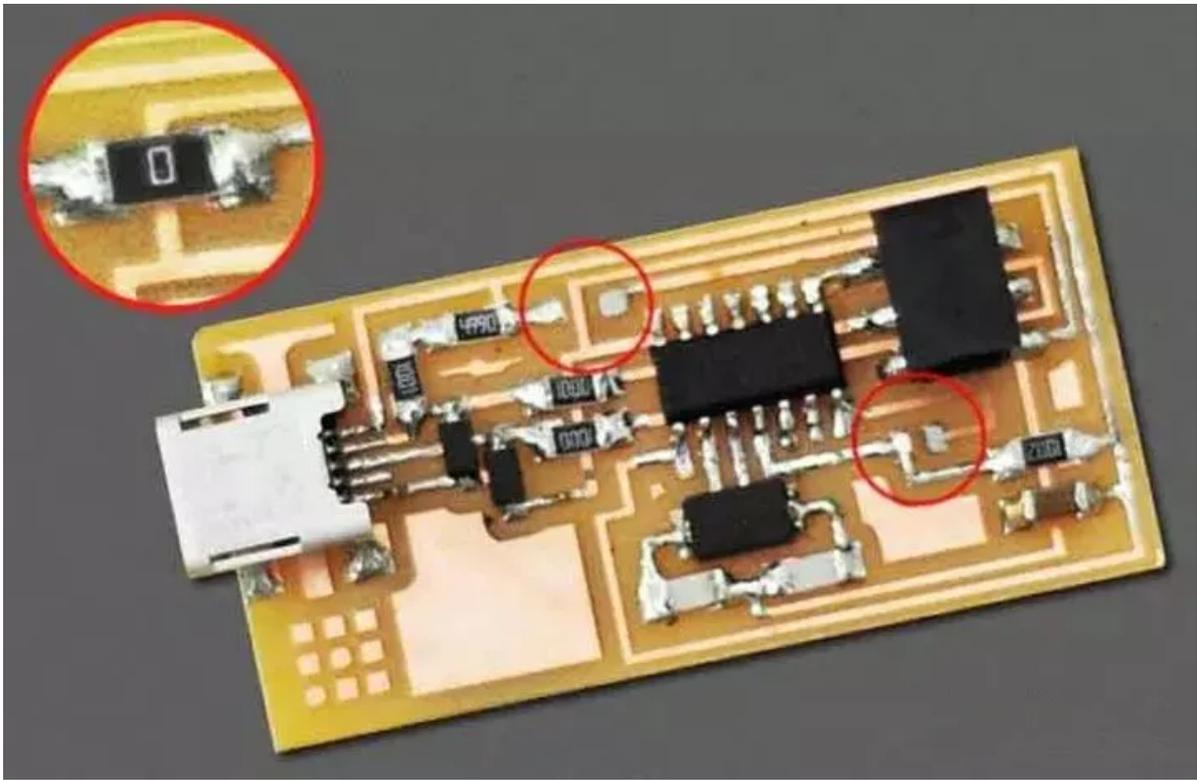
Part No.	Size		Rated current (A)	Resistance	Temperature range (°C)
	(mm)	(inch)			
PMR01	1005	0402	20.0	0.5mΩ MAX	-55 ~ +155
PMR03	1608	0603	22.4	0.5mΩ MAX	-55 ~ +155
PMR10	2012	0805	31.6	0.5mΩ MAX	-55 ~ +155
PMR18	3216	1206	38.7	0.5mΩ MAX	-55 ~ +155
PMR25	3225	1210	44.7	0.5mΩ MAX	-55 ~ +155
PMR50	5025	2010	50.0	0.5mΩ MAX	-55 ~ +155
PMR100	6432	2512	63.2	0.5mΩ MAX	-55 ~ +155

2.1.7.4 巧用0Ω电阻设计PCB板

许多硬件初学者看到PCB板上用到0Ω电阻时，往往就会一脸懵圈，他们经常会问：既然这玩意儿里面啥也没有，干嘛还要用它？

其实，0Ω电阻的用处可大了，如果用好它，可以极大地方便PCB板的设计和调试。下面，我们就来简单说说0Ω电阻的作用。

例如，老板出于成本的考虑，让你设计一个单面板，也就是说，元器件的安装及走线都只能在一面，你最头疼的是有些线实在走不过去，必须跨线连接，打俩孔用跳线？如果在研发的时候，这种方法还是可以的，但有一天你的设计变成了产品，需要大批量生产，机器折腾起跳线来要比放置一个电阻麻烦的多，这时候0Ω电阻就能帮你大忙了！根据你的空间，可以选用0805、0603或0402的电阻。

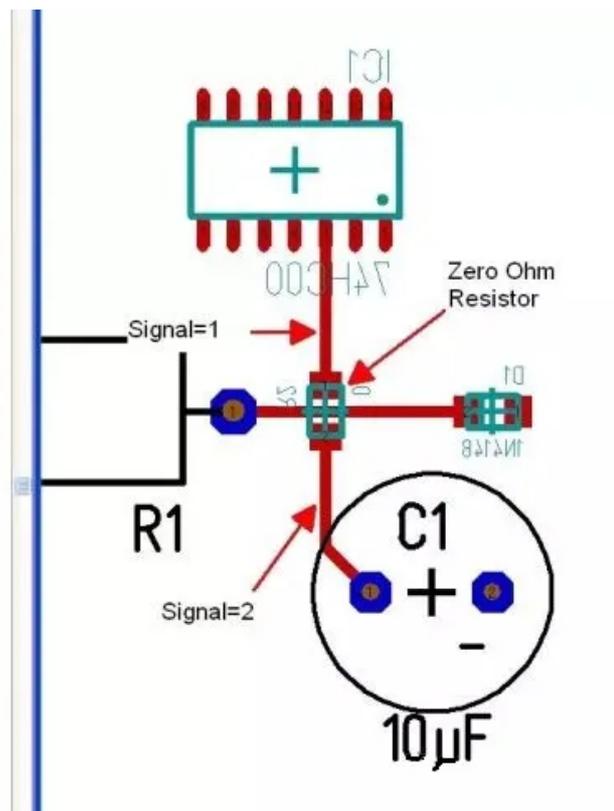
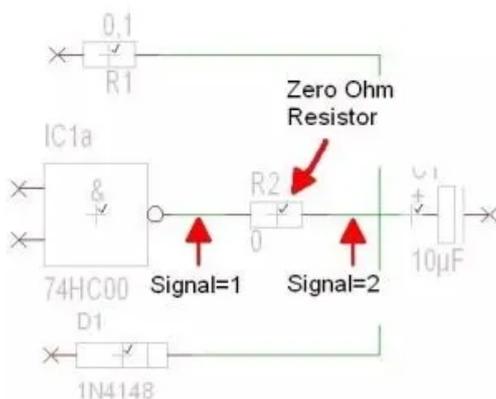


2.1.7.4.1 调试时的前后级隔离

如果你的设计是新的，对PCB板上很多部分的功能以及能够实现的性能还不确定，拿回板子来将会面临一场惊心动魄的调试，debug的一个重要原则就是把问题限定在最小的范围内，因此多块电路之间的隔离就非常重要。

在调试A电路时，你不希望B电路的工作影响到你的调试，那么最好的方式就是断掉它们之间的连接，而0Ω电阻就是一个最好的隔离方式！

调试的时候不焊接，等调试完成确认这部分电路没问题了，就可以将0Ω电阻安装上。当然，在最终的产品中可以彻底去掉。



2.1.7.4.2 测试电流用

如果你想测试某一路的电流大小，一种方式是通过电压表测量该通路上某电阻两端的电压（确保电压表的内阻不要影响到测量的精度），通过欧姆定律就可以计算出该路的电流。

另一种方式就是直接将电流表串在该回路上，因此在该电路上可以放置一个0Ω电阻，测量电流的时候用电流表两端代替该电阻，等测量完毕就能将该电阻安装上了。

2.1.7.4.3 给调试带来灵活性

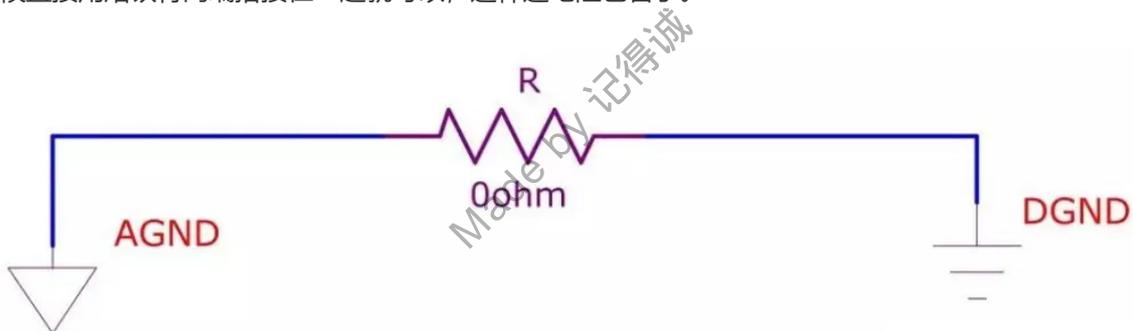
可以预留各种可能性，根据实际的需要进行选装不同的电阻，它可以替代掉跳线，避免了跳线的钻孔、安装占用比较大的空间，而且跳线也会引起高频干扰。

比如，PCB板上设计有低通滤波器，如果发现最终不需要或者一开始调试的时候没时间调试低通滤波器，但又必须让信号流通过去，可以用0Ω电阻来代替原来设计中的电阻/电感，而不安装电容。在匹配电路参数不确定时，以0Ω电阻代替，实际调试的时候确定参数再以具体的数值的元器件来代替。

2.1.7.4.4 用于信号完整性的模拟地和数字地的单点连接

有人说0Ω电阻跟没有一样，干嘛不直接连接上？想象一下，如果你在电路原理图里没有这个0Ω电阻，做PCB Layout的时候就可能忽略这个单点连接的原则，CAD软件也会乱连在一起，达不到你单点连接的初衷。

当然，单点连接的时候也可以用磁珠，但我个人的观点是连接点的位置选择好的话，磁珠除了比电阻贵之外，没有什么好处。在实际的操作中，你可以用比较小的封装的0Ω电阻，比如0402和0201，焊接的时候直接用烙铁将两端搭接在一起就可以，这样连电阻也省了。



2.1.7.4.5 增加被逆向工程的难度

如果你在电路上放置多个不同颜色、不同封装、没有阻值标记的0Ω电阻，不影响电路的工作性能，但却可以让抄你板子的人瞬间抓狂。

PCB板上支持不同的配置，有的版本可能有部分电路不安装，可以用它来隔离不安装的电路部分，比如iPhone中有WiFi版本和WiFi+3G版本的，用的实际上是一个设计。

怎么样？这个0Ω电阻的作用很大吧！在以后的项目中大家慢慢体会吧，很多时候灵活应用它，会让你很多头疼的问题都能迎刃而解。

今天的内容到这里就结束了，希望对你有帮助，我们下一期见。

2.2 电容篇

2.2.1 电容大汇总

2.2.1.1 简介

一个高档的智能手机里约有800~1000个片式多层陶瓷电容器，一般电路中用的最多的也是电容，可见电容的作用有多大，本文主要介绍电容的一些基本知识点。

两个相互靠近的导体，中间夹一层不导电的绝缘介质，这就构成了电容器。电容器有两个很重要的特性，隔直通交以及电压不能突变，所以经常被用在滤波电路、自举电路、调谐等电路中。

电容的基本单位是F（法拉），常见的单位是uF、nF和pF，换算关系为：1uF=1000nF=1000000pF

因为F的单位较大，1F=1000000uF，一般不用。

2.2.1.2 命名规则

电容的生产厂家比较多，不同的厂家命名规则不同，如下可以看一下村田的命名规则。

● Part Numbering

Chip Multilayer Ceramic Capacitors for General

WEB 

(Part Number)



如GRM代表：Chip Multilayer Ceramic Capacitors for General Purpose。

18代表尺寸：1.6x0.8mm，英制的0603封装。

这部分查看对应厂家的选型手册即可。

2.2.1.3 串并联计算公式

电容和电阻一样，也可以进行串联和并联。

两个电容C1和C2并联，等效电容为： $C_{eq} = C1 + C2$

如果C1远大于C2，等效电容可化简为： $C_{eq} = C1 + C2 \approx C1$

两个电容C1和C2串联，等效电容为： $C_{eq} = \frac{C1C2}{C1+C2}$

如果C1远大于C2，等效电容也可化简为： $C_{eq} = \frac{C1C2}{C1+C2} \approx \frac{C1C2}{C1} = C2$

从以上公式可以看出，电容的串并联正好和电阻是相反的。

2.2.1.4 平板电容器公式

电容器是储存电量和电能（电势能）的元件，平板电容器公式为： $C_{eq} = \frac{Q}{U_A - U_B} = \frac{\xi_r S}{4\pi kd}$

其中Q为电容存储的电荷， $U_A - U_B$ 为两极板之间的电势差， ξ_r 相对介电常数，S为两极板正对面积，d为两极板之间距离。面积越大，距离越小，容值越大。

2.2.1.5 标准及常用容值

电容的标准容值按照E6，E12，E24数值标准，如下：

E6系列取值：1.0、1.5、2.2、3.3、4.7、6.8乘以10的n次方；

E12系列取值：1.0、1.2、1.5、1.8、2.2、2.7、3.3、3.9、4.7、5.6、6.8、8.2乘以10的n次方；

E24系列取值：1.0、1.1、1.2、1.3、1.5、1.6、1.8、2.0、2.2、2.4、2.7、3.0、3.3、3.6、3.9、4.3、4.7、5.1、5.6、6.2、6.8、7.5、8.2、9.1乘以10的n次方。

在日常的电路设计中，我们常用的容值有：

常用的pF级别：39、43、47、51、56、100、150、200、220、270、300、330、390、470、560、680等；

常用的nF级别：1、1.2、1.5、2.2、2.7、3.3、10、22、33等；

常用的uF级别：0.1、0.15、0.22、0.33、0.47、1、2.2、10uF等。

2.2.1.6 电容分类

电容的种类很多，根据材料，常用的可分为如下几种，其中钽电解电容一般就称为钽电容。



如下是村田给出的几种电容器的特性比较。

	陶瓷电容器	钽电容器	铝电解电容器	导电聚合物电容器
价格	○	○	◎	○
阻抗-频率特性	◎	△	△	○
静电容量-温度特性	○	◎	○	○
直流击穿电压	◎	△	△	△
极性	无	有	有	有
脉冲对应性	◎	△	△	○
允许纹波电流	◎	△	△	△
可靠性	◎	○	○	○
DC偏压特性	△	◎	◎	◎

◎: 特别优异 ○: 优异 △: 劣质

陶瓷电容体积小（最小的01005封装），无极性，价格便宜，ESR低（低于钽电容和铝电解电容），缺点是容量没有电解电容大，韧性差，撞击易碎，一般多用在小型消费类电子产品中，如手机。

电解电容容量大，体积大，价格相对便宜，多用在电源和汽车电子中；

钽电容容量大，体积小，稳定性相比较铝电解电容高，多用在电源和汽车电子中；

薄膜电容耐压高，频率特性好，高压场合优选。

2.2.1.7 陶瓷电容

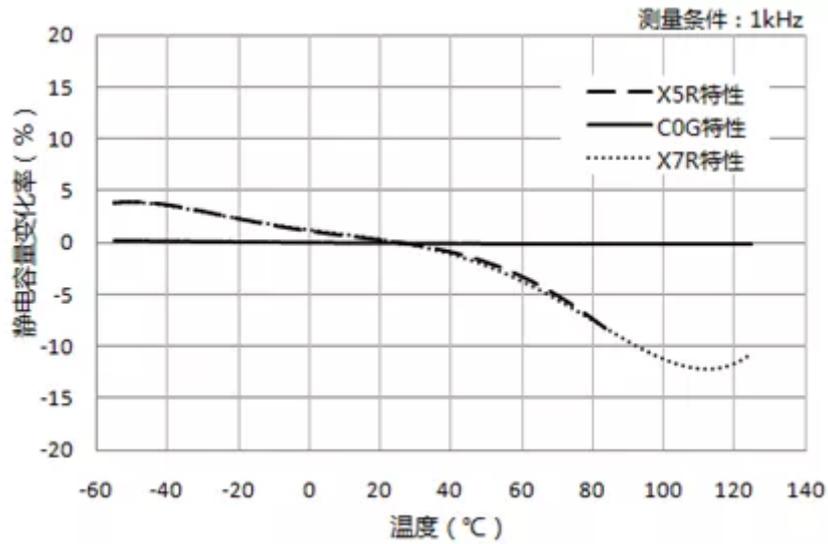
根据EIA和IEC推荐的标准，陶瓷电容可以被分为两类，Class1和Class2，我们常用的X5R和X7R都是属于Class2；

分类	特性	代号	一般容值范围	推荐电路
Class 1(Low-K系)	1. 近似线性的温度系数 2. 容值基本不随电压改变 3. 很大的绝缘电阻	C0G (NP0), U2J	CHIP: 0.1fF-0.1uF	带通滤波电路、耦合电路、温度补偿电路、谐振电路
			LEAD: 1pF-680nF	
Class 2(Hi-K系)	1. 很高的介电常数，具有较大的容值 2. 容值受温度、工作电压影响较大。 3. 容值随使用时间呈对数关系减少	X7R, Y5V X5R, X8R	CHIP: 100pF-100uF LEAD: 220pF-4.7uF	旁路电路、去耦电路

Class1和Class2的介电材料不同，村田给出的两种对比。

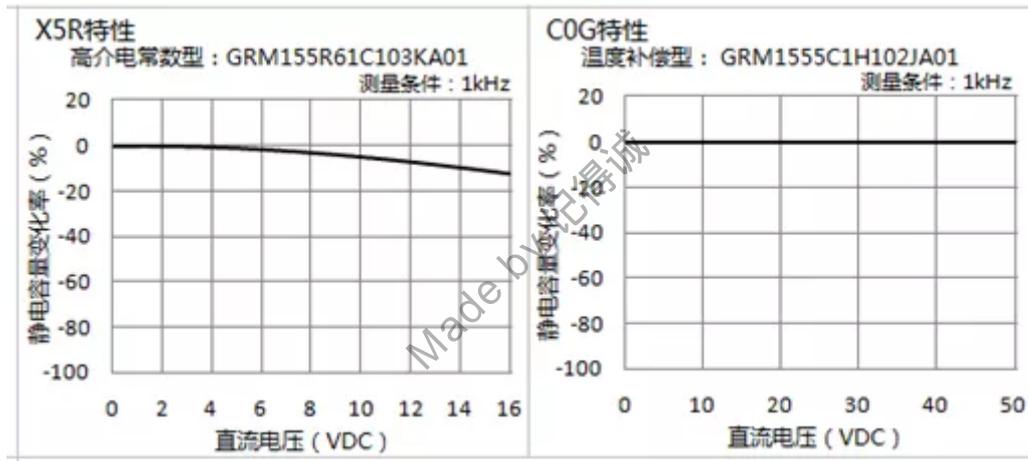
	高介电常数型	温度补偿型
主要温度特性	Class2 B/X5R、R/X7R 特性等	Class1 C0G、COG 特性等
特征	<ul style="list-style-type: none"> •主要原料：强介电性材料钛酸钡 (BaTiO₃) •室温下，拥有1000~20000的高相对介电常数，实现了体积小容量大。 •随着温度或电压的变化，相对介电常数也会发生变化，因此当用于电路的时间常数时，需事前确认电子电路动作状态进行变化的可能性。 •静电容量会随着时间而变化。 	<ul style="list-style-type: none"> •主要原料：一般介电材料氧化钛 (TiO₂) 或锆酸钙 (CaZrO₃) •相对介电常数为20~300左右，与高介电常数相比静电容量较小。 •随着温度的变化，相对介电常数会呈直线变化。 •随着时间的变化，容量值基本保持不变，即使处于高温、高电力、高频率的环境中 tanδ (电容损耗) 也很小，稳定性极佳。 •基本不会受到介电常数的时间变化或施加电压的影响，且具有较高的Q值 (1000~8000)。
主要用途	<ul style="list-style-type: none"> •常用于电脑、数码家电、智能手机等。 •利用其优异的高频特性，作为去耦电容器防止噪音发生或发挥其优异的吸收功能，广泛应用于各领域。 •最近可获得数μF~100μF的容量值，因此还被应用于各类电源的平滑电容器。 •此外还被广泛使用于分路器、连接器、过虑电路等领域中。 	<ul style="list-style-type: none"> •常用于电视调谐器电路中。 •最近可扩大至0.1μF的静电容量，开始用于DC-DC转换器的缓冲电路或音频设备等。 •此外还被用于高频电路中 (振荡、调音、连接器电路等)。

C0G是温补型，可以看出随着温度的变化，静电容量变化率几乎是0。



高介电率系列的电容器(B/X5R、R/X7R特性)，由于施加直流电压，其静电容量有时会不同于标称值，从下图可以看出，施加的直流电压越大，其实际静电容量越低。

对于温度补偿用电容器(CH、C0G特性等)，以常电性陶瓷作为主要原料，静电容量不因直流电压特性而发生变化。



C0G类电容的优点是由温度引起的容量变化小，缺点是电容率低，不能有大容量。

低电容率系列 (Class1) 的符合与特性			
规格	特性	温度范围	容量变化率
JIS	CH	-25~85℃	0±60ppm/℃
	UJ	-25~85℃	-750±120ppm/℃
	SL	-25~85℃	350~1000ppm/℃
EIA	C0G	-55~125℃	0±30ppm/℃

X5R类电容的优点是电容率高，能够具有大电容，缺点是由温度引起的容量变化大。

高电容率系列 (Class2) 的符号与特性			
规格	特性	温度范围	容量变化率
JIS	JB(B)	25~85℃	±10%
	JF(F)	-25~85℃	+30%、-80%
EIA	X5R	-55~85℃	±15%
	X7R	-55~125℃	±15%
	X8R	-55~150℃	±15%
	Y5V	-30~85℃	+22%、-82%

2.2.1.8 钽电容

钽电容一般就长下面这个样子，相比较铝电解电容，体积还是小的。



钽电容的优点是：

小尺寸大容量

漏电流小

在较高的频率下ESR低，但是没有MLCC低

在低电流下有自修复的能力（依靠把MnO₂变成MnO，修复有缺陷的位置）

缺点是耐电压和电流能力相对较弱，过压容易爆炸，电容失效时可能会引起明火。

2.2.1.9 电容充电和放电

电容的充放电不得不提到时间常数 $\tau_e = RC$ ，一个 τ_e 代表电容充电到电源电压的63%所用的时间。

电容充电公式为：

$$V_c = V_0 + (V_u - V_0) * (1 - e^{-\frac{t}{RC}})$$

其中 V_0 是电容起始电压， V_u 是电容充满电的电压，电容从0V开始充，即 $V_0 = 0V$ ，则上式可以简化为：

$$V_c = V_u * (1 - e^{-\frac{t}{RC}})$$

当时间为一个 τ_e ，可得如下，也就是电容电压充到63%的由来，其中 $e=2.71828$

$$V_c = V_u * (1 - \frac{1}{e}) = 0.63V_u$$

同理，2个 τ_c 的时间可充电到电源电压的87%，3个 τ_c 可充到电源电压的95%。

tc	e^{-tc}	$1 - e^{-tc}$
1	0.37	0.63
2	0.14	0.87
3	0.05	0.95
4	0.02	0.98
5	0.01	0.99
6	0.00	1.00

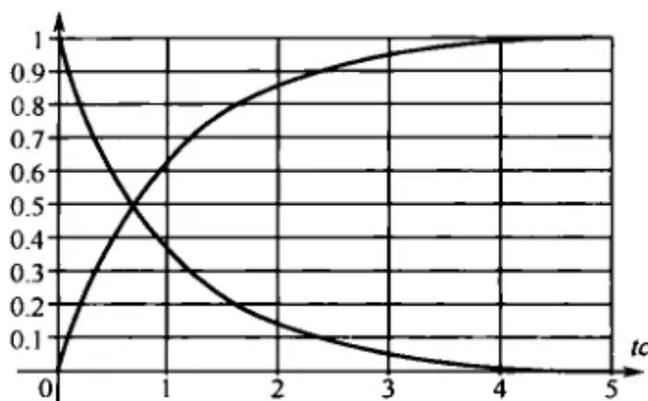


图 4-7 “时间常数”的指数曲线

电容放电的公式为：

$$V_c = V_u * e^{-\frac{t}{RC}}$$

其中 V_u 是放电之前电容上的电压。

2.2.1.10 电容的作用

电路设计中电容经常被放在电源、射频、音频等地方。

电源端电容主要是滤波，容值越大，越能保证输出电压的稳定性，纹波小。

射频端的电容，主要用于给射频供电储能，以防止瞬间的大电流导致射频断电，因为钽电容的ESR影响效率，因此对电容的ESR要求比较高。

音频的串联电容主要作用是隔直，容量越大，通过的音频范围越大，低音效果越好，ESR越低，对输出功率影响越小，效率越高，但因相对于耳机的阻抗较小，因此对ESR要求不高。

电容的作用非常广泛，以上只是简单举几个例子说明。

2.2.1.11 实际等效模型

理想的电容器在实际中是不存在的，电容的实际模型是一个ESR串联一个ESL，再串联一个电容，ESR是等效串联电阻，ESL是等效串联电感，C是理想的电容。



所以上述模型的复阻抗为： $Z = ESR + j2\pi fESL + \frac{1}{j2\pi fc} = ESR + j(2\pi fESL - \frac{1}{2\pi fc})$

$2\pi fESL \ll \frac{1}{2\pi fc}$ 时，电容器表现为容性；

$2\pi fESL \gg \frac{1}{2\pi fc}$ 时，电容器表现为感性，因此会有一句话叫高频时电容不再是电容，而呈现为电感，这个电感不是说电容变成了电感，而是指此时的电容拥有了与电感类似的特性。

$2\pi fESL = \frac{1}{2\pi fc}$ 时，此时容抗矢量等于感抗矢量，电容的总阻抗最小，表现为纯电阻特性，此时的 f 称为电容的自谐振频率。

自谐振频率点是区分电容是容性还是感性的分界点，高于谐振点时“电容不再是电容”，因此退耦作用将下降。实际电容器都有一定的工作频率范围，在工作频率范围内，电容才具有很好的退耦作用。ESL是电容在高于自谐振频率点之后退耦功能被消弱的根本原因。

下图是实际电容器的频率特性。

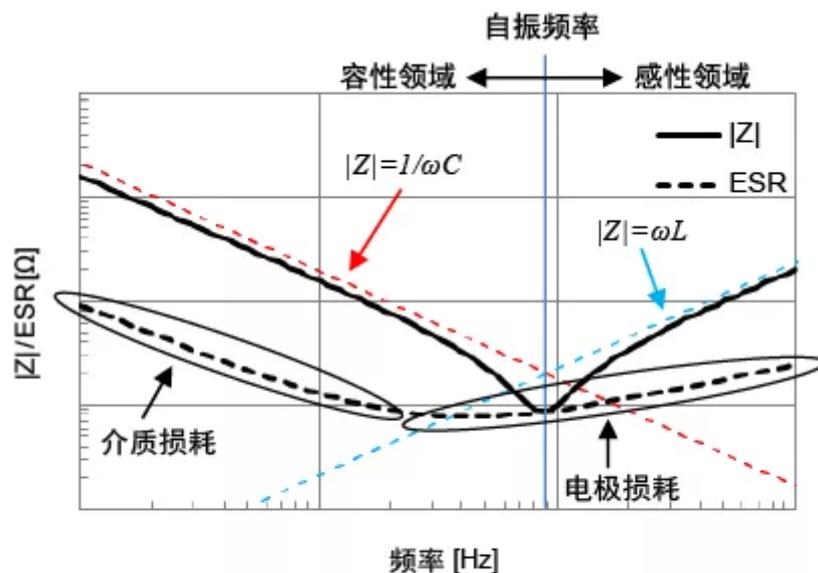


图4.实际电容器的|Z|/ESR频率特性(例)

2.2.1.12 电容参数及选型

电容选型主要考量如下的几个参数。

容量：指的是在室温25℃，在一定频率和幅度的交流信号下测得的容量。

额定电压：指的是在最低环境温度和额定环境温度下可连续加在电容器的最高直流电压有效值，一般需要降额使用，如降额80%指的是6V额定电压的电容，使用时加在上面的直流电压值不能超过4.8V；但是有一点需要注意，实际电容的额定电压制作都留有一定的余量，如额定电压6V，实际的耐压值可能达到其额定电压的1.5倍左右。

漏电流：测试条件一般是在额定电压下，工作5分钟的平均漏电流。直流的漏电流标准值并非规定的，但绝缘电阻值为规定值，可通过绝缘电阻的规定值及产品额定电压，利用算式 $I=V/R$ 推算漏电流，即电容的绝缘电阻越大，漏电流越小。

绝缘电阻：指的是常温下，对电容以额定电压值进行充电1分钟/2分钟，将电压值除以1分钟/2分钟的平均漏电流得到绝缘电阻值。

ESR：指的是电容的等效串联电阻，其参数可以SPEC中查看，ESR的值会影响电源纹波和PDN仿真，MLCC的ESR一般都很小，mΩ级别，钽电容和铝电解电容一般都是Ω级别。

代表容量值	性能 (1) 绝缘电阻值	性能 (2) 绝缘电阻值
1 μ F	500M Ω 以上	50M Ω 以上
2.2 μ F	227M Ω 以上	22.7M Ω 以上
4.7 μ F	106M Ω 以上	10.6M Ω 以上
10 μ F	50M Ω 以上	5M Ω 以上
22 μ F	-	2.27M Ω 以上
47 μ F	-	1.06M Ω 以上
100 μ F	-	0.5M Ω 以上

2.2.1.13 常见的电容品牌

常见的电容品牌如村田MURATA、集美KEMET、AVX、TDK、威世VISHAY、宇阳、国巨Yageo等。

今天的文章内容到这里就结束了，希望对你有帮助，我们下一期见。

2.2 电阻、电容和电感的实际等效模型

信号完整性在高速电路中有着至关重要的作用，而很多信号完整性问题需要用「阻抗」的概念来解释和描述。

在高频信号下，很多器件失去了原有的特性，如我们经常听到的“高频时电阻不再是电阻，电容不再是电容”，这是咋回事呢？那就看今天的文章吧！

2.2.1 容抗的概念

电容有两个重要特性，一个是隔直通交，另一个是电容电压不能突变，先来看一下百度百科对容抗的解释。

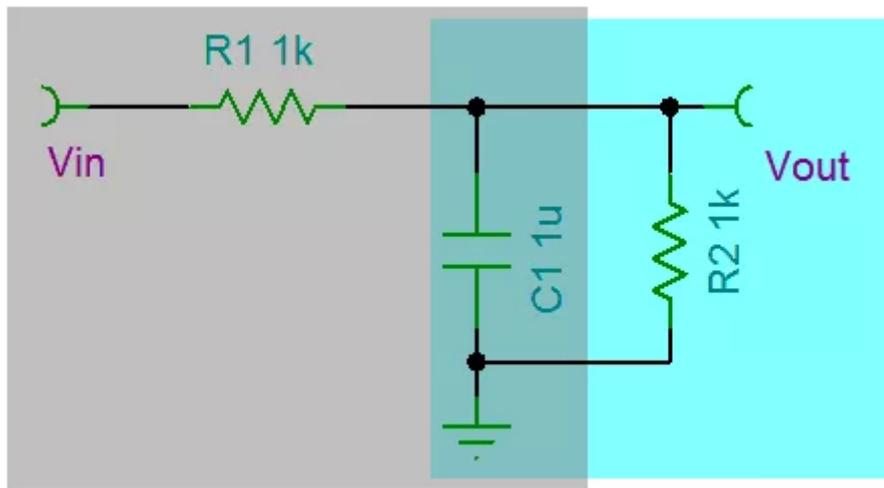
交流电是能够通过电容的，但是将电容器接入交流电路中时，电容器极板上所带电荷对定向移动的电荷具有阻碍作用，物理学上把这种阻碍作用称为容抗，用字母 X_c 表示。所以电容对交流电仍然有阻碍作用，交流电容易通过电容，说明电容量大，电容的阻碍作用小；交流电的频率高，交流电也容易通过电容，说明频率高，电容的阻碍作用也小。

简单说，虽然交流电能通过电容，但是不同频率的交流电和不同容值的电容，通过时的阻碍是不一样的，把这种阻碍称之为容抗。

容抗与电容和频率的大小成反比，也就是说，在相同频率下，电容越大，容抗越小；在相同电容下，频率越高，容抗越小。

如何理解容抗与电容大小和频率成反比呢？

以RC一阶低通滤波器举例。



V_{in} 通过 R_1 电阻对电容 C_1 进行充电， V_{in} 的电势加在电容 C 的两个金属极板上，正负电荷在电势差作用下分别向电容的两个极板聚集而形成电场，这称为**充电**过程。

若将 V_{in} 拿掉，在 V_{out} 上加一个负载 R_2 （青色部分），电容两端的电荷会在电势差下向负载流走，这称为**放电**过程。（流过电容的电流并不是真正穿过了极板的绝缘介质，指的是外部的电流）

衡量电容充电的电荷数是 Q ， $Q=CV$ ， C 是常量，所以电荷数和电压呈正比。

$C=Q/V$ ，电容量代表了电容储存电荷的能力，微分表达式为：

$$C = \frac{dq(t)}{dv(t)} \quad (1)$$

电流是单位时间内电荷数的变化量：

$$i(t) = \frac{dq(t)}{dt} \quad (2)$$

结合(1)和(2)两个公式可得到：

$$i(t) = C \frac{dv(t)}{dt}$$

从公式可以看出：**电容上的电流和电压的变化量是呈正比的**，或者说**电容上电压的变化量和电流是呈正比的**。

即在电压一定时，电容越大，单位时间内电路中充、放电移动的电荷量越大，电流越大，所以电容对交变电流的阻碍作用越小，即容抗越小。

在交变电流的电压一定时，交变电流的频率越高，电路中充、放电越频繁，单位时间内电荷移动速率越大，电流越大，电容对交变电流的阻碍作用越小，即容抗越小。

容抗用 X_C 表示，公式如下，其中 f 是频率， C 是容值。

$$X_C = \frac{1}{\omega C}$$

因为 $(\omega = 2\pi f)$ ，所以容抗也可以用如下的公式表示：

$$X_C = \frac{1}{2\pi f C}$$

2.2.2 感抗的概念

如下是百度对感抗的解释，电感的特性是隔交通直，与电容是相反的；所以说容抗和感抗的性质和效果几乎正好相反，而电阻则处在这两个极端中间。

交流电也可以通过线圈，但是线圈的电感对交流电有阻碍作用，这个阻碍叫做感抗。交流电越难以通过线圈，说明电感量越大，电感的阻碍作用就越大；交流电的频率高，也难以通过线圈，电感的阻碍作用也大。实验证明，感抗和电感成正比，和频率也成正比。如果感抗用 X_L 表示，电感用 L 表示，频率用 f 表示，那么其计算公式为：

感抗与电感的大小和频率成正比，也就是说，在同频率下，电感越大，感抗越大；在同电感下，频率越大，感抗越大。

感抗用 X_L 表示，公式如下，其中 f 是信号频率， L 是感值。

$$X_L = \omega L$$

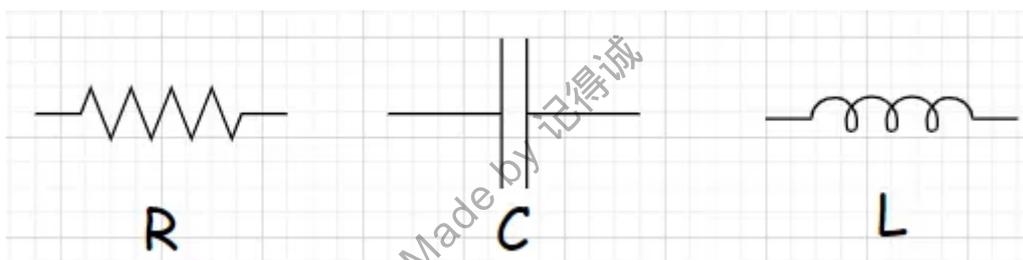
因为 $(\omega = 2\pi f)$ ，所以感抗的公式可以用如下表示：

$$X_L = 2\pi fL$$

感抗和容抗又被称为电抗，电路的总的阻抗 Z 由电阻 R 和电抗 X 组成。

掌握了预备知识，我们再来看电阻、电容和电感的实际等效模型。

理想的电阻、电容和电感就是如下的这样子，在实际中并不存在，在电阻里面会有寄生电容和寄生电感的存在，在电容里面会有寄生电阻和寄生电感的存在，在电感里面有寄生电阻和寄生电容。

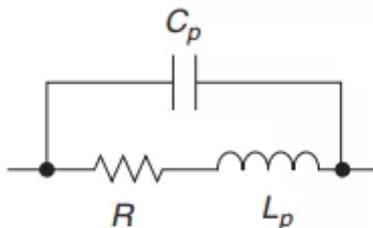


2.2.3 理想电阻

理想电阻的阻抗即为阻值 R : $Z_{ideal} = R$

2.2.4 电阻实际等效模型

电阻上会存在寄生并联电容 C 寄生串联电感 L 的存在。



根据上图可得电阻的实际等效阻抗为：

$$Z_{real} = \frac{(j\omega L + R) * \frac{1}{j\omega C}}{(j\omega L + R) + \frac{1}{j\omega C}}$$

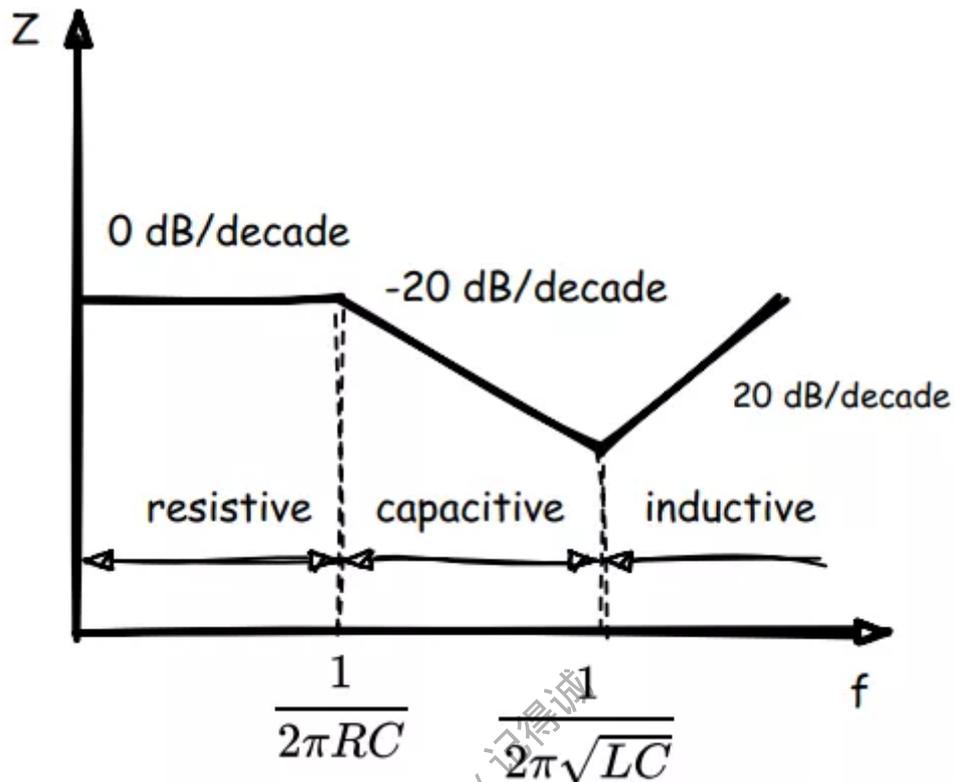
化简可得：

$$Z_{real} = \frac{j\omega L + R}{(1 - \omega^2 LC) + j\omega RC}$$

实际电阻器的阻抗和频率曲线，有两个节点，分别为 $f_1 = \frac{1}{2\pi RC}$ 、 $f_2 = \frac{1}{2\pi\sqrt{LC}}$

在频率小于 f_1 时，呈现电阻特性，在 f_1 和 f_2 之间，呈现电容减少阻抗，频率大于 f_2 时，呈现电感增加阻抗的特性。

f_1 和 f_2 分别对应 RC 滤波器的截止频率点和容抗和感抗相等时的频率点。

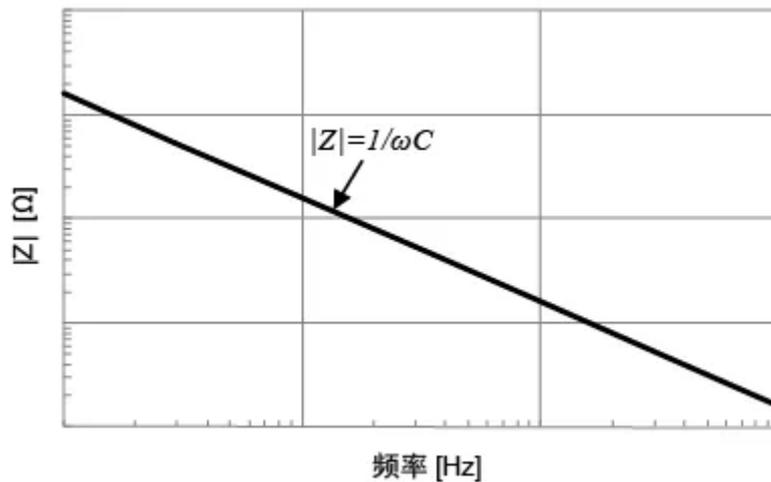


2.2.5 理想电容器

理想电容器的阻抗 Z 公式为：

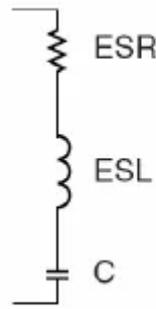
$$Z_{ideal} = \frac{1}{j\omega C} = \frac{1}{j2\pi f C}$$

阻抗大小 $|Z|$ 如下图所示，与频率呈反比，随着频率增大，阻抗减小，由于理想电容器中无损耗，故等效串联电阻 (ESR) 为零。



2.2.6 电容实际等效模型

理想的电容器在实际中是不存在的，电容的实际模型是一个ESR串联一个ESL，再串联一个电容，ESR是等效串联电阻，ESL是等效串联电感，C是理想的电容。



所以上述模型的复阻抗为： $Z = ESR + j2\pi fESL + \frac{1}{j2\pi fc} = ESR + j(2\pi fESL - \frac{1}{2\pi fc})$

$2\pi fESL \ll \frac{1}{2\pi fc}$ 时，电容器表现为容性；

$2\pi fESL \gg \frac{1}{2\pi fc}$ 时，电容器表现为感性，因此会有一句话叫高频时电容不再是电容，而呈现为电感，这个电感不是说电容变成了电感，而是指此时的电容拥有了与电感类似的特性。

$2\pi fESL = \frac{1}{2\pi fc}$ 时，此时容抗矢量等于感抗矢量，电容的总阻抗最小，表现为纯电阻特性，此时的f称为电容的自谐振频率。

自谐振频率点是区分电容是容性还是感性的分界点，高于谐振点时，“电容不再是电容”，因此退耦作用将下降。实际电容器都有一定的工作频率范围，在工作频率范围内，电容才具有很好的退耦作用。ESL是电容在高于自谐振频率点之后退耦功能被消弱的根本原因。

下图是实际电容器的频率特性。

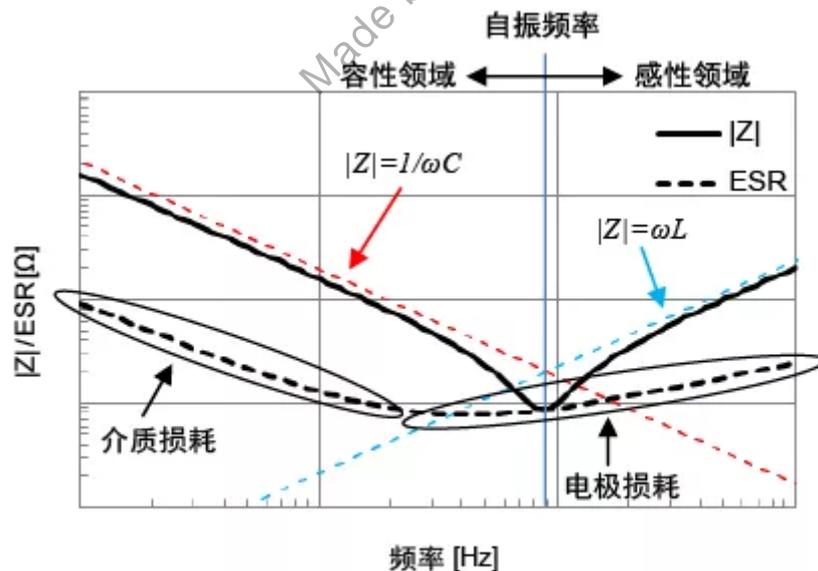
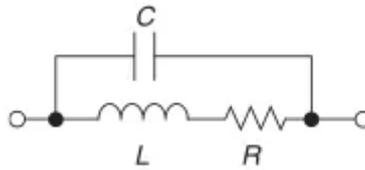


图4.实际电容器的|Z|/ESR频率特性(例)

2.2.7 理想电感

理想电感的阻抗为： $Z_{ideal} = j\omega L$

2.2.8 电感实际等效模型



和电阻的是一样的，即：

$$Z_{real} = \frac{j\omega L + R}{(1 - \omega^2 LC) + j\omega RC}$$

从下图可以看出，理想的电感的阻抗是随着频率的增加而变大的。

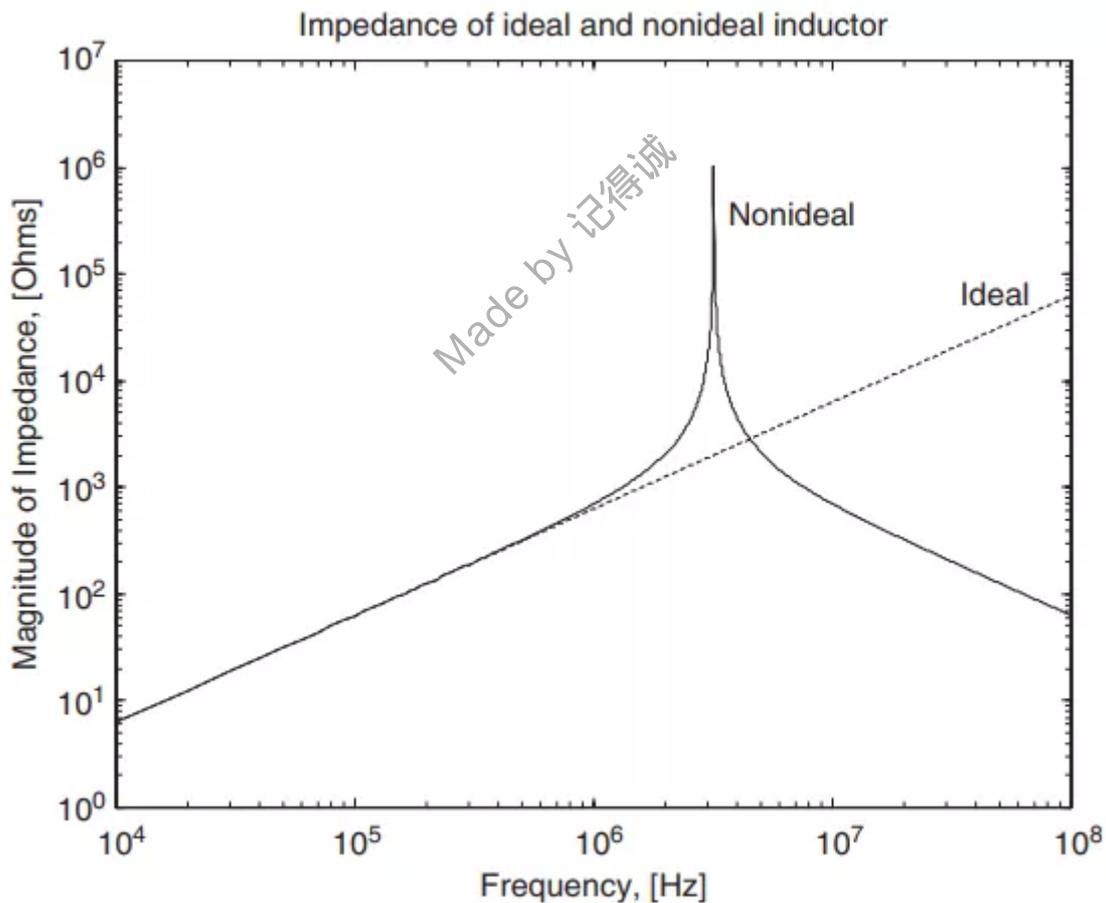
等效电感的阻抗呈一个倒V型，正好和电容相反，倒V的最高点称为电感的自谐振点。

当系统阻尼R提供的衰减不足时，容抗和感抗相互抵消，能量在LC间来回传递，这就是谐振。

频率低于自谐振频率SRF时，电感性抗随着频率增加而增加。

频率等于自谐振频率SRF时，电感性抗达到最大。

频率高于自谐振频率SRF时，电感性抗随着频率增加而减少。



2.2.9 总结

理想的电阻、电容和电感在实际中不存在，都会存在寄生参数，从而在不同的频率下，表现出的特性不同，只有在特定的频率范围内才能发挥出其本身的特性。

今天的文章内容到这里就结束了，希望对你有帮助，我们下一期见。

2.3 电容能抗多大的ESD?

大家好，我是记得诚。

在一些电源和低速信号线上，电容也会用来抗ESD，电容能抗多大的ESD电压呢？ESD耐性和电容量有什么关系呢？

TVS或者说ESD器件在制造过程中，可能会触发ESD事件，发生损坏，这些事件可以用三个模型来进行模拟。

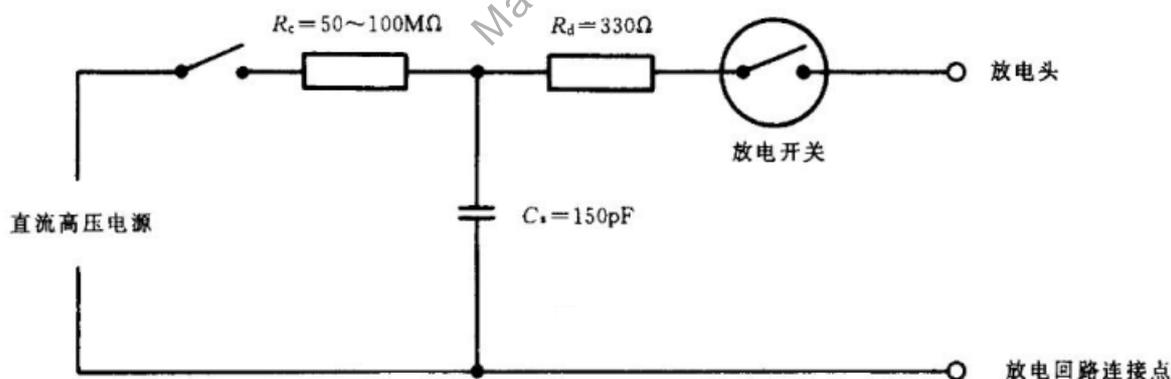
1. Human Body Model, 简称HBM, 人体模型, 模拟人体静电放电时的测试。
2. Machine Model, 简称MM, 机械模型, 模拟机械静电放电时的测试。
3. Charged Device Model, 简称CDM, 充电设备模型, 模拟带电设备静电放电时的测试。



图片来自TI培训

回到正题，HBM一般有两种测试规格，一种是IEC61000-4-2标准，一种是AEC-Q200-002。

IEC61000-4-2标准是针对ESD静电放电抗扰度实验的，ESD测试分为空气和接触测试两种，需要用到静电枪，如下给出了静电枪或者说静电发生器的电路简图。



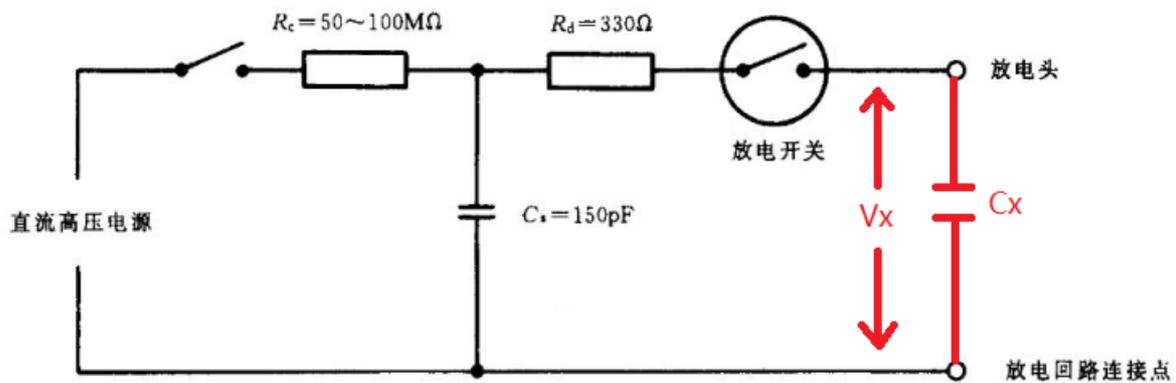
静电发生器内部电路简图

R_c 为充电电阻， C_d 为充电电容， R_d 为放电电阻，简单的工作原理就是：充电开关开，放电开关关，直流高压电源通过 R_c 对 C_d 充电；充电开关关，放电开关开， C_d 储存电荷对被测设备释放。

IEC61000-4-2会比AEC-Q200-002更常用，差别在于 R_d 阻值不同。

规格	R_c	C_d	R_d
IEC61000-4-2	50~100MΩ	150pF	330Ω
AEC-Q200-002	//	150pF	2000Ω

在知道这些基本知识后，如果对一个电容打ESD，也就是如下这样：



输出端加上被测电容 C_x ，电容两端电压为 V_x

对一个10KV 150PF的模型来说，含有的能量为 $Q=CV$ 。假设能量全部释放掉， **$C_x=10NF$ 上的瞬间电压会达到 $10KV*150PF/(10nF + 150pF)=147.78V$** ，这个电压还是很高的，一定程度会损坏电容。

算了一下1nF、10nF、22nF、47nF和100nF在10KV 150pF模型和10KV 330pF模型下瞬间达到的电压值，当电容达到100nF时，电容上的电压已经很低了，电容是可以承受的，而且假设前提是模型的能量全部释放，实际电压会更低一点。

放电电压 KV	电容值NF	150PF模型	330PF模型
10	1	1304.347826	2481.203008
10	10	147.7832512	319.4578896
10	22	67.72009029	147.7832512
10	47	31.81336161	69.72321995
10	100	14.9775337	32.89145819

感兴趣的，可以算一算其他放电电压，比如15KV和25KV，以及其他不同容值。

今天的分享到这里就结束了，希望对你有帮助，我们下一期见。

2.4 电容的去耦半径

我在课本上并没有接触过电容的**去耦半径**概念。

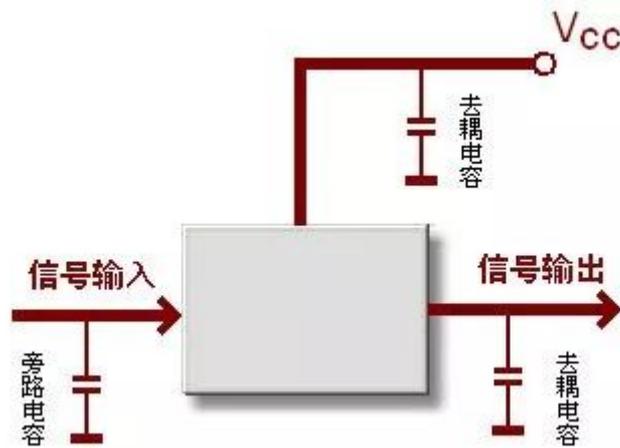
我们都知道小电容滤高频，大电容滤低频，为了更好的滤波效果，一般输入电源或者输出电源都是采用一个大容值电容加一个小容值电容进行滤波，比如1uF+0.1uF；

我们先来了解下去耦和旁路的区别。

旁路电容，也叫**bypass**，是把输入信号中的高频成分作为滤除对象。

去耦电容，也叫**decoupling**，也称退耦电容，是把输出信号的干扰作为滤除对象。

可以看到，旁路电容和去耦电容的作用都是滤波，只是在电路上的位置不同而已。



旁路一般位于信号输入端，去耦一般位于信号输出端。

所以旁路电容滤除的是前级电源的干扰，一般是滤除高频噪声，在输入电源管脚上加小容值电容，一般是0.1uF。



去耦电容是滤除的是输出级的干扰，因为输出级肯定是作为了下一级的输入。

去耦电容的第一个作用和旁路是一样的，高频滤波；第二是充当储能电容，在负载所需电流突然增大时提供电能，满足驱动电路的电流变化，电容越大，储能越多，在一定范围内，满足负载电流变化更有效。

说完了去耦和旁路，来到正题，电容的去耦半径。

先记一下理论：小容值电容去耦路径短，所以一般摆放靠近IC，否则起不到去耦效果；大容值电容去耦路径长，摆放位置相对宽松一些。所以输入电源，一般是先经过大电容，再经过小电容，再进入IC芯片。

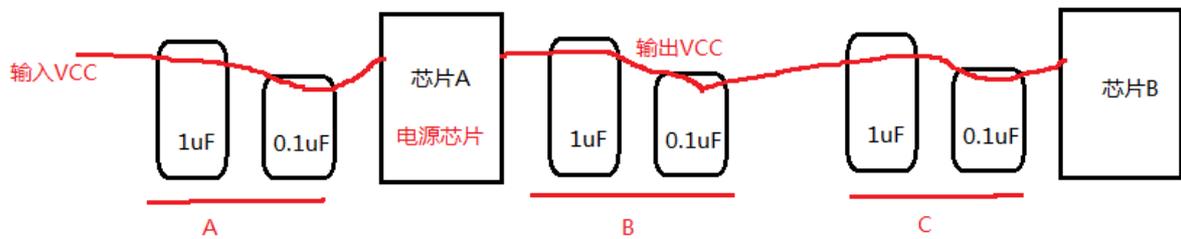
我画了一个简图，来帮助理解大小电容的摆放位置，你会发现，A和C处的两个电容都是小电容靠近IC，但是B处是大电容靠近IC，这是为什么呢？

首先要明白，A和C处两个电容都是旁路电容，B处的两个电容是去耦电容（滤波加储能作用）。

其次芯片A是电源芯片，它的输出相对于B处的1uF电容来说，就是输入，所以先经过1uF，再经过0.1uF，也是没有问题的。

最后，B处两个电容也作为储能电容，回路往往伴随较大的纹波电流，且会在电容的ESR上产生大量的热，同时形成纹波电压。所以靠近电源芯片的电容会流过更大的纹波电流，如果把小电容靠近电源芯片输出，容易出问题。

所以对电源芯片总结就是：**输入电源先大后小（小的靠近电源IC），输出电源也是先大后小（大的靠近电源IC）。**



好的，今天的文章到这里就就结束了，我们下一期见。

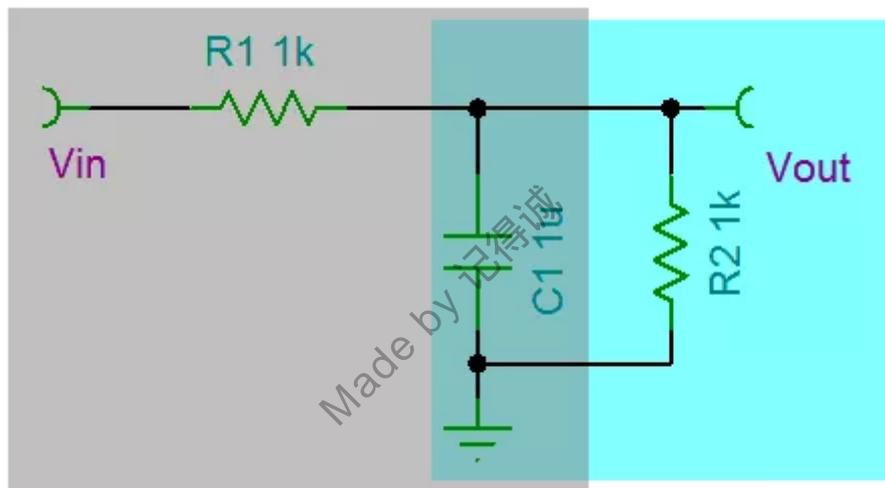
2.5 电容电压、电感电流为什么不能突变？

大家好，我是记得诚。

我们都知道电容电压不能突变，电感电流不能突变，理论依据是什么呢？

以RC一阶低通滤波器举例。

V_{in} 通过 $R1$ 电阻对电容 $C1$ 进行充电， V_{in} 的电势加在电容 C 的两个金属极板上，正负电荷在电势差作用下分别向电容的两个极板聚集而形成电场，这是对电容的充电过程。



衡量电容充电的电荷数是 Q ， $Q=CV$ ， C 是常量，所以电荷数和电压呈正比。

$C=Q/V$ ，电容量代表了电容储存电荷的能力，微分表达式为：

$$C = \frac{dq(t)}{dv(t)} \quad (1)$$

电流是单位时间内电荷数的变化量：

$$i(t) = \frac{dq(t)}{dt} \quad (2)$$

结合(1)和(2)两个公式可得到：

$$i(t) = C * \frac{dv(t)}{dt}$$

从公式可以看出：**电容上的电流和电压的变化量是呈正比的，或者说电容上电压的变化量和电流是呈正比的。**

假设电容的电压能够突变，即需要无穷大的电流，实际中并不存在无穷大的电流，即电压不能突变。

我们再看看电感电流为什么不能突变？

电感线圈各匝交链的磁通的总和称为磁链 Ψ ，衡量电感线圈充磁的多少。

磁链与电流成正比，电流越大，电感线圈被充磁链就越多，即 $\Psi=L*i$ ，对指定电感线圈，L是常量。

$L=\Psi/i$ ，电感量代表了电感线圈的电磁转换能力，微分表达式为：

$$L = \frac{d\Psi(t)}{di(t)} \quad (1)$$

根据电磁感应原理，磁链变化产生感应电压，磁链变化越大则感应电压越高，即：

$$v(t) = \frac{d\Psi(t)}{dt} \quad (2)$$

结合(1)和(2)两个公式可得到：

$$v(t) = L * \frac{di(t)}{dt}$$

从公式可以看出：**电感电压和电流的变化率是成正比的**，或者说**电流的变化率和电感电压是成正比的**。

假设电感的电流能突变，即需要无穷大的电压，在实际中也是不存在的，即电感电流不能突变。

今天的内容到这里就结束了，希望对你有帮助，我们下一期见。

2.3 电感篇

3.1 电感如何选型？

电感经常用在CLC π 型滤波、LC振荡、DC-DC续流等电路中，本文简单介绍电感的选型。

WPN252010U Series

Part Number	Inductance	DC Resistance		Self-resonant Frequency	Saturation Current		Heat Rating Current	
	@1MHz	Max.	Typ.	Min.	Max.	Typ.	Max.	Typ.
Units	μH	Ω		MHz	A		A	
Symbol	L	DCR		S.R.F	Isat		Irms	
WPN252010UR16MT	0.16 \pm 20%	0.020	0.016	214	10.0	12.0	5.00	5.80
WPN252010UR24MT	0.24 \pm 20%	0.025	0.021	149	8.50	10.0	4.40	5.10
WPN252010UR33MT	0.33 \pm 20%	0.025	0.021	117	6.00	6.70	4.40	5.10
WPN252010UR47MT	0.47 \pm 20%	0.030	0.025	92	5.30	5.80	4.00	4.60
WPN252010UR68MT	0.68 \pm 20%	0.043	0.036	67	5.20	5.70	3.30	3.80
WPN252010U1R0MT	1.0 \pm 20%	0.050	0.042	54	4.10	4.60	3.10	3.60
WPN252010U1R5MT	1.5 \pm 20%	0.076	0.063	41	3.00	3.40	2.40	2.80
WPN252010U2R2MT	2.2 \pm 20%	0.096	0.080	34	2.60	2.90	2.05	2.40
WPN252010U4R7MT	4.7 \pm 20%	0.240	0.200	22	1.90	2.20	1.40	1.60

以Sunlord的电感SPEC为例，电感主要有五大参数。

L：感值，一般误差有10%或者20%，测试条件是1MHz频率。

DCR：DC Resistance，直流电阻。

DCR可以理解为寄生参数，和电感的封装大小以及感值有很大关系，选型时最好选择较小DCR的电感。

一般情况下：

1. 电感感值相同，尺寸越小，DCR越大。
2. 电感尺寸相同，感值越大，DCR越大。
3. 电感感值相同，有磁屏蔽的电感，DCR小于没有磁屏蔽的电感。

SRF: 自谐振频率, 因为电感寄生电容的存在, 会发生LC振荡, 同电容一样, 只有在特定的频率下, 才能发挥电感的特性, 按照经验值, SRF一般是信号频率的10倍, 此时的电感特性发挥的比较好。

Isat: 电感饱和电流, 电感感值下降30%时所容许的直流电流。

Irms: 电感温升电流, 在20°C下, 电感温度上升40°C所容许的直流电流。

- ※1: All test data is referenced to 20°C ambient;
- ※2: Rated current: Isat or I rms, whichever is smaller;
- ※3: For WPN2016 & WPN2520 size inductors, absolute maximum voltage: DC 25V; For WPN30 & WPN40 size inductors, absolute maximum voltage: DC 40V;
- ※Isat: DC current at which the inductance drops approximate 30% from its value without current;
- ※I rms: DC current that causes the temperature rise ($\Delta T = 40^{\circ}\text{C}$) from 20°C ambient.
- ※WPN-HS series is processed with surface coating technology, coated by the resin of high voltage insulation level coating on the core surface evenly by automatic equipment, to improve the voltage insulation and corrosion resistance of the core.

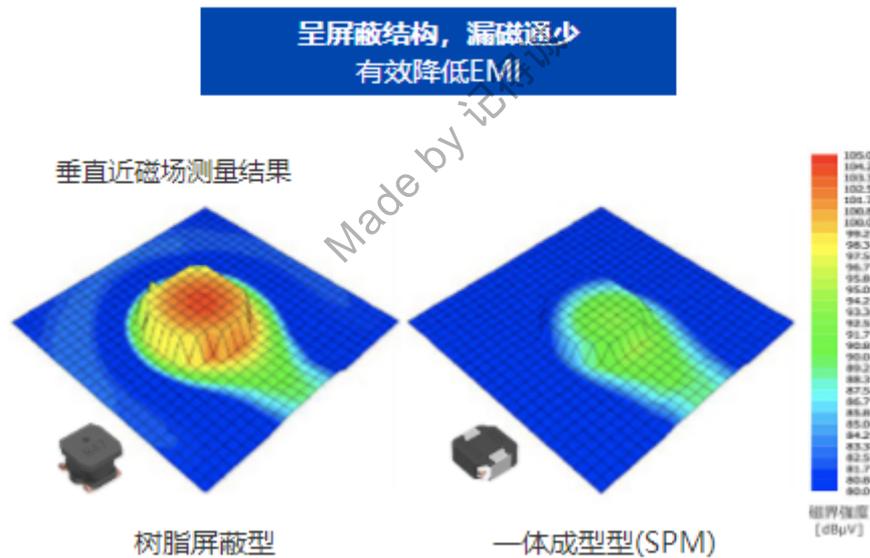
在电感SPEC中会有Isat和I rms的解释

重点: 一般取Isat和I rms中较小的一个值作为电感的额定电流, 且此额定电流应是电路中最大输出电流的1.3倍, 留有一定的余量, 降额使用。

是不是以为掌握这5个参数就可以选型了, 错!

作者之前一个项目, 因为没有考虑到电感的**磁屏蔽特性**, 导致RF低频灵敏度降低了10dB, 换了一个一体成型电感, 完美解决问题。

一般情况下, 屏蔽特性: 一体成型>普通全屏蔽型>树脂屏蔽型。



电感屏蔽特性不同导致漏磁不同

今天的文章内容到这里就结束了, 希望对你有帮助, 我们下一期见。

2.4 二极管

4.1 二极管种类

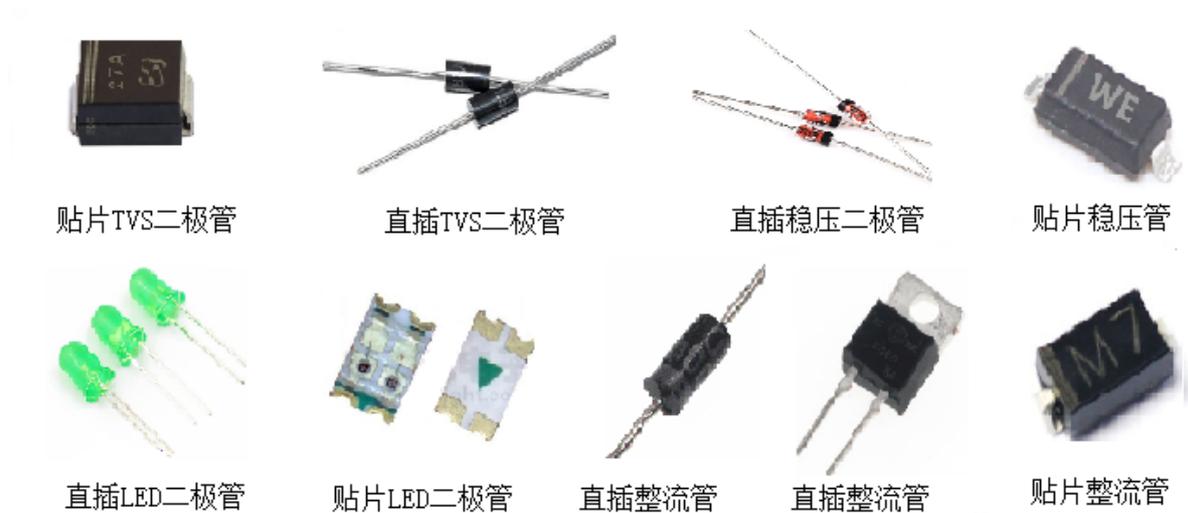
大家好, 我是记得诚。

在电路中二极管普遍使用, 可以说每个电子产品中都会有二极管的影子, 如静电保护用的TVS, 电源DC-DC上用的续流二极管, 稳压管, 发光LED二极管等等。

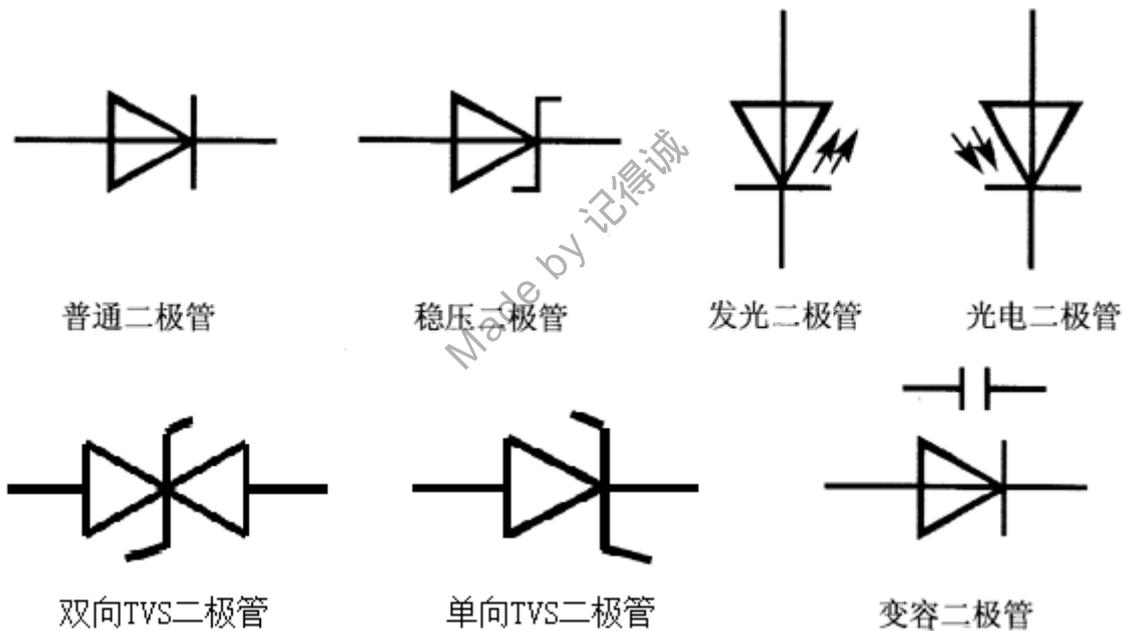
本文将介绍几种常见的二极管。

4.1.1 二极管识图

贴片类二极管如TVS，稳压管，整流管的实体长得差不多，一般参数（电压、电流等）越高，二极管的体积会越大；直插类二极管差别会比较大一些。



常见二极管的实物图



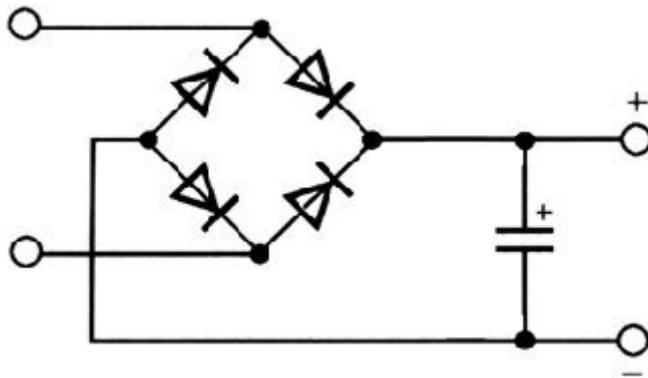
常见二极管的电路符号

4.1.2 TVS二极管

TVS是瞬态电压抑制二极管，英文全称：Transient voltage suppression diode，是一种保护器件，常用在连接器接口、测试点和开关电源等地方，与被保护负载并联使用。

4.1.3 整流二极管

整流二极管一般正向电流比较大，1A以上。多为平面型硅二极管，用于各种电源整流电路中。在一些高压电流比较大的输入电源，如果需要防反二极管，也是用整流二极管。



整流桥中的二极管

4.1.4 稳压二极管

稳压二极管也叫齐纳二极管，与TVS二极管很相似，都是利用PN结的反向击穿特性，但是反应速度不如TVS管。

4.1.5 肖特基二极管

肖特基简称SBD，有两个最大的特点，正向压降低和反向恢复时间小，常用来作大电流整流，大电流整流管，一般就是肖特基。小电流，一般作为开关。也经常用作续流二极管，因为其反向恢复时间短的优点。

4.1.6 快恢复二极管

快恢复二极管特点类似肖特基，简称FRD，常用来作整流二极管和续流二极管。

与传统的PN结二极管不同，快恢复二极管有的会采用PIN结型二极管，即在P型硅材料与N型硅材料中间增加了基区I，构成PIN硅片。因基区很薄，反向恢复电荷很小，所以快恢复二极管的反向恢复时间较短，正向压降较低，反向击穿电压较高。

快恢复二极管与肖特基二极管的区别：

1. 快恢复二极管的反向恢复时间为数百纳秒，超快恢复型的在100纳秒以下；肖特基一般几十，最小的几个纳秒；
2. 肖特基用在低压场合，反向耐压100V以下，一般在几十V左右，快恢复二极管反向耐压高，一般都高于200V，高的上千V；
3. 肖特基的正向导通压降一般比快恢复二极管更低；
4. 快恢复二极管功耗大，肖特基二极管损耗及噪声小。

4.1.7 续流二极管

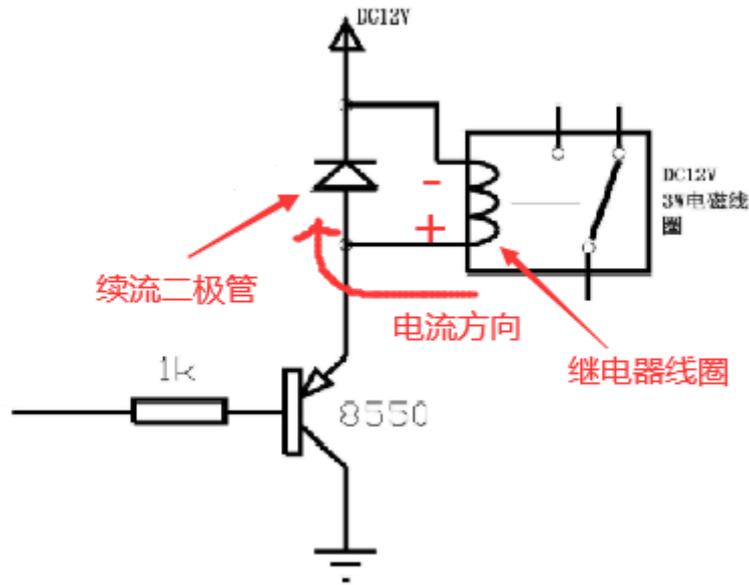
续流二极管叫flyback diode，其实就是二极管，在电路中充当的作用是续流，常采用肖特基二极管或者快恢复二极管作为续流二极管。

在使用感性器件的电路中常见续流二极管，如DC-DC电路、继电器控制电路、蜂鸣器控制电路等。

举个栗子：

如下的三极管驱动继电器电路中，会加入续流二极管保护三极管。

原理是：继电器吸合状态，通过继电器线圈的电流是从上往下，但是在继电器断开状态，线圈上会产生反向的感应电动势，如下图所示，线圈的上端会变为负，下端变为正，加一个续流二极管，和线圈形成了一个放电回路，电流方向是从下往上，避免损坏三极管。



三极管驱动继电器电路

4.1.8 发光二极管

发光二极管简称为LED。

LED由含镓 (Ga)、砷 (As)、磷 (P)、氮 (N) 等的化合物制成，常见的颜色有红、黄、蓝、绿，不同颜色二极管的正向导通压降不一样。

LED把电能转化成光能，LED加上正向电压后，从P区注入到N区的空穴和由N区注入到P区的电子，在PN结附近数微米内分别与N区的电子和P区的空穴复合，产生自发辐射的荧光，不同的半导体材料中电子和空穴所处的能量状态不同。

LED的正向伏安特性曲线很陡，使用时必须串联限流电阻以控制通过二极管的电流。限流电阻可通过以下公式计算：

$$R = \frac{U - V_F}{I_F} \quad (1)$$

公式中：U为电源电压，VF为二极管正向导通压降，IF为二极管正常的工作电流。

如下是常见发光二极管的材料和正向导通压降：

颜色	材料	典型正向压降 (V)
琥珀色	AllnGaP	2.1
蓝色	GaN	5.0
绿色	GaP	2.2
橙色	GaAsP	2.0
红色	GaAsP	1.8
白色	GaN	4.1
黄色	AllnGaP	2.1

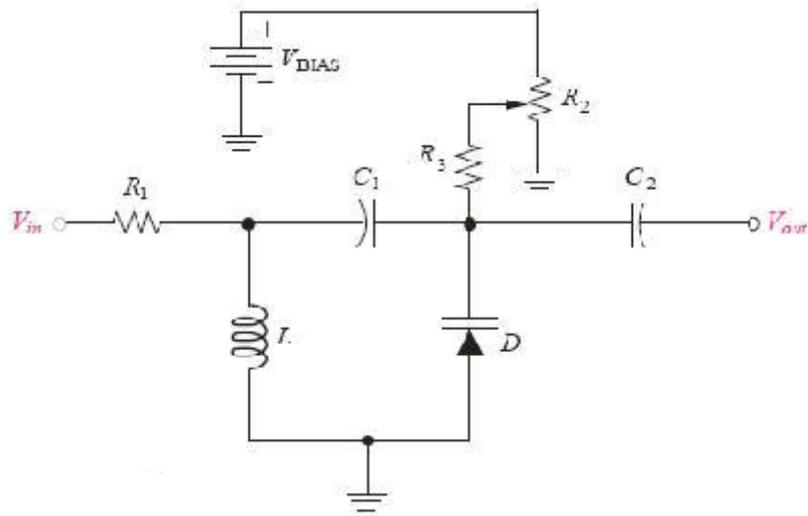
4.1.9 变容二极管

变容二极管，英文Varactor Diodes，又称可变电抗二极管，是利用PN结反偏时结电容大小随外加电压而变化的特性制成的。

反偏电压增大结电容减小，反之结电容增大，变容二极管的电容量一般较小，其最大值为几十pF到几百pF，最大电容与最小电容之比约为5:1。

主要用在高频电路中，用于自动调谐、调频、调相等，例如在电视接收机的调谐回路中作可变电容。

如下图所示，改变不同的 R_2 ，二极管D的反向电压被改变，这会引起二极管的电容量改变。因此改变谐振频率其中的变容二极管就可调出并联谐振带通滤波器中所需电容量的全部变化范围。



变容二极管用于调谐电路

4.1.10 小结一下

二极管的最大特性是单向导电性，正向导通和反向截止，几乎所有的二极管都是利用这个特性，如：

1. 如TVS、稳压管利用二极管反向击穿特性制作而成；
2. 变容二极管也是利用反向特性，反向电压不同，电容量不同；
3. 肖特基正向压降低，反向恢复时间短；
4. 快恢复二极管反向耐压高，反向恢复时间比一般二极管小很多；
5. 肖特基及快恢复二极管常用来作续流二极管；
6. 发光LED正向导通发光，反向截止不亮；

今天的文章内容到这里就结束了，希望对你有帮助，我们下一期见。

4.2 如果把二极管比作人

大家好，我是记得诚。



二极管的特性大家都知道，单向导电，正向导通，反向截止。

网络世界里有一群人叫二极管，指这些人看待事物头脑简单，非黑即白，不是好就是坏，不是对就是错，他们不会逆向思维，也不愿去换位思考。

有一种思维叫二极管思维，被用来指代两极思维，走极端，非此即彼，非黑即白，或者说一条路走到黑，不回头。

如果把二极管比作人，其实还挺有意思的。

LED二极管是聪明的，合适的点拨就亮，激励的多少决定了他的发光发热。

TVS二极管和稳压管是暖心可靠的人，保护身后的人不受到伤害。

肖特基二极管是顾全大局的人，力求损失最小。

整流二极管是坚强的人，能抗压。

变容二极管是一个能屈能伸的人，为他人服务。

4.3 二极管的反向恢复过程

4.3.1 肖特基二极管

定义：以发明人肖特基博士（Schottky）命名，SBD（Schottky Barrier Diode）是肖特基势垒二极管的缩写，不同于一般二极管的P半导体和N半导体接触形成，肖特基二极管是利用金属和半导体接触形成。

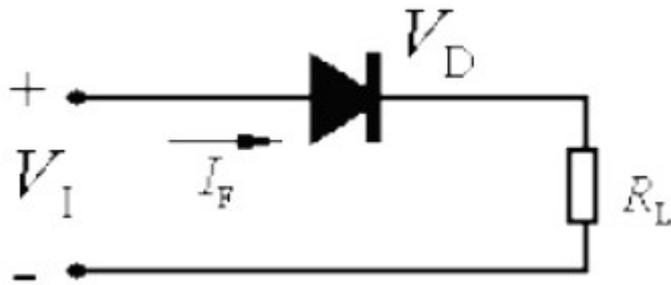
肖特基的两个主要特点，一个是正向导通压降比较低，一般在0.15-0.5V之间，导通压降低可以提高系统的效率。还有一个是反向恢复时间短，一般在几个纳秒。

4.3.2 反向恢复过程

二极管从正向导通到反向截止有一个反向恢复的过程，而不是立即由导通到截止。

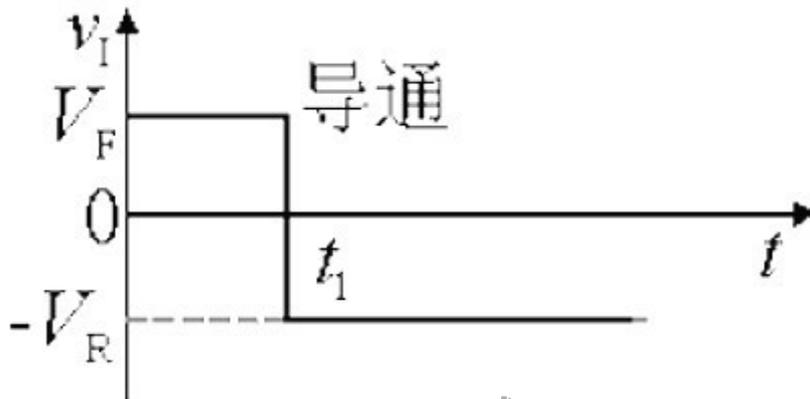
在 $0-t_1$ 时间内：

给二极管加正的 V_F 电压，二极管导通，流过二极管的电流 $I_F = (V_F - V_D) / R_L$ ， V_D 是二极管的导通压降。

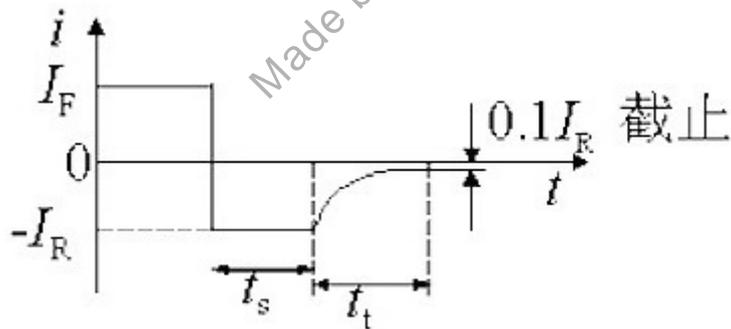


在 t_1 时间后:

将 V_I 由 V_F 改为 $-V_R$, 理想条件下, 二极管立刻截止, 反向电流 I_R 很小。但实际情况是, 二极管并不是立刻截止, 而是由正向 I_F 变为一个很大的反向电流 $I_R=V_R/R_L$, 维持 T_s 时间后, I_R 再慢慢降低到一个很小的值, 时间为 T_t , 这时的二极管才进入反向截止状态。



通常把二极管从正向导通转为反向截止所经过的转换过程称为反向恢复过程。其中 T_s 称为存储时间, T_t 称为渡越时间, T_s+T_t 称为反向恢复时间, 由于反向恢复时间的存在, 使二极管的开关速度受到限制。



4.3.3 肖特基与普通二极管区别

肖特基二极管和普通二极管最大的区别就是反向恢复时间短, 正向导通压降低, 所以一般用在高频、大电流整流、低压、续流二极管、保护二极管等。

4.4 稳压二极管原理, 参数和动态电阻特性

之前的文章中, 有涉及到稳压二极管, 本文简单说说稳压二极管的工作原理, 参数以及动态电阻特性。

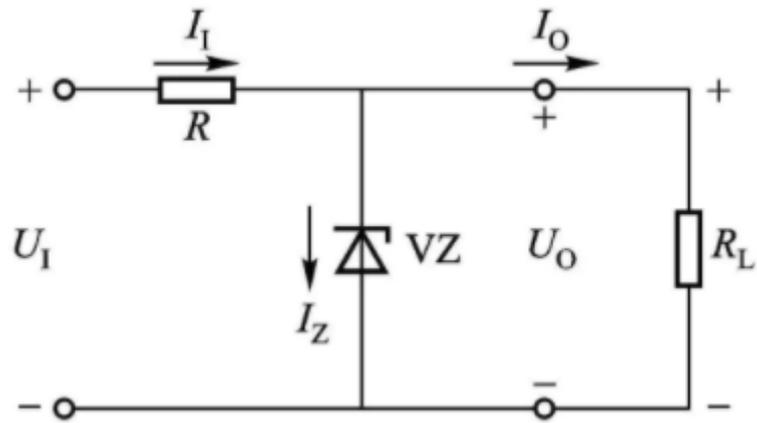
4.4.1 原理

稳压二极管, 英文名字Zener diode, 又叫齐纳二极管, 利用PN结反向击穿状态, 其电流可在很大范围内变化而电压基本不变的现象, 制成的起稳压作用的二极管。

此二极管是一种直到临界反向击穿电压前都具有很高电阻的半导体器件。

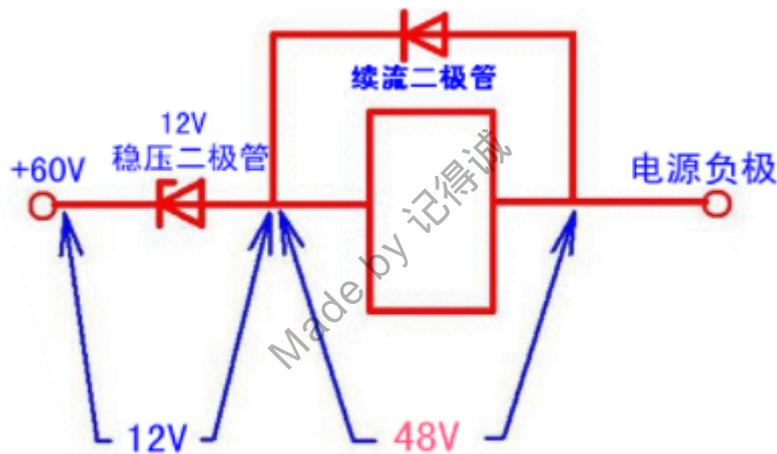
在这临界击穿点上，反向电阻降低到一个很小的数值，在这个低阻区中电流增加而电压则保持恒定，稳压二极管是根据击穿电压来分档的，因为这种特性，稳压管主要被作为稳压器或电压基准元件使用。

下面是稳压管常见的电路图。



稳压二极管可以串联起来以便在较高的电压上使用，通过串联就可获得更高的稳定电压，两个5V稳压管串联起来，就能起到10V稳压的效果。

下面的动图很好的说明了稳压二极管的工作原理。

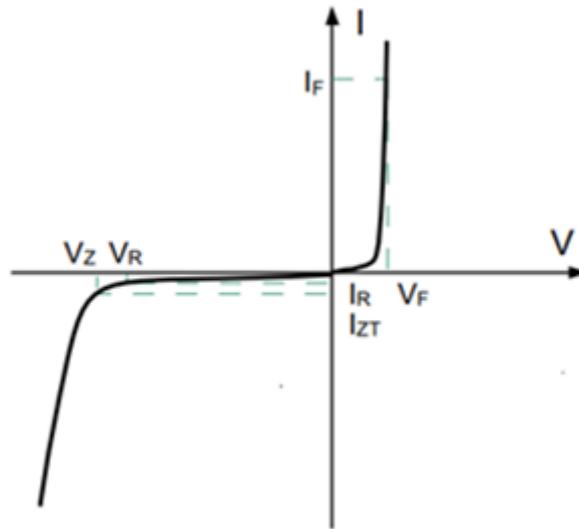


而下面看一看稳压的参数，了解参数后，才能更好的进行选型。

4.4.2 参数解读

下图是稳压管的伏安特性曲线，你可以叫他U-I曲线，反应电压和电流之间的关系。

Y轴右侧是正向曲线，左侧是反向曲线，稳压管的工作区域一般就是在左侧，因为稳压管工作原理就是PN结反向击穿，正接时和一般二极管一样，也有正向导通电压。



稳压二极管的伏安特性曲线

下图是某一稳压管的SPEC截图，可以一起来看一看这些参数。

Electrical characteristics per line@(unless otherwise specified)						
Parameter	Symbol	Conditions	Min.	Typ.	Max.	Units
Reverse Zener Voltage	V_Z	$I_{ZT} = 5\text{mA}$		5.1		V
Maximum Zener Impedance	Z_{ZT}	$I_{ZT} = 5\text{mA}$	-	-	55	Ω
Maximum Zener Impedance	Z_{ZK}	$I_{ZK} = 0.5\text{mA}$	-	-	500	Ω
Reverse Leakage Current	I_R	$V_R = 4.2\text{V}$	-	-	5	μA
Forward Voltage	V_F	$I_F = 100\text{mA}$	-	-	1.25	V
Max.Capacitance	C	$V_R = 4\text{V}, f = 1\text{MHz}$	-	-	300	pF

某一5.1V稳压管参数

V_Z : 稳压值，高于 V_Z ，电压稳定在 V_Z ，低于 V_Z ，稳压管不工作，电路处于开路状态，这个参数也是最重要的。

Z_{ZT} 和 Z_{ZK} : 动态电阻，单位电流变化引起的电压的变化 dv/dt 。

这个值越小，代表稳压管性能越好，意思就是电流变化很大时，电压变化也很小（代表稳压值恒定不变，要的就是这个效果）。

同一个稳压管时，这个动态电阻也是随着电流变化而变化的，电流变化大时，动态电阻小；电流变化小时，动态电阻大。

$Z_{ZT}@I_{ZT}$ ， I_{ZT} 在5mA时，测试的 Z_{ZT} 最大50欧姆。 $Z_{ZK}@I_{ZK}$ ， I_{ZK} 在0.5mA时，测试的 Z_{ZK} 最大500欧姆。

$I_R@V_R$: 反向漏电流，指在特定的反向电压下测试得到的电流，从SPEC上看， $V_R = 4.2\text{V}$ 时， $I_R = 5\mu\text{A}$ ，这个电流很重要，稳压管没进稳压状态也就是没工作时消耗的电流， I_R 越小越好。

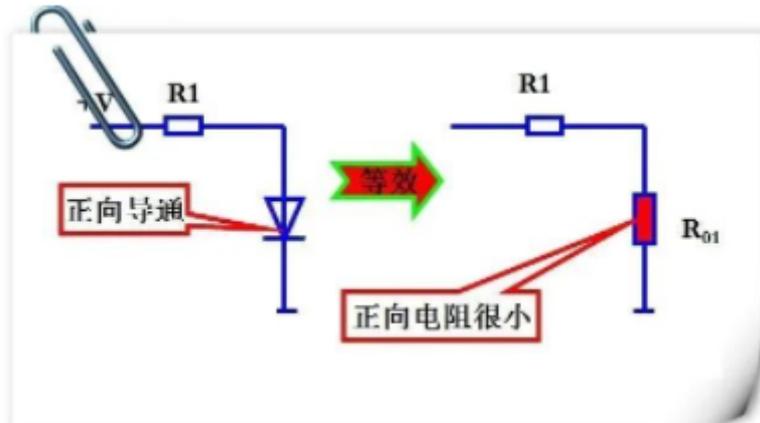
$V_F@I_F$: 正向电压，指在特定的正向电流下测试得到的正向电压，一般正向电流不同，测试得到的正向电压也不同， $I_F = 100\text{mA}$ 时， $V_F = 1.25\text{V}$ 。

P_d : 耗散功率，流进稳压管的功率不能超过这个值，否则会损坏稳压管，公式 $P_d = I * V_Z$ 。

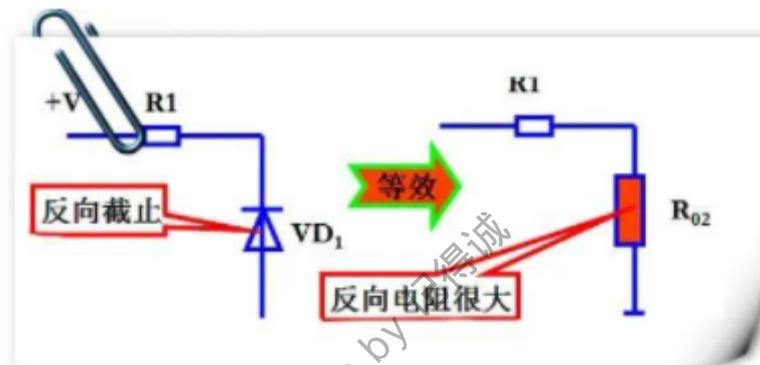
下面再来看一下二极管的动态电阻特性。

4.4.3 动态电阻

二极管的正向导通电阻在小电流时比较大，在大电流时比较小。



二极管的反向动态电阻在击穿前很大，在击穿后动态电阻很小，稳压二极管就是利用击穿时动态电阻很小进行稳压的。

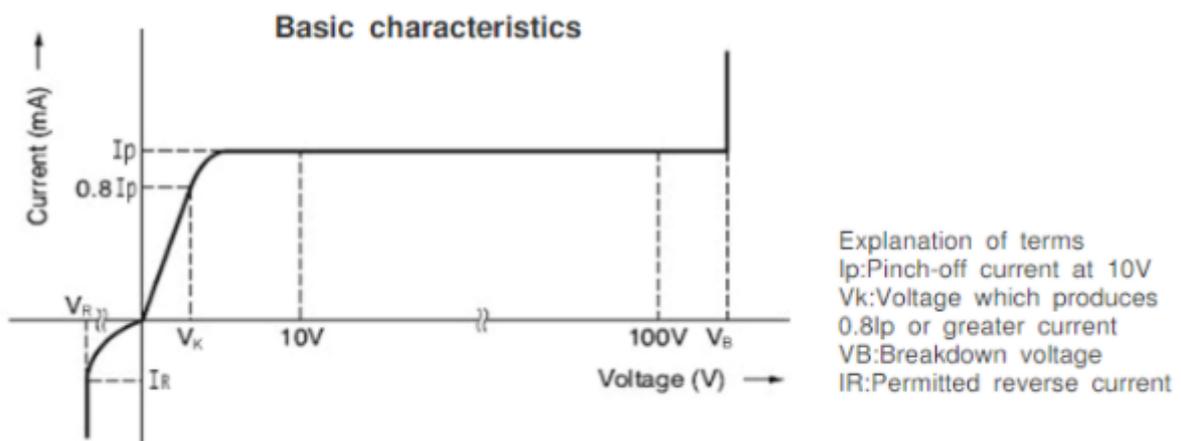


二极管的正向导通电阻小，反向导通电阻大，意味着正向导通性能好，反向漏电流小，这种二极管是比较好的。

如果动态电阻大，则dv变化很大时，di才有很小的变化，起到恒流的作用，利用这一特性，有恒流二极管和恒流三极管。

恒流二极管英文CRD (Current Regulative Diode)，可以再看看CRD的伏安特性曲线。

在下图中可以看到：在电流为 I_p 对应的横坐标电压以后，电流都是恒定不变的，因为动态电阻大，在一定变化范围内，电压都是几乎不变的，直到二极管被击穿。



恒流二极管的伏安特性曲线

今天的文章内容到这里就结束了，希望对你有帮助，我们下一期见。

4.5 你真的会TVS二极管选型吗

大家好，我是记得诚！

作为硬件工程师，相信大家都用过TVS二极管，但选择一个合适的，可能并没有那么简单。

下面列出了选择合适TVS的几大步骤：

1、V_{rw}m大于等于被保护信号的正常工作电压，V_{rw}m比被保护信号的工作电压越大，漏电流越小；TVS的V_{rw}m越低，对应的钳位电压V_c越低，对信号的保护作用越好。

2、判断被保护信号是交流还是直流，一般情况下，交流信号选择双向TVS，直流信号选择单向TVS。双向的优势是灵活，IO和地随意接；单向的优势是反向钳位电压比双向的更低。

3、根据被保护的信号速率，选择合适的结电容，如下给出了常见接口，推荐的ESD结电容的大小范围。

Interface	ESD capacitance suggestion (CL)
General-purpose input/output (GPIO)	<30pF
Push-button	<30pF
Audio	<10pF
USB 2.0	<4pF
USB 3.0	<0.5pF
USB 3.1 Gen 2	<0.3pF
HDMI 1.4	<0.7pF
HDMI 2.0	<0.5pF
Ethernet	<4pF
Antenna	<0.2pF

数据来源TI德州仪器

4、选用的TVS需达到或超过 IEC 61000-4-2 Level4标准，IEC 61000-4-2标准是针对ESD的，对应国标 GB/T 17626.2，但请注意，这也只是针对TVS IC，过这个标准，保证TVS不会损坏，被保护电路会不会损坏，还是需要看钳位电压。

1a 接触放电		1b 空气放电	
等级	试验电压 kV	等级	试验电压 kV
1	2	1	2
2	4	2	4
3	6	3	8
4	8	4	15
X ¹⁾	特殊	X ¹⁾	特殊

1) “X”是开放等级，该等级必须在专用设备的规范中加以规定，如果规定了高于表格中的电压，则可能需要专用的试验设备。

IEC 61000-4-2 ESD空气和接触放电的四个等级

TVS一般也会过IEC 61000-4-4(EFT)和IEC 61000-4-5(surge)标准，在TVS的数据手册里可以看到，EFT有的不给出，和ESD的测试方法不一样，在这里不展开。

5、根据被保护信号能承受的最大电压，在TLP曲线中选择合适的钳位电压。

如下是一个TVS的钳位电压数据，有4个值，选型时，该看哪一个呢？

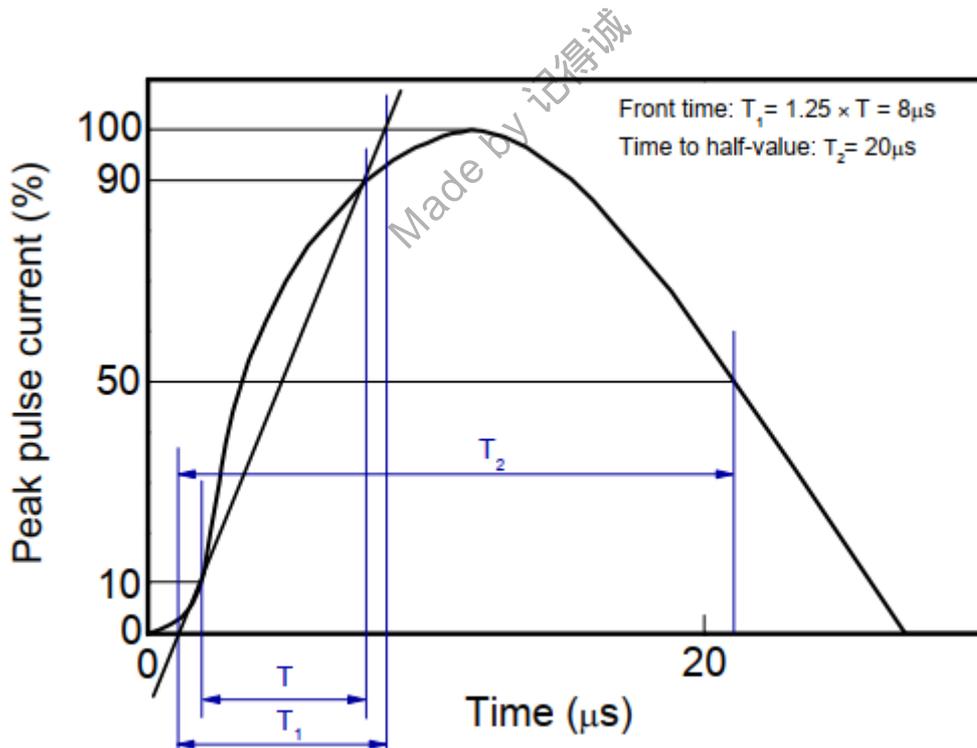
Clamping voltage ¹⁾	V_{CL}	V	$I_{PP} = 16A, t_p = 100ns$	14	
Dynamic resistance ¹⁾	R_{DYN}	Ω		0.55	
Clamping voltage ²⁾	V_{CL}	V	$V_{ESD} = 8kV$	14	
Clamping voltage ³⁾	V_{CL}	V	$I_{PP} = 1A, t_p = 8/20\mu s$	8.3	
		V	$I_{PP} = 4A, t_p = 8/20\mu s$	10	
Junction capacitance	C_J	pF	$V_R = 0V, f = 1MHz$	0.35	0.5

上面两个都是14V，因为TLP 16A 100ns和IEC 61000-4-2 ESD接触放电 8KV是有对等关系的，IEC等级和TLC的对照关系如下：

- IEC 1-kV level = 2 A, 100 ns TLP pulse
- IEC 2-kV level = 4 A, 100 ns TLP pulse
- IEC 4-kV level = 8 A, 100 ns TLP pulse
- IEC 6-kV level = 12 A, 100 ns TLP pulse
- IEC 8-kV level = 16 A, 100 ns TLP pulse

下面两个 $V_c=8.3V$ 和 $10V$ ，测试的标准是IEC 61000-4-5，指定的浪涌波形是 $8/20\mu s$ ，指 $8\mu s$ 达到100% I_{pp} ， $20\mu s$ 后达到50% I_{pp} ，所以看到，反向峰值电流 I_{pp} 为4A时的钳位电压是要比1A时的大。

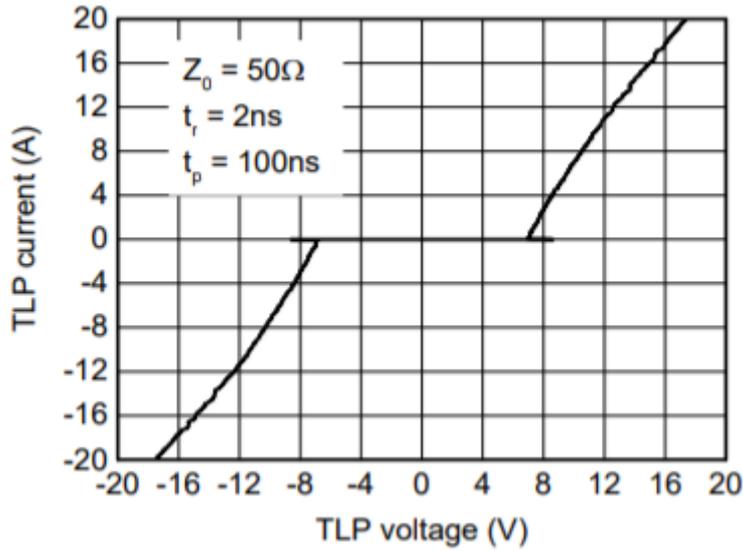
8/20 μs waveform per IEC61000-4-5



Clamping voltage vs. Peak pulse current

IEC 61000-4-5标准8/20us浪涌波形

当两个TVS都能过IEC 61000-4-2 8KV ESD时，在TLP曲线中，看16A电流对应的钳位电压，越低的代表这个TVS性能越好。



TVS TLP I-V曲线

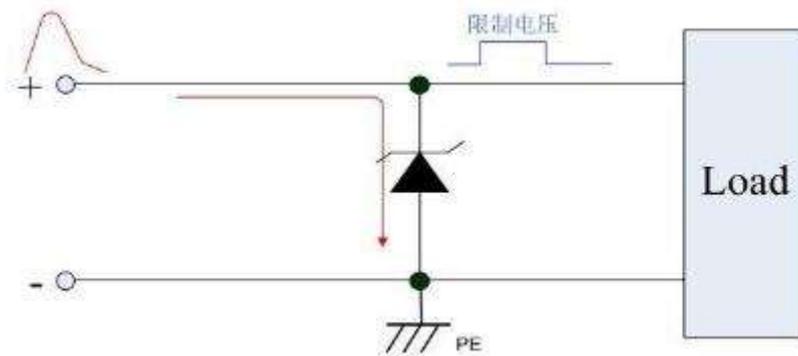
需要注意，TLP曲线中的“钳位电压”为瞬态100ns测试给出的，和真正我们理解的，持续工作不会损坏的钳位电压还是有差别的。

今天的分享到这里就结束了，希望对你有帮助，我们下一期见。

4.6 TVS参数、选型、使用注意事项

4.6.1 TVS保护的原理

其原理像稳压二极管，都是利用反向击穿稳定电压，但TVS管的响应速度要快于稳压管。当TVS管的受到反向瞬态高能量冲击是，它能以极高的速度（亚纳秒级）将两级间的阻抗变为低阻抗，从而具有很好的浪涌功率吸收能力，同时也能使两级之间的电压钳位在一个预定值，有效的保护电路后端元器件。



TVS与被保护电路并联

4.6.2 TVS参数的解读

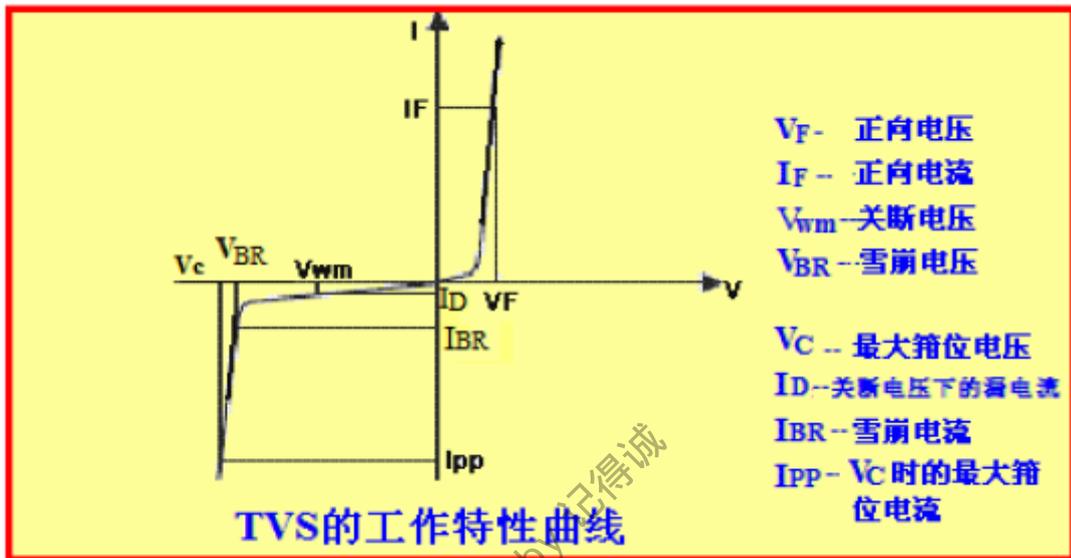
如下是一个5V TVS管的SPEC参数，光看SPEC参数我们可能比较难理解。

Electrical Characteristics (T=25oC, Device for 5.0V Reverse Stand-off Voltage)

Device	Device Marking	V_{RWM} (V)	I_R (μ A) @ V_{RWM}	V_{BR} (V) @ I_T	I_T	Max I_{PP} (A)	V_C (V) @Max I_{PP}	Ppk (W) (8 x 20 μ s) (Note 1)	C (pF)
		Max	Max	Min	mA		Max		
ESD9X5VD-2/TR	B	5.0	1	6.2	1	16	12.5	200	50

TVS电气参数

结合如下的TVS工作特性曲线，我们来了解这些参数。



TVS工作特性曲线 1、 V_{rwm} ：指的是最大反向工作电压，也指关断电压。在最大的反向电流 I_R 下，测试出的电压，一般 V_{rwm} 是 $(0.8-0.9) * V_{br}$ 。关断电压需要大于等于电路正常工作电压，但是不能大太多，和 V_{br} 也有关系，大太多，可能导致TVS不起作用。需要做到电路正常工作时，TVS不触发，在浪涌来时TVS才工作。

举个例子：TVS用来保护VOUT后端负载，VOUT的电压为3V，那么 V_{rwm} 的电压就需要大于或者等于3V，如果 V_{rwm} 是2V，那么电路正常工作状态下，TVS就可能已经触发工作，导致功耗增大或者电路故障。如果 V_{rwm} 是20V，那么 V_{br} 可能就是25V，那么TVS从3V到25V雪崩效应中间有很大一片空白，所以说 V_{rwm} 稍等于电路正常工作电压，但是也不能大太多。

另外说一句，TVS的关断电压是越低越难做（制作工艺）。

2、 $I_R@V_{rwm}$ ：最大反向漏电流。

3、 $V_{br}@I_T$ ：指的是通过规定的测试电流 I_T 时的电压，这是表示TVS管导通的标志电压，即从此点开始TVS进入雪崩击穿。

4、Max I_{pp} ：最大反向峰值脉冲电流。

5、 $V_C@Max I_{pp}$ ：指在特定的 I_{pp} 电流时，浪涌经过TVS钳位住的电压。最大的钳位电压 V_C 要小于等于电路中最大的工作电压。

举个例子：TVS用来保护VOUT及后端负载，VOUT的后端负载有芯片A和芯片B，芯片A的最大工作电压是3V，芯片B的最大工作电压是4V，那么我们选择TVS的 V_C 就要小于3V，如果 V_C 是3.5V，这个芯片A有可能会损坏。

TVS的钳位电压选择2.8V，芯片A和B就不会损坏。一般芯片会有另一个参数Absolute Maximum Rating，叫绝对最大值，芯片在绝对最大值下，可能承受几个微秒时间。极限条件下，TVS的钳位电压可以适当提高到芯片的绝对最大值，因为够低的钳位电压或者关断电压的TVS，意味着更难的工艺和更高的价格。

6、Ppk(8*20us)：指的是TVS器件上瞬间通过的最大功率值，等于钳位电压Vc和峰值脉冲电流Ipp的乘积，反映了TVS器件的浪涌抑制能力，额定的最大脉冲功率，必须大于电路中出现的最大瞬态浪涌功率。

7、C：指的是极间电容，如果TVS用在高速信号上，需要选择小的电容，高速信号，如USB，一般C选择小于1pF的，电源或者低速信号，一般几十pF左右。

10/1000us和8/20us为两种不同的浪涌测试波形，两种波形能量不一样。8/20us脉冲指的是8us达到100%Ipp，20us达到50%Ipp。

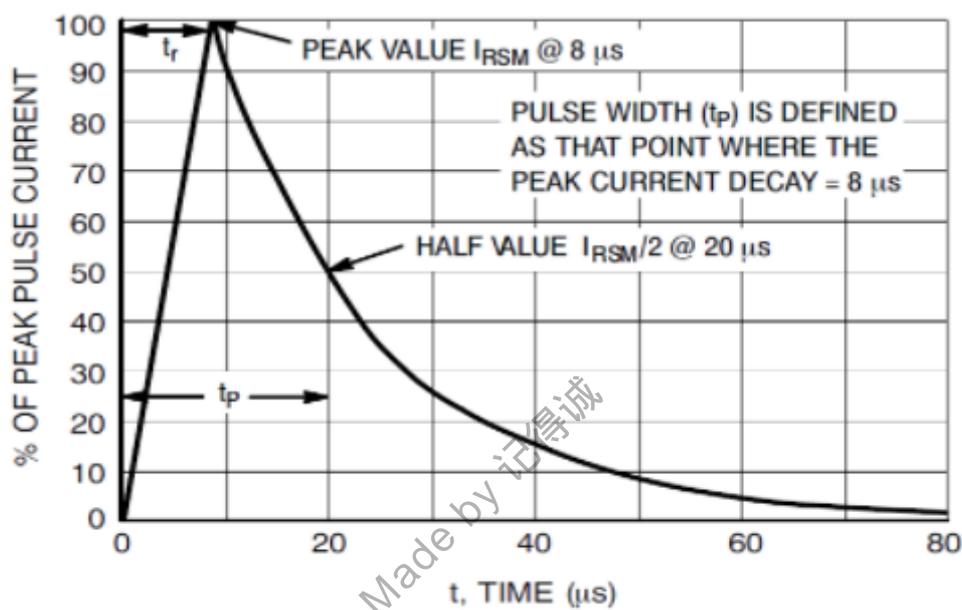


Figure 1. 8 X 20 μ s Pulse Waveform

浪涌波形

4.6.3 TVS使用方法和注意事项

1. TVS和被保护电路是并联关系；
2. TVS需要靠近保护接口；
3. TVS需要良好接地，TVS的地PAD多打地孔；
4. 根据电路的传输速率选择合适的极间电容；
5. TVS的Vrwm和功率需要选择合适的参数；
6. 交流电路选择双向TVS，直流电路选择单向TVS，多路保护选择TVS阵列。（单向的低容值比双向的难做一些）

今天的分享到这里就结束了，希望对你有帮助，我们下一期见。

2.5 三极管

2.5.1 一文搞懂三极管开关电路，基极电阻如何选择？

三极管是晶体管的一种，不同于MOS管的电压控制，三极管是电流驱动，NPN型三极管常用来驱动LED和继电器，但是基极的电阻该如何选择呢？

2.5.1.1 预备知识

了解三极管的三个工作区域，截止区，放大区和饱和区。

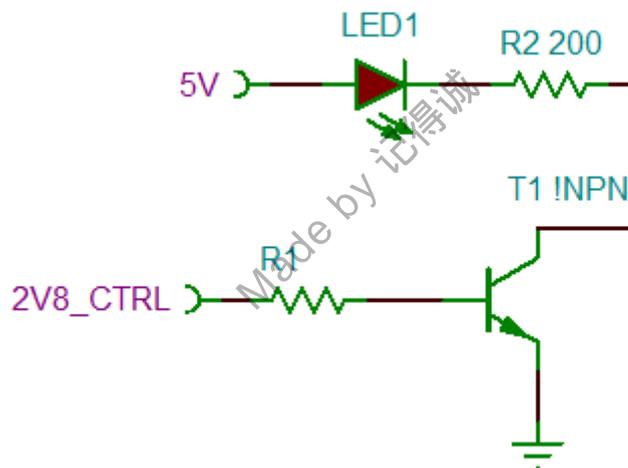
截止区：三极管工作在截止状态，当发射结电压 U_{be} 小于0.6~0.7V的导通电压，发射结没有导通，集电结处于反向偏置，没有放大作用。（发射结和集电结都反偏）

放大区：三极管的发射结加正向电压（锗管约为0.3V，硅管约为0.7V），集电结加反向电压导通后， I_b 控制 I_c ， I_c 与 I_b 近似于线性关系，在基极加上一个小信号电流，引起集电极大的信号电流输出。（发射结正偏，集电结反偏）

饱和区：当三极管的集电结电流 I_c 增大到一定程度时，再增大 I_b ， I_c 也不会增大，超出了放大区，进入了饱和区。（发射结和集电结都正偏）

2.5.1.2 问题描述

问：如下是一个三极管开关电路，用来驱动LED，电源电压5V，LED1的正向压降是1V，驱动电流20mA，所以R2为200Ω，B极驱动信号是MCU的一个GPIO，高电平输出2.8V，低电平输出0V，求R1的阻值？

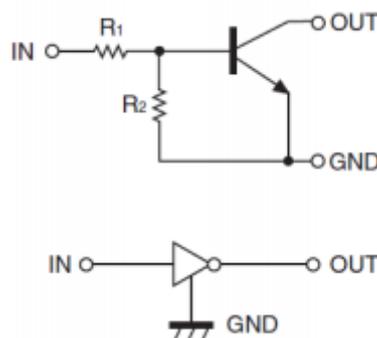


NPN三极管驱动LED电路图

2.5.1.3 如何解决

2.5.1.3.1 解法1

题目中没有指定三极管型号，可选数字三极管，数字三极管也称带阻三极管，顾名思义，内部自带电阻，常用来做电子开关，功能等同反相器。



数字三极管功能电路图

下图是DTC123YM型号数字三极管电气参数，开启电压，最大不超过3V，输入2.8V符合要求；关闭电压最小是0.3V，我们MCU GPIO低电平输出是0V，符合要求。R1不用计算，选择0R，充当导线即可。

Parameter	Symbol	Conditions	Min	Typ	Max	Unit
Input voltage	$V_{I(off)}$	$V_{CC}=5V, I_o=100\mu A$	0.3			V
	$V_{I(on)}$	$V_o=0.3V, I_o=20mA$			3	V
Output voltage	$V_{O(on)}$	$I_o/I_i=10mA/0.5mA$		0.1	0.3	V
Input current	I_i	$V_i=5V$			3.8	mA
Output current	$I_{O(off)}$	$V_{CC}=50V, V_i=0$			0.5	μA
DC current gain	G_I	$V_o=5V, I_o=10mA$	33			
Input resistance	R_1		1.54	2.2	2.86	k Ω
Resistance ratio	R_2/R_1		3.6	4.5	5.5	
Transition frequency	f_T	$V_o=10V, I_o=5mA, f=100MHz$		250		MHz

DTC123YM电气特性

为什么选择数字三极管？

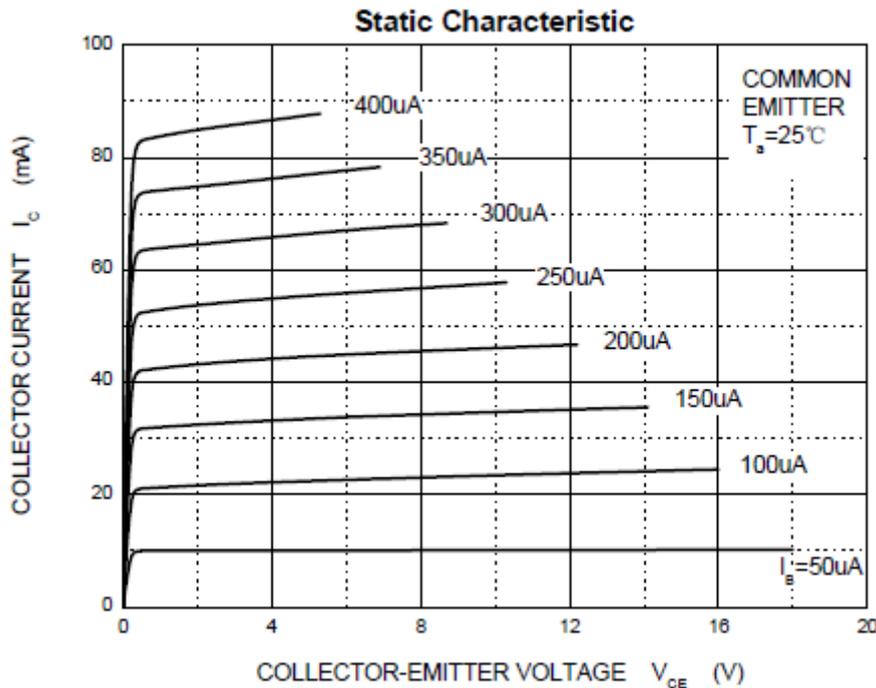
使用简单，不用考虑基极电阻大小。

近似开关，导通压降极低，下图中典型值仅0.1V，最大是0.3V。

2.5.1.3.2 解法2

使用一般的三极管，如常见的S8050，LED关闭的时候，S8050工作在截止状态，LED亮的时候，S8050工作在什么状态呢？从S8050的输出特性曲线来看，应该是饱和区，饱和区 V_{ce} 的值比较小，开关电路当然需要开关两端的压差越小越好。

LED的驱动电流为 $I_C = 20mA$ ， $I_C = 20mA$ 时，从下图可以看出， $I_B = 85\mu A$ 左右，排除饱和压降，可计算 $R_1 = (2.8 - 0.7) / 85\mu A \approx 24.7K$



S8050输出特性曲线

根据以上计算，有三个误差：

- 第1个是电阻误差，电阻有5%精度和1%精度；
- 第2个是集电结开启电压的误差，不一定是0.7V；
- 第3个是饱和压降，没有计算进去；

对驱动不同器件来说：

驱动LED： 电流越大，LED越亮，但是不能超过最大值，否则LED会损坏或寿命骤减。

驱动继电器： 根据线圈内阻和电源电压可计算出驱动电流，依照电流设计即可，网上会有经验公式，为了继电器的有效吸合，会将基极电阻减小一倍，来达到有效吸合，实际运用中，如果有条件，可以实际测试。

2.5.1.4 小结一下

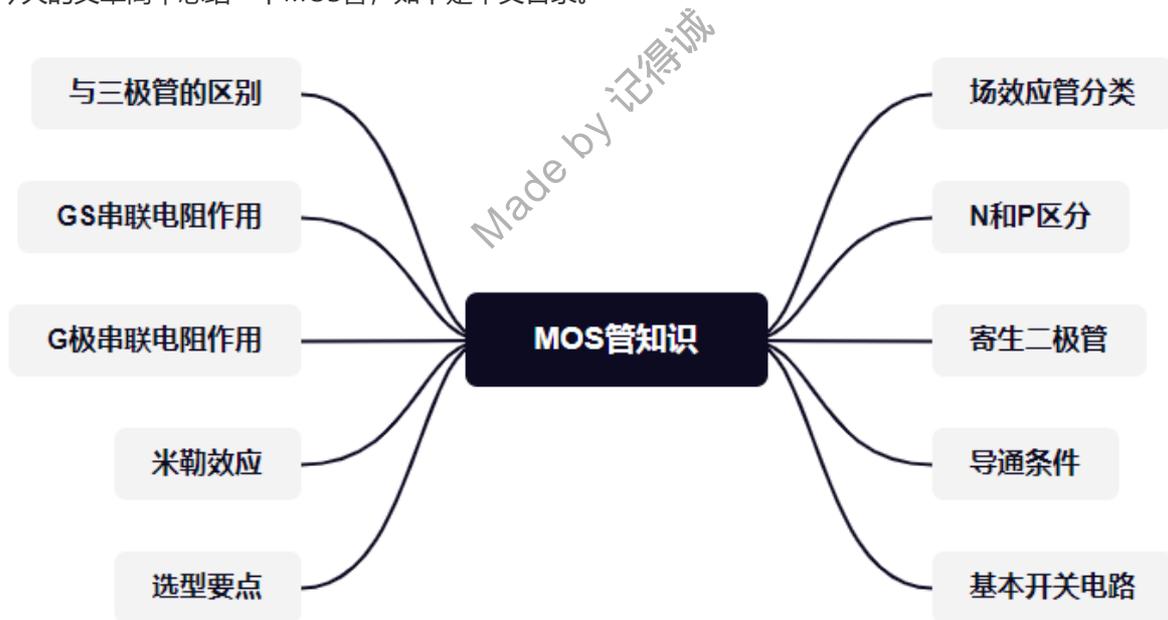
从解法1和解法2，明显可以得出，解法1更方便，选择一个合适的数字三极管即可，不用考虑基极电阻。解法2可以理论与实践相结合，需要考虑的点比较多，相对比较复杂一点，推荐使用数字三极管。

今天的文章到这里就结束了，希望对你有帮助，我们下一期见。

2.6 MOS管

6.1 MOS管基础知识汇总

今天的文章简单总结一下MOS管，如下是本文目录。

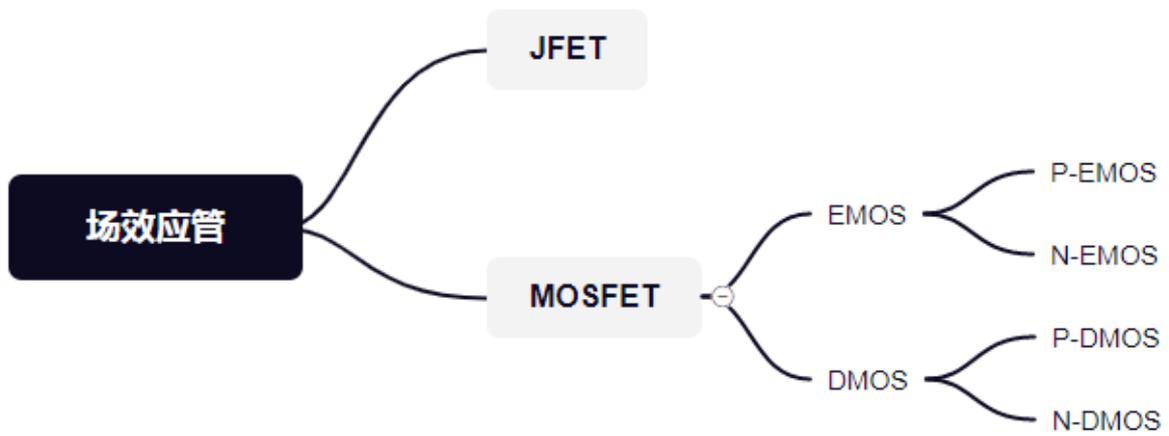


6.1.1 场效应管分类

场效应管分为结型 (JFET) 和金属-氧化物-半导体型 (MOSFET) 两种类型。

JFET的英文全称是**Junction Field-Effect Transistor**，也分为N沟道和P沟道两种，在实际中几乎不用。

MOSFET英文全称是**Metal-Oxide-Semiconductor Field-Effect Transistor**，应用广泛，MOSFET一般称MOS管。



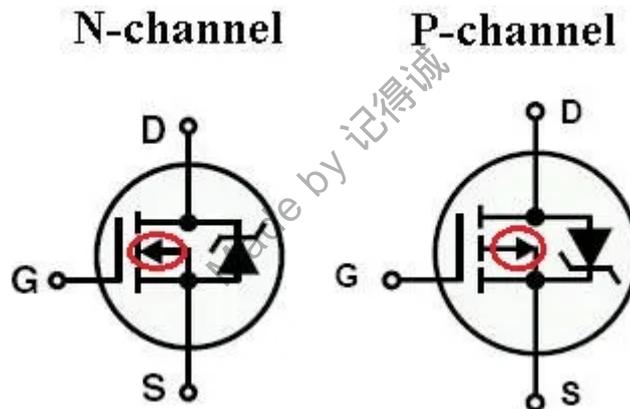
MOSFET有增强型和耗尽型两大类，增强型和耗尽型每一类下面都有NMOS和PMOS。

增强型MOS管的英文为**Enhancement MOS**或者EMOS，耗尽型MOS管的英文为**Depletion MOS**或者DMOS。

一般主板上使用最多的是增强型MOS管，NMOS最多，一般多用在信号控制上，其次是PMOS，多用在电源开关等方面，耗尽型几乎不用。

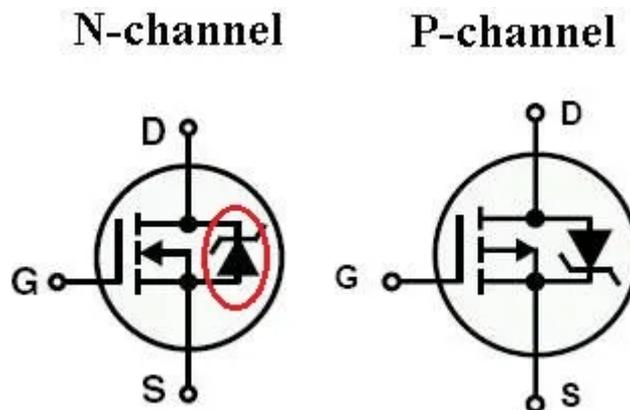
6.1.2 N和P区分

如下红色箭头指向G极的为NMOS，箭头背向G极的为PMOS。



6.1.3 寄生二极管

由于生产工艺，一般的MOS管会有一个寄生二极管，有的也叫体二极管。



红色标注的为体二极管

从上图可以看出NMOS和PMOS寄生二极管方向不一样，NMOS是由S极→D极，PMOS是由D极→S极。

寄生二极管和普通二极管一样，正接会导通，反接截止，对于NMOS，当S极接正，D极接负，寄生二极管会导通，反之截止；对于PMOS管，当D极接正，S极接负，寄生二极管导通，反之截止。

某些应用场合，也会选择走体二极管，以增大DS之间的压降（体二极管的压降是比MOS的导通压降大很多的），同时也要关注体二极管的过电流能力。

当满足MOS管的导通条件时，MOS管的D极和S极会导通，这个时候体二极管是截止状态，因为MOS管的导通内阻极小，一般mΩ级别，流过1A级别的电流，也才mV级别，所以D极和S极之间的导通压降很小，不足以使寄生二极管导通，这点需要特别注意。

6.1.4 导通条件

MOS管是压控型，导通由G和S极之间压差决定。

对NMOS来说， $V_g - V_s > V_{gs(th)}$ ，即G极和S极的压差大于一定值，MOS管会导通，但是也不能大太多，否则烧坏MOS管，开启电压和其他参数可以看具体器件的SPEC。

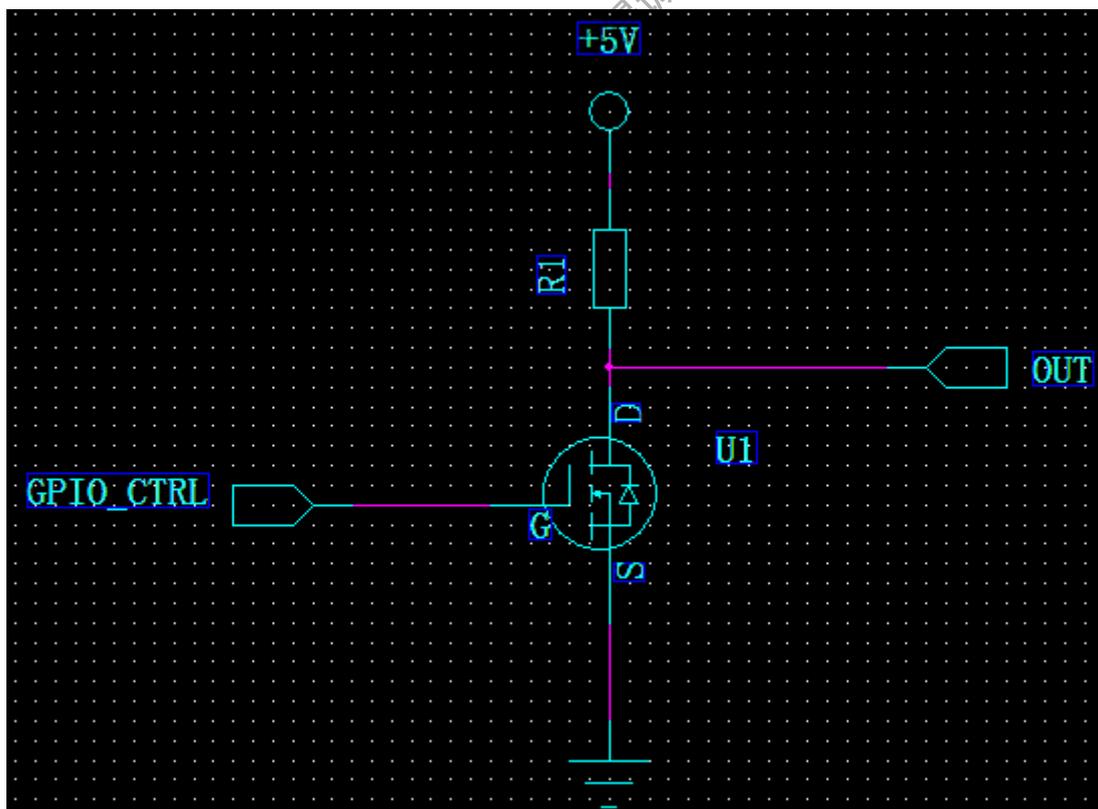
对PMOS来说， $V_s - V_g > V_{sg(th)}$ ，即S极和G极的压差大于一定值，MOS管会导通，同样的，具体参数看器件的SPEC。

6.1.5 基本开关电路

NMOS管开关电路

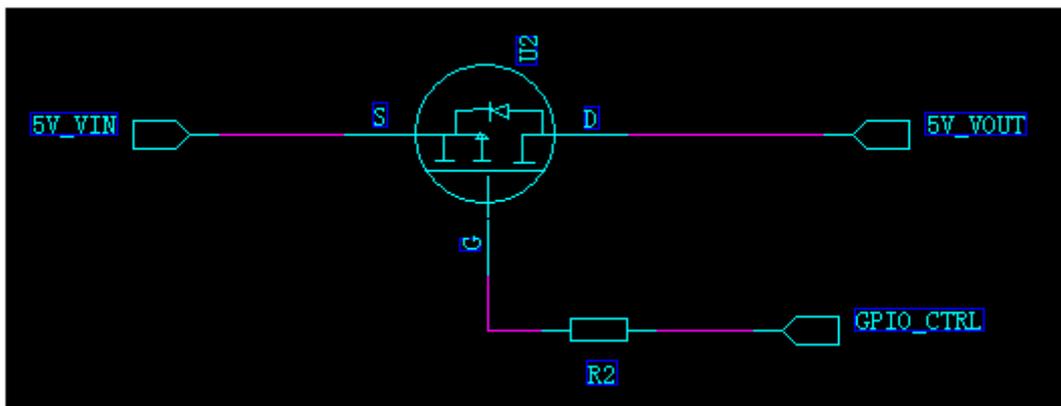
当GPIO_CTRL电压小于MOS管开启电压时，MOS管截止，OUT通过R1上拉到5V，OUT=5V。

当GPIO_CTRL电压大于MOS管开启电压时，MOS管导通，D极电压等于S极电压，即OUT=0V。



PMOS管开关电路

PMOS管最常用在电源开关电路中，下图所示，当GPIO_CTRL=0V时，S和G极压差大于MOS管开启电压时，MOS管导通，5V_VOUT=5V_VIN。



6.1.6 与三极管的区别

三极管是电流控制，MOS管是电压控制，主要有如下的区别：

1. 只容许从信号源取少量电流的情况下，选用MOS管；在信号电压较低，有容许从信号源取较多电流的条件下，选用三极管。
2. MOS管是单极性器件（靠一种多数载流子导电），三极管是双极性器件（既有多数载流子，也要少数载流子导电）。
3. 有些MOS管的源极和漏极可以互换运用，栅极也可正可负，灵活性比三极管好。
4. MOS管应用普遍，可以在很小电流和很低电压下工作。
5. MOS管输入阻抗大，低噪声，MOS管较贵，三极管的损耗大。
6. MOS管常用来作为电源开关，以及大电流开关电路、高频高速电路中，三极管常用来数字电路开关控制。

6.1.7 G和S极串联电阻的作用

MOS管的输入阻抗很大，容易受到外界信号的干扰，只要少量的静电，就能使G-S极间等效电容两端产生很高的电压，如果不及及时把静电释放掉，两端的高压容易使MOS管产生误动作，甚至有可能击穿G-S极，起到一个固定电平的作用。

6.1.8 G极串联电阻的作用

MOS管是压控型，有的情况下，为什么还需要在G极串联一个电阻呢？

1. 减缓Rds从无穷大到Rds(on)。
2. 防止震荡，一般单片机的I/O输出口都会带点杂散电感，在电压突变的情况下，可能与栅极电容形成LC震荡，串联电阻可以增大阻尼减小震荡效果。
3. 减小栅极充电峰值电流。

6.1.9 MOS管的米勒效应

关于MOS管的米勒效应，可以阅读文章：[臭名昭著的MOS管米勒效应](#)

6.1.10 选型要点

1 电压值

关注Vds最大导通电压和Vgs最大耐压，实际使用中，不能超过这个值，否则MOS管会损坏。

Absolute Maximum Rating

Rating	Symbol	Value	Units
Drain-Source Voltage	V _{DS}	-30	V
Gate-Source Voltage	V _{GS}	±20	

关注导通电压 $V_{GS(th)}$ ，一般MOS管都是用单片机进行控制，根据单片机GPIO的电平来选择合适导通阈值的MOS管，并且尽量留有一定的余量，以确保MOS可以正常开关。

Gate-Source Threshold voltage	$V_{GS(th)}$	$V_{DS} = V_{GS}, I_D = -250\mu A$	-1	-1.5	-2.5	V
-------------------------------	--------------	------------------------------------	----	------	------	---

2 电流值

关注ID电流，这个值代表了PMOS管能流过多大电流，反应带负载的能力，超过这个值，MOS管也会损坏。

Continuous Drain Current	I_D	-4.1	A
Pulsed Drain Current ¹	I_{DM}	-20	

3 功率损耗

功率损耗需要关注以下几个参数，包括热阻、温度。热阻指的是当有热量在物体上传输时，在物体两端温度差与热源的功率之间的比值，单位是 $^{\circ}C/W$ 或者是 K/W ，热阻的公式为 $\theta_{tjA} = (T_j - T_a)/P$ ，和功率和环境温度都有关系。

Power Dissipation	P_D	0.3	W
Thermal Resistance from Junction to Ambient($t \leq 5s$) ²	$R_{\theta JA}$	417	$^{\circ}C/W$
Operating Junction Temperature	T_J	150	$^{\circ}C$
Storage Temperature	T_{STG}	-55 to 150	$^{\circ}C$

4 导通内阻

导通内阻关注PMOS的 $R_{DS(on)}$ 参数，导通内阻越小，PMOS管的损耗越小，一般PMOS管的导通内阻都是在 $m\Omega$ 级别。

5 开关时间

MOS作为开关器件，就会有开关时间概念，在高速电路中，尽可能选择输入、输出电容 C_{iss} & C_{oss} 小、开关时间 T_{on} & T_{off} 短MOS管，以保证数据通信正常。

参数解释推荐阅读文章：[MOS管参数解读（热阻、输入输出电容及开关时间）](#)

6 封装

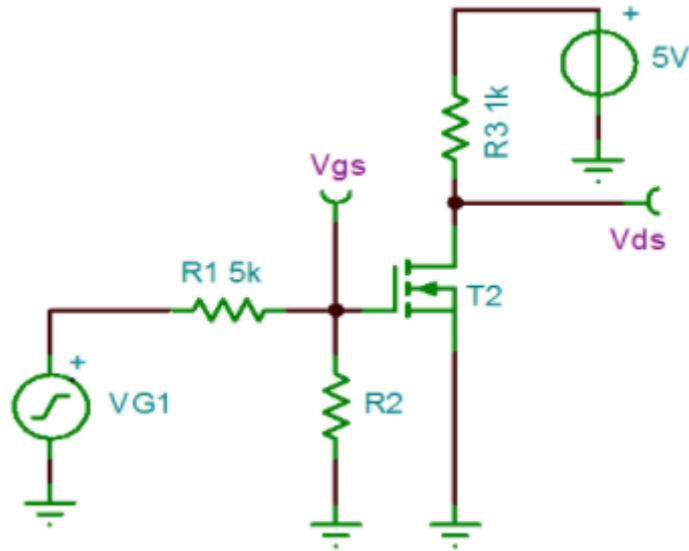
根据PCB板的尺寸，选择合适的PMOS管尺寸，在板载面积有限的情况下，尽可能选择小封装；尽量选择常见封装，以备后续选择合适的替代料。

今天的文章内容到这里就结束了，希望对你有帮助，我们下一期见。

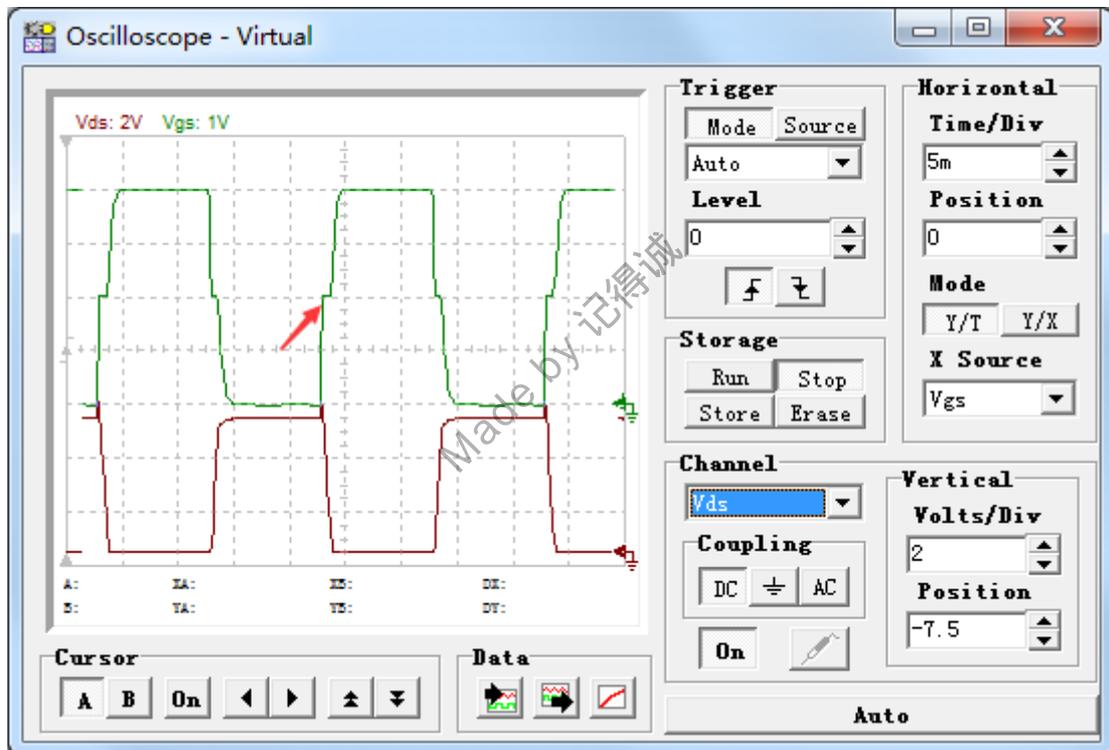
6.2 臭名昭著的MOS管米勒效应

6.2.1 仿真实验

如下是一个NMOS的开关电路，阶跃信号 V_{G1} 设置DC电平2V，方波（振幅2V，频率50Hz）， T_2 的开启电压2V，所以MOS管 T_2 会以周期 $T=20ms$ 进行开启和截止状态的切换。

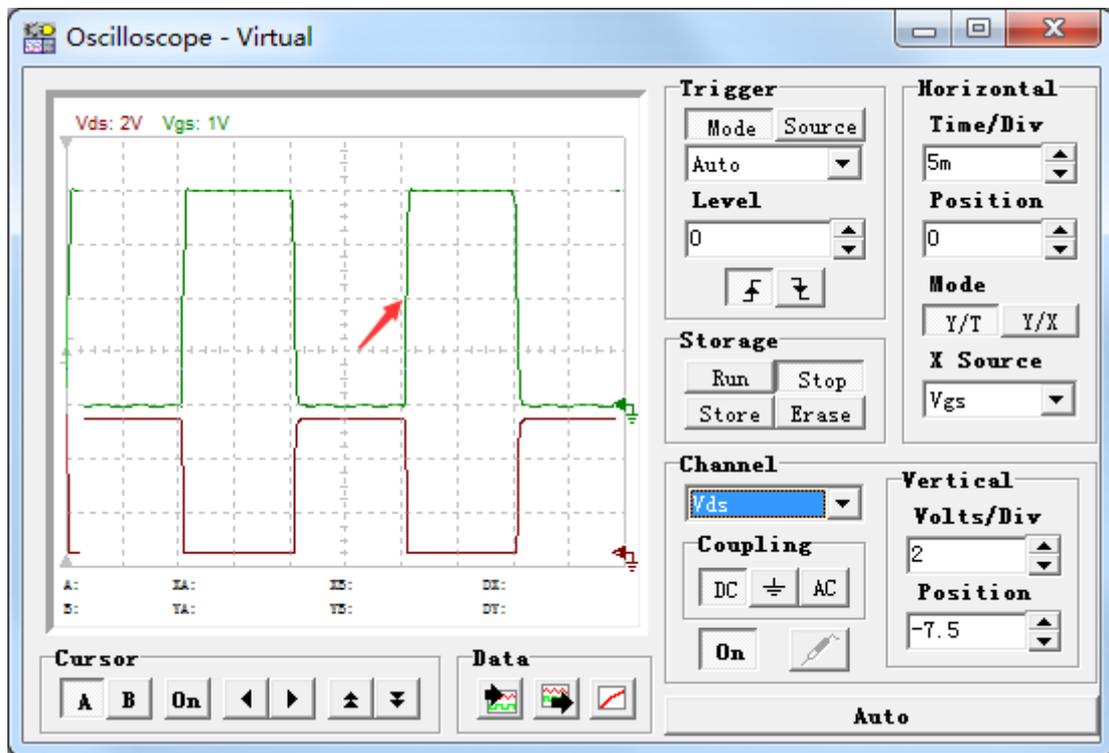


首先仿真Vgs和Vds的波形，会看到Vgs=2V的时候有一个小平台，有人会好奇为什么Vgs在上升时会有一个小平台？



MOS管Vgs小平台

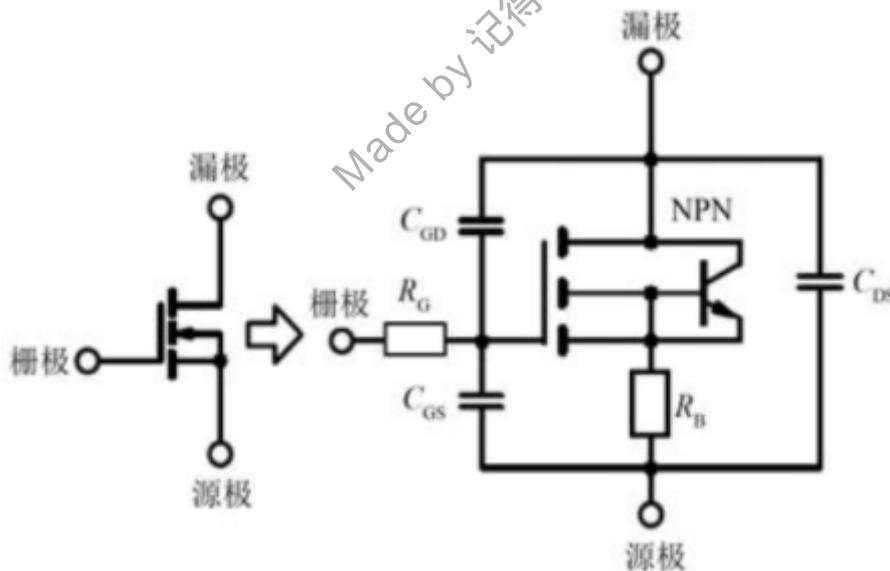
带着这个疑问，我们尝试将电阻R1由5K改为1K，再次仿真，发现这个平台变得很小，几乎没有了，这又是为什么呢？



MOS管Vgs小平台有改善

6.2.2 理论知识

为了理解这种现象，需要理论知识的支撑。



MOS管的等效模型

我们通常看到的MOS管图形是左边这种，右边的称为MOS管的等效模型。

其中： C_{gs} 称为GS寄生电容， C_{gd} 称为GD寄生电容，输入电容 $C_{iss}=C_{gs}+C_{gd}$ ，输出电容 $C_{oss}=C_{gd}+C_{ds}$ ，反向传输电容 $C_{rss}=C_{gd}$ ，也叫米勒电容。

如果你不了解MOS管输入输出电容概念，请点击：[带你读懂MOS管参数「热阻、输入输出电容及开关时间」](#)

米勒效应的罪魁祸首就是米勒电容，米勒效应指其输入输出之间的分布电容 C_{gd} 在反相放大的作用下，使得等效输入电容值放大的效应，米勒效应会形成米勒平台。

首先我们需要知道的一个点是：因为MOS管制造工艺，必定产生Cgd，也就是米勒电容必定存在，所以米勒效应不可避免。

那米勒效应的缺点是什么呢？

MOS管的开启是一个从无到有的过程，MOS管D极和S极重叠时间越长，MOS管的导通损耗越大。因为有了米勒电容，有了米勒平台，MOS管的开启时间变长，MOS管的导通损耗必定会增大。

仿真时我们将G极电阻R1变小之后，发现米勒平台有改善？原因我们应该都知道了。

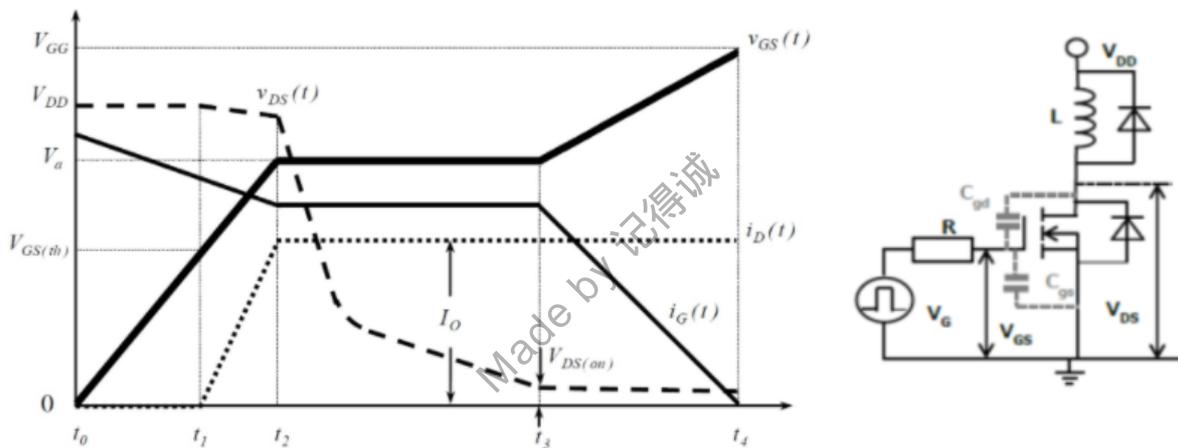
MOS管的开启可以看做是输入电压通过栅极电阻R1对寄生电容Cgs的充电过程，R1越小，Cgs充电越快，MOS管开启就越快，这是减小栅极电阻，米勒平台有改善的原因。

那在米勒平台究竟发生了一些什么？

以NMOS管来说，在MOS管开启之前，D极电压是大于G极电压的，随着输入电压的增大，Vgs在增大，Cgd存储的电荷同时需要和输入电压进行中和，因为MOS管完全导通时，G极电压是大于D极电压的。**

所以在米勒平台，是Cgd充电的过程，这时候Vgs变化则很小，当Cgd和Cgs处在同等水平时，Vgs才开始继续上升。

我们以下右图来分析米勒效应，这个电路图是一个什么情况？



MOS管D极负载是电感加续流二极管，工作模式和DC-DC BUCK一样，MOS管导通时，VDD对电感L进行充电，因为MOS管导通时间极短，可以近似电感为一个恒流源，在MOS管关闭时，续流二极管给电感L提供一个泄放路径，形成续流。

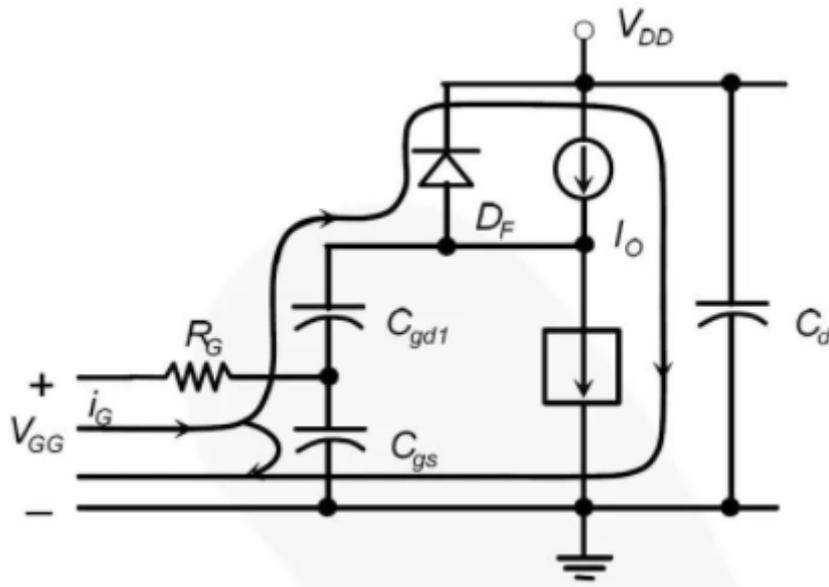
MOS管的开启可以分为4个阶段。

t0~t1阶段

从t0开始，G极给电容Cgs充电，Vgs从0V上升到Vgs(th)时，MOS管都处于截止状态，Vds保持不变，Id为零。

t1~t2阶段

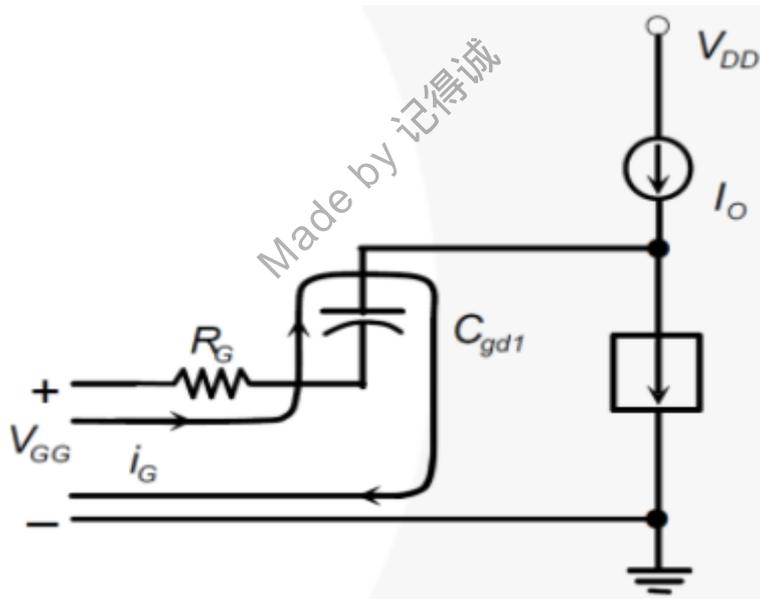
从t1后，Vgs大于MOS管开启电压Vgs(th)，MOS管开始导通，Id电流上升，此时的等效电路图如下所示，在IDS电流没有达到电感电流时，一部分电流会流过二极管，二极管DF仍是导通状态，二极管的两端处于一个钳位状态，这个时候Vds电压几乎不变，只有一个很小的下降（杂散电感的影响）。



t1~t2阶段等效电路

t2~t3阶段

随着 V_{gs} 电压的上升， I_{DS} 电流和电感电流一样时，MOS管D极电压不再被二极管 D_F 钳位， D_F 处于反向截止状态，所以 V_{ds} 开始下降，这时候G极的驱动电流转移给 C_{gd} 充电， **V_{gs} 出现了米勒平台**， V_{gs} 电压维持不变， V_{ds} 逐渐下降至导通压降 V_F 。



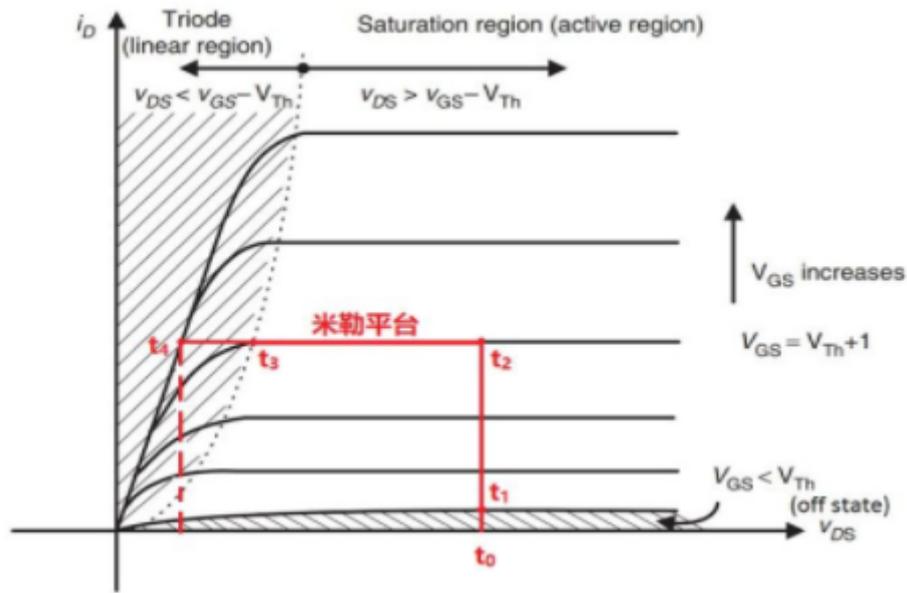
t2~t3阶段等效电路

t3~t4阶段

当米勒电容 C_{gd} 充满电时， V_{gs} 电压继续上升，直至MOS管完全导通。

结合MOS管输出曲线，总结一下MOS管的导通过程

t_0 - t_1 ，MOS管处于截止区； t_1 后， V_{gs} 超过MOS管开启电压，随着 V_{gs} 的增大， I_D 增大，当 I_D 上升到和电感电流一样时，续流二极管反向截止， t_2 ~ t_3 时间段， V_{gs} 进入米勒平台期，这个时候D极电压不再被续流二极管钳位，MOS的夹断区变小， t_3 后进入线性电阻区， V_{gs} 则继续上升， V_{ds} 逐渐减小，直至MOS管完全导通。



MOS管输出曲线

今天的文章内容到这里就结束了，希望对你有帮助，我们下一期见。

6.3 MOS管参数解读（热阻、输入输出电容及开关时间）

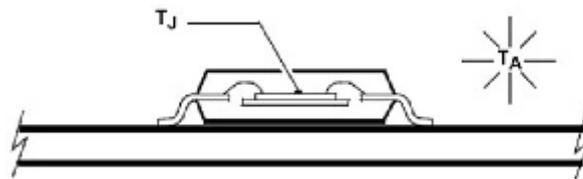
以下用到的SPEC参数是Rohm的NMOS管RE1C001UN

6.3.1 热阻

定义：热阻指的是当有热量在物体上传输时，在物体两端温度差与热源的功率之间的比值，单位是 $^{\circ}\text{C}/\text{W}$ 或者是 K/W 。

半导体散热的三个途径，封装顶部到空气，封装底部到电路板，封装引脚到电路板。

6.3.2 热阻的计算



T_j : 芯片结温, T_a : 芯片环境温度, 热阻 $\Theta_{JA} = (T_j - T_a) / P$

还有一些其他的热阻参数如下:

$\Theta_{JA} = (T_j - T_a) / P$, 结到空气环境的热阻。

$\Theta_{JC} = (T_j - T_c) / P$, 结到封装外壳的热阻, 一般而言是到封装顶部的热阻, 所以一般的, $\Theta_{JC} = \Theta_{JT}$

$\Theta_{JB} = (T_j - T_b) / P$, 结到PCB的热阻。

Θ_{JA} 参数综合了Die的大小, 封装方式, 填充材料, 封装材料, 引脚设计, 外部散热片和外部电路板的属性多个因素, 综合来讲 Θ_{JA} 和用的器件以及PCB设计有关。 Θ_{JC} 和 Θ_{JB} 这两个参数是表征芯片和封装本身的, 不会随着芯片封装外部环境的改变而改变。

6.3.3 参数解读

Power dissipation: 功率损耗, 指的是NMOS消耗功率不能超过150mW。

Junction temperature: 结温, 结面温度, 指的是NMOS最高结温不能超过150°C。

Thermal resistance: 热阻, 如下的833°C/W指的是NMOS结面相对于环境温度的热阻是833°C/W, 假如器件消耗的功率是1W, 那温升就是833°C。

● Absolute maximum ratings ($T_a = 25^\circ\text{C}$, unless otherwise specified)

Parameter	Symbol	Value	Unit
Drain - Source voltage	V_{DS}	20	V
Continuous drain current	I_D	± 100	mA
Pulsed drain current	I_{DP}^{*1}	± 400	mA
Gate - Source voltage	V_{GS}	± 8	V
Power dissipation	P_D^{*2}	150	mW
Junction temperature	T_j	150	$^\circ\text{C}$
Operating junction and storage temperature range	T_{stg}	-55 to +150	$^\circ\text{C}$

● Thermal resistance

Parameter	Symbol	Values			Unit
		Min.	Typ.	Max.	
Thermal resistance, junction - ambient	R_{thJA}^{*2}	-	-	833	$^\circ\text{C/W}$

当NMOS工作在最大功率150mW, 那NMOS结到空气的温度就是 $150/1000 \times 833 \approx 125^\circ\text{C}$, 芯片结温就是 $125+25=150^\circ\text{C}$ 。

6.3.4 MOS管电容

输入电容 C_{iss} , 指的是DS短接, 用交流信号测得的GS之间的电容, C_{iss} 由GS电容和GD电容并联而成, 即 $C_{iss}=C_{gs}+C_{gd}$, 当输入电容充电至阈值电压, MOS管才打开, 放电至一定的值, MOS管才关闭, 所以 C_{iss} 和MOS管的开启关闭时间有很大的关系。

输出电容 C_{oss} , 指的是GS短接, 用交流信号测得的DS之间的电容, C_{oss} 由GD电容和DS电容并联而成, 即 $C_{oss}=C_{gd}+C_{ds}$ 。

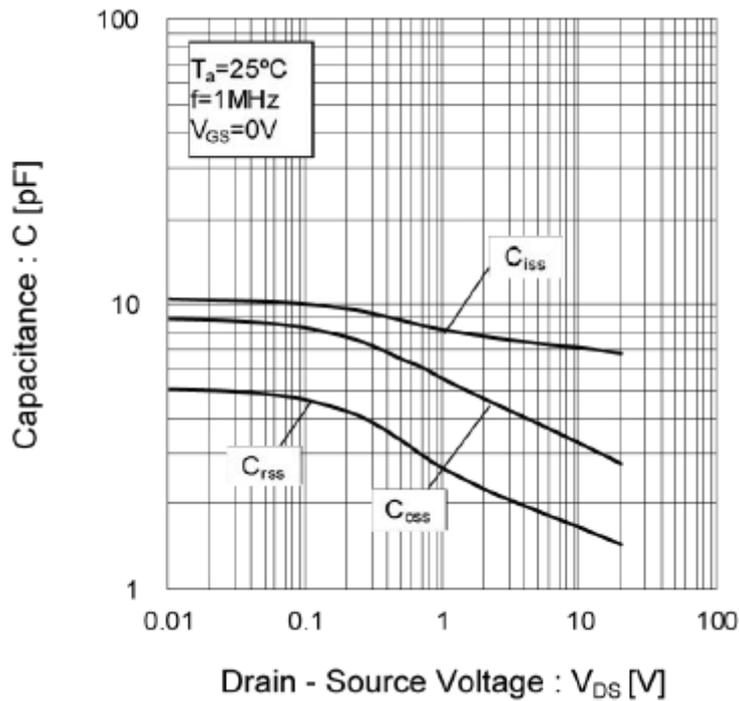
反向传输电容 C_{rss} , 指的是S接地, GD之间的电容, 即 $C_{rss}=C_{gd}$ 。

MOS管关闭下, C_{gs} 要比 C_{gd} 大得多, $C_{gd}=1.7\text{pF}$, 那 $C_{gs}=7.1-1.7=5.4\text{pF}$ 。

● Electrical characteristics ($T_a = 25^\circ\text{C}$)

Parameter	Symbol	Conditions	Values			Unit
			Min.	Typ.	Max.	
Input capacitance	C_{iss}	$V_{GS} = 0\text{V}$	-	7.1	-	
Output capacitance	C_{oss}	$V_{DS} = 10\text{V}$	-	3.3	-	pF
Reverse transfer capacitance	C_{rss}	$f = 1\text{MHz}$	-	1.7	-	

从SPEC给的图看, 3个电容的大小和DS电压有很大关系, 尤其是 C_{oss} 和 C_{rss} 。



有的一些MOS管SPEC中还有如下的 Q_g , Q_{gs} , Q_{gd} , 指的是充满这些电容所需要的电荷数, 所需要的充电电荷数越少, MOS管开关速度就越快。

C_{iss}	Input capacitance. Equals $C_{gs} + C_{gd}$ with C_{ds} shorted.
C_{rss}	Reverse transfer capacitance, C_{gd}
C_{oss}	Output capacitance. Equals $C_{ds} + C_{gd}$
Q_g	Total gate charge. The amount of charge consumed by the capacitance of gate.
Q_{gs}	Gate source charge. The charge consumed by the gate source capacitance.
Q_{gd}	Gate drain charge. The charge consumed by the gate drain capacitance.

MOS管关闭下, C_{gs} 要比 C_{gd} 大的多, 但是发现 Q_{gd} 比 Q_{gs} 大得多, 这是受到米勒电容的影响。

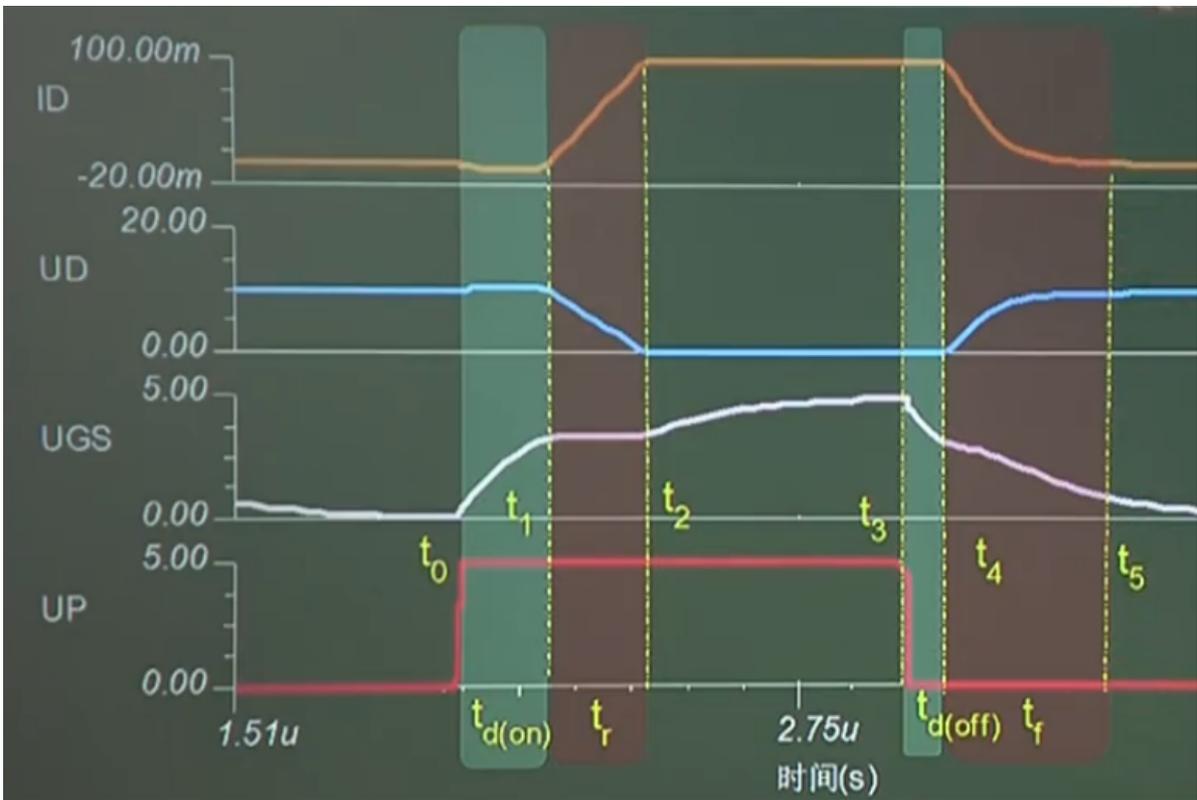
Q_g	Total Gate Charge	—	—	72	nC
Q_{gs}	Gate-to-Source Charge	—	—	11	
Q_{gd}	Gate-to-Drain ("Miller") Charge	—	—	32	

6.3.5 MOS管的开关时间

结合一下图片理解MOS管的开关时间。

最左边绿色部分, I_D 和 U_D 几乎不变, 因为这时候 U_{GS} 没有上升到阈值电压, MOS管是关闭状态, 把 U_{GS} 从0增大到阈值电压前这段时间叫Turn-on delay time。紧接着紫色部分, 当 U_{GS} 上升到阈值电压后, 随着 U_{GS} 再继续增大, I_D 也逐渐增大, U_D 逐渐减小, 直到 I_D 到最大值, U_D 到最小值, 这段时间叫Rise time。

同理, MOS管在关闭时, U_{GS} 没有下降到阈值电压, I_D 和 U_D 都是不变的, 把 U_{GS} 下降到阈值电压前这段时间叫Turn-off delay time, 随着 U_{GS} 逐渐减小, I_D 减小到最小值, U_D 增大到最大值, 这段时间叫Fall time。



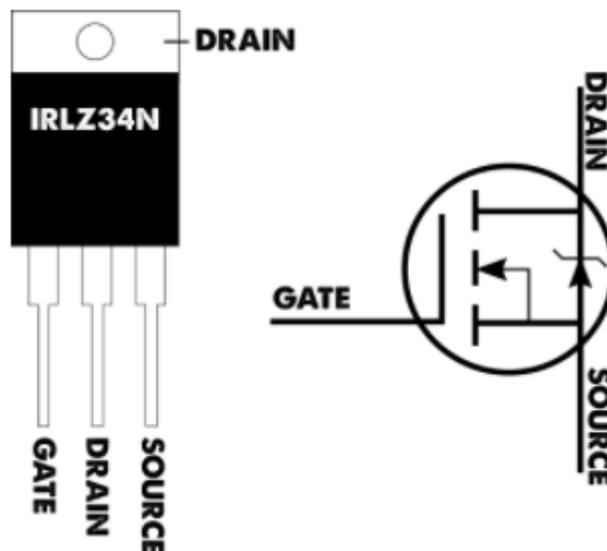
Turn - on delay time	$t_{d(on)}^{*3}$	$V_{DD} \approx 10V, V_{GS} = 4.5V$	-	5	-	ns
Rise time	t_r^{*3}	$I_D = 50mA$	-	4	-	
Turn - off delay time	$t_{d(off)}^{*3}$	$R_L \approx 200\Omega$	-	20	-	
Fall time	t_f^{*3}	$R_G = 10\Omega$	-	38	-	

那为什么要了解MOS管的电容和开关时间呢？当MOS管用在对开关速度有要求的电路中，可能会因为MOS管的开关时间过慢，导致通信失败。

6.4 如何用万用表快速测量MOS管的好坏？

今天的文章内容很简单，也很简短，但却很实用。

以NMOS举例，只用万用表二极管档测量MOS管的好坏。



NMOS的D极和S极之间有一个寄生二极管，方向为S到D，利用二极管单向导电性以及MOS管导通时寄生二极管截止的特性，可以快速测量MOS好坏。

Diode Forward Voltage ²	V _{SD}	I _S = -1A, V _{GS} = 0V	-	-	-1.2	V
------------------------------------	-----------------	--	---	---	------	---

PMOS管WMS14P03T1中的Vsd参数

1、测量之前将MOS的3个极短接，可以用一根铁丝，泄放MOS管内部电荷，确认MOS管是关闭状态。



短接释放电荷确保MOS截止

2、将万用表调至二极管档，将红表笔接在MOS的S极，黑表笔接在D极，这时寄生二极管是导通状态，万用表会显示电压值，一般是0.4V~0.9V之间（不同的MOS会有所差异）。

3、将黑表笔接在S极，红表笔接在D极，寄生二极管是截止状态，万用表会显示1，相当于开路。

(1) 第2步和第3步万用表都显示一定的电压值，代表MOS管D和S已经击穿损坏。

(2) 第2和第3步万用表都显示1，代表MOS管寄生二极管开路损坏。

4、万用表红表笔和黑表笔之间有一定的电压，可以将红表笔接在MOS管的G极，黑表笔接在S极，并维持一段时间（给C_{gs}电容充电，确保MOS有一定的导通），然后再重复第3步，这时万用表也会显示电压值，但接近于0，因为此时DS导通寄生二极管截止。

5、重复第1步，释放电荷，让NMOS处于截止状态，再重复第3步，万用表再次显示1，代表寄生二极管截止。

6、将万用表调至蜂鸣器档或者电阻档，将红表笔接在MOS的G极，黑表笔接在S极，蜂鸣器不会响，GS阻抗比较大，代表GS没有击穿损坏。

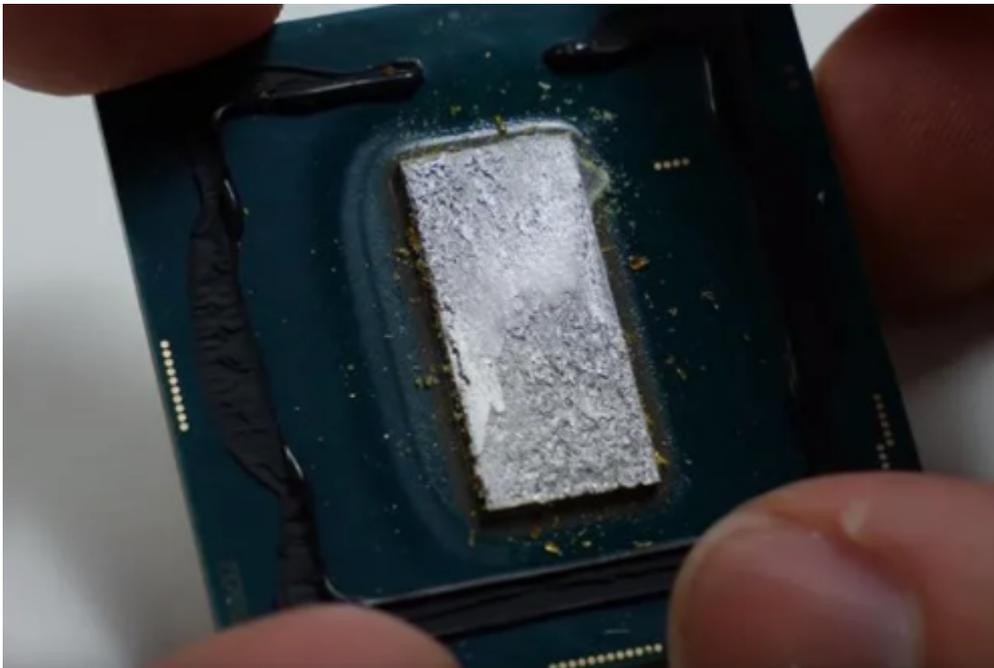
只要6步就可以测试MOS管好坏，是不是很赞？

6.5 讲一讲MOS芯片的发热、温升、热阻等概念

硬件的小伙伴应该都有“烧设备”的经历，芯片摸上去温温的，有的甚至烫手。

有些芯片在正常工作时，功耗很大，温度也很高，需要涂散热材料。

本文主要讨论芯片的散热/发热、热阻、温升、热设计等概念。



开盖后的酷睿i9-9900K上的硅脂散热材料

6.5.1 发热和损耗

芯片的功率损耗，一方面指的是有效输入功率和输出功率的差值，称之为耗散功率，这部分损耗会转化成热量释放，发热并不是一个好东西，会降低部件和设备的可靠性，严重会损坏芯片。

耗散功率，英文为**Power Dissipation**，某些芯片的SPEC里面会有这个参数，指**最大允许耗散功率**，耗散功率和热量是相对应的，可允许耗散功率越大，相应的结温也会越大。

Absolute Maximum Rating

Parameter	Symbol	Value	Unit
Power Dissipation	P_D	3.1	W

另一方面，芯片功耗指的是电器设备在单位时间中所消耗的能源的数量，单位为W，比如空调2000W等等。

6.5.2 热阻和温升

我们都知道一句话：下雪不冷化雪冷，这是一个物理过程，下雪是一个凝华放热过程，化雪是一个融化吸热过程。

芯片的温升是相对于环境温度（25°C）来说的，所以不得不提热阻的概念。

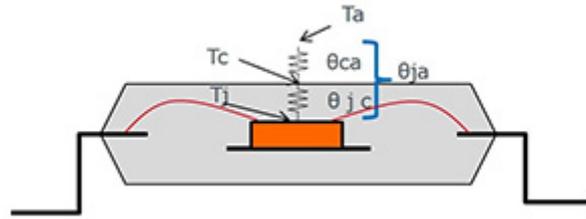
Absolute Maximum Rating

Parameter	Symbol	Value	Unit
Power Dissipation	P_D	3.1	W
Thermal Resistance from Junction to Ambient	$R_{\theta JA}$	40	°C/W
Junction Temperature	T_J	150	°C
Storage Temperature	T_{STG}	-55 to +150	

热阻，英文**Thermal Resistance**，指的是当有热量在物体上传输时，在物体两端温度差与热源的功率之间的比值，单位是°C/W或者是K/W。

如下图所示，将一个芯片焊接在PCB板上，芯片的散热途径主要有如下三种，对应三种热阻。

1. 芯片内部到外壳和引脚的热阻——芯片固定的，无法改变。
2. 芯片引脚到PCB板的热阻——良好的焊接和PCB板决定。
3. 芯片外壳到空气的热阻——由散热器和芯片外围空间决定。



半导体芯片热阻参数示意

其中，各参数对应的含义为：

Ta为环境温度

Tc为外壳表面温度

Tj为结温

θ_{ja} ：结温 (Tj) 与环境温度 (Ta) 之间的热阻

θ_{jc} ：结温 (Tj) 与外壳表面温度 (Tc) 之间的热阻

θ_{ca} ：外壳表面温度 (Tc) 与环境温度 (Ta) 之间的热阻

热阻的计算公式为： $\theta_{ja} = (T_j - T_a) / P_d$ ，则可得出： $T_j = T_a + \theta_{ja} * P_d$

其中 $\theta_{ja} * P_d$ 为温升，也可以称之为发热量。

1. 在热阻一定的情况下，功耗 P_d 越小，温度越低。
2. 在功耗一定的情况下，热阻越小越好，热阻越小代表散热越好。

6.5.3 结温计算误区

很多人计算结温用这个公式： $T_j = T_a + \theta_{ja} * P_d$ ，在TI的文档中有说明，其实并不准确，在公众号后台回复关键词**温升**，可获取此文档。

大致意思就是 θ_{ja} 是一个多变量函数，不能反应芯片焊接在PCB板上的真实情况，和PCB的设计、Chip/Pad的大小有强相关性，随着这些因素的改变， θ_{ja} 值也会改变，芯片厂家在测试 θ_{ja} 时和我们实际使用情况有较大差别，所以用来计算结温，误差会很大。

Table 1. Factors Affecting $R_{\theta JA}$ for a Given Package Outline

Factors Affecting $R_{\theta JA}$	Strength of Influence (rule of thumb)
PCB design	Strong (100%)
Chip or pad size	Strong (50%)
Internal package geometrical configuration	Strong (35%)
Altitude	Strong (18%)
External ambient temperature	Weak (7%)
Power dissipation	Weak (3%)

热阻 θ_{ja} 和这些参数有强相关性

同时使用 $T_j = T_c + \theta_{jc} * P_d$ 这个公式，用红外摄像机测量出芯片外壳温度 T_c ，然后算出 T_j 也是不太准确的。

厂家给出 θ_{ja} 和 θ_{jc} 可能更多是让我们评估芯片的热性能如何，用于和其他芯片比较。

在某些芯片的参数中，会有 Ψ_{JT} 和 Ψ_{JB} ，这两个参数不是真正的热阻，芯片厂家在测试 Ψ_{JT} 和 Ψ_{JB} 的方法非常接近实际器件的应用环境，所以可以用它来估算结温，也被业界所采用，而且可以看出，这两个参数是要比 Θ_{ja} 和 Θ_{jc} 要小的，所以在同样的功耗下，用 Θ_{ja} 计算得出的结温是比实际的温度要偏大的。

Ψ_{JT} ，指的是Junction to Top of Package，结到封装外壳的参数，计算公式为 $T_j = T_c + \Psi_{JT} * P_d$ ， T_c 为芯片外壳温度。

Ψ_{JB} ，指的是Junction to Board，结到PCB板的参数，计算公式为： $T_j = T_b + \Psi_{JB} * P_d$ ， T_b 为PCB板的温度。

$R_{\theta JA}$	Junction-to-ambient thermal resistance	42.5	°C/W
Ψ_{JT}	Junction-to-top characterization parameter	9.9	°C/W
Ψ_{JB}	Junction-to-board characterization parameter	25.4	°C/W
$R_{\theta JC(top)}$	Junction-to-case (top) thermal resistance	56.1	°C/W
$R_{\theta JC(bot)}$	Junction-to-case (bottom) thermal resistance	3.8	°C/W
$R_{\theta JB}$	Junction-to-board thermal resistance	25.5	°C/W

Ψ_{JT} 和 Ψ_{JB} 可被用来计算结温

6.5.4 热设计

热设计和EMC问题一样，最好在前期就解决掉，不然后期整改很麻烦。设计前期考虑结构、PCB堆叠、布局、摆件等，后期考虑散热材料等方式。

今天的文章到这里就结束了，希望对你有帮助，我们下一期见。

2.7 晶振

7.1 晶体和晶振

7.1.1 区别

晶体 (Crystal)，电路上一一般简称为XTAL，需要外加时钟电路才能输出时钟信号，所以一般叫无源晶振，也叫谐振器。

晶振 (Crystal oscillator)，电路上一一般简称为XO，只需要供电就可以输出时钟信号，所以一般叫有源晶振，也叫振荡器。

晶体一般是2脚或者4脚，晶体无极性。晶振一般是4脚，1个VCC，2个GND，1个Output。

7.1.2 晶振的分类

Package石英振荡器 (SPXO)：不施以温度控制及温度补偿的石英振荡器。频率温度特性依靠石英振荡晶体本身的稳定性。

温度补偿石英振荡器 (TCXO)：附加温度补偿回路，减少其频率因周围温度变动而变化之石英振荡器。

电压控制石英振荡器 (VCXO)：控制外来的电压，使输出频率能够变化或调变的石英振荡器。

恒温槽式石英振荡器 (OCXO)：以恒温槽保持石英振荡器或石英振荡晶体在一定温度，控制其输出频率在周围温度下也能保持极小变化量之石英振荡器。

7.1.3 晶振的几个重要参数

标称频率 (Normal Frequency) : 晶振的标准频率, 26MHz, 32.768KHz等。

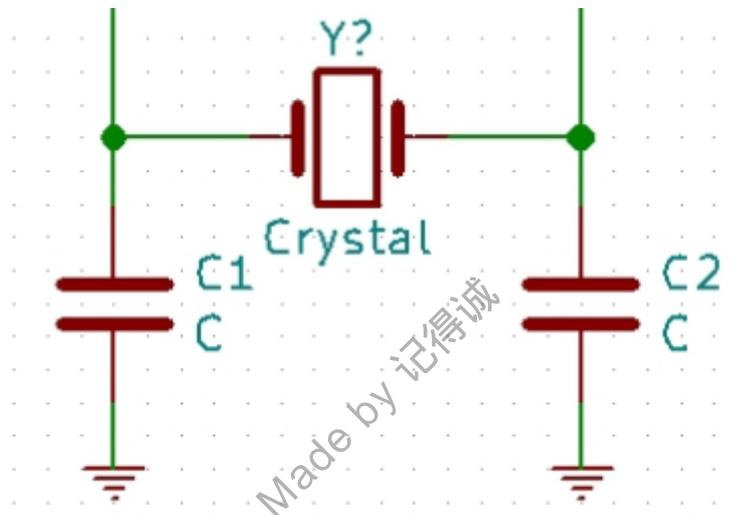
频率误差 (Frequency Tolerance) 或频率稳定度 (Frequency Stability) , 用单位ppm来表示, 即百万分之一, 是相对标称频率的变化量, 此值越小表示精度越高, 1MHz的晶振, 1个PPM就是1Hz的偏差。

温度频差 (Frequency Stability vs Temp) 表示在特定温度范围内, 工作频率相对于基准温度时工作频率的允许偏离, 它的单位也是ppm。

负载电容CL, 负载电容是指晶振正常工作震荡所需要的电容。为使晶体能够正常工作, 需要在晶体两端外接电容, 来匹配达到晶体的负载电容。

$CL = C1 * C2 / (C1 + C2) + C_{ic} + \Delta C$, C1和C2为电容两脚对地电容, C_{ic}集成电路内部电容, ΔC (PCB板上电容) 一般为3-5pF, 一般取C1=C2=2CL, 这样并联起来就接近负载电容了。

如果crystal所接的IC内部有负载电容, 那外部的C1和C2就不需要了。



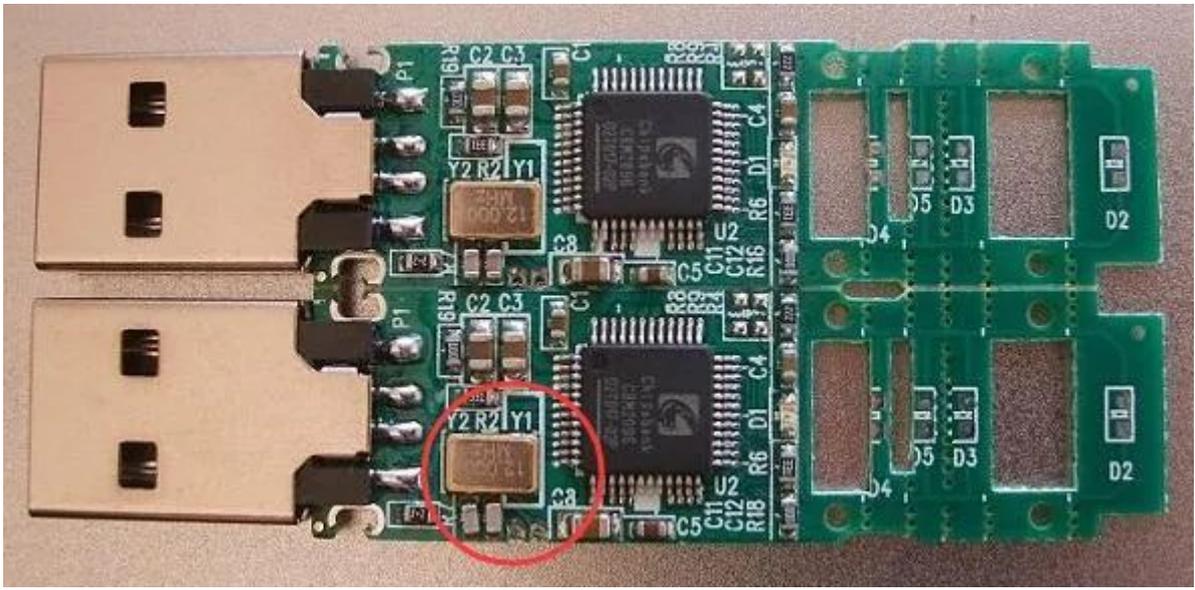
今天的文章到这里就结束了, 希望对你有帮助, 我们下一期见。

7.2 贴片晶振的PCB layout需要注意哪些?

晶振有两个比较重要的参数, 频偏和温偏, 单位都是PPM, 通俗说, 晶振的标称频率不是一直稳定的, 某些环境下晶振频率会有误差, 误差越大, 电路稳定性越差, 甚至电路无法正常工作。

所以在PCB设计时, 晶振的layout显得尤其的重要, 有如下几点需要注意。

- ✓ 两个匹配电容尽量靠近晶振摆放。



匹配电容靠近晶振放置

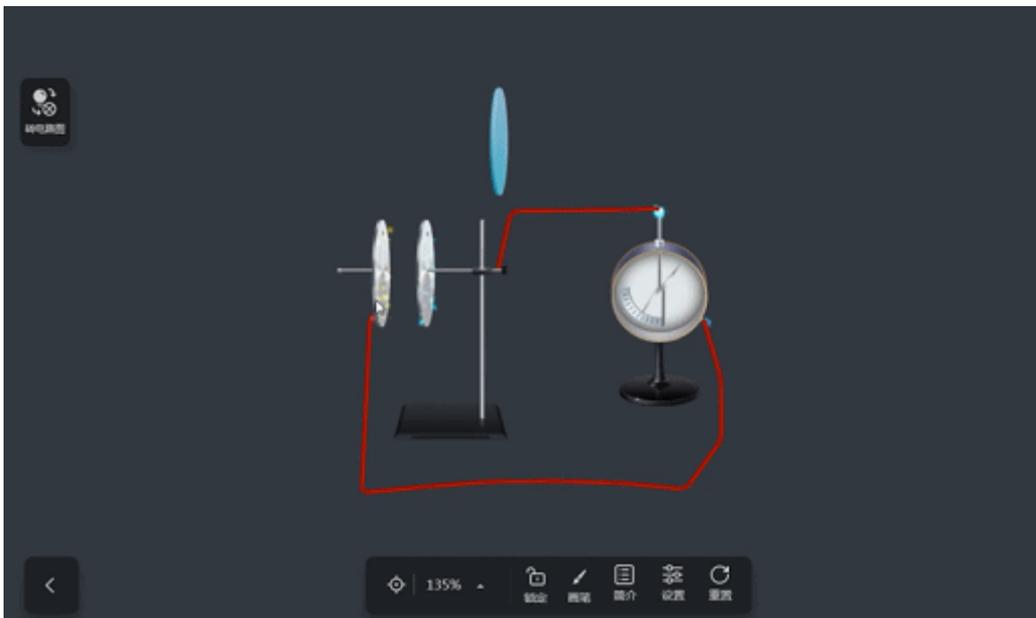
- ✓ 晶振由石英晶体构成，容易受外力撞击或跌落的影响，所以在布局时，最好不要放在PCB边缘，尽量靠近芯片摆放。
- ✓ 晶振的走线需要用GND保护好，并且远离敏感信号如RF、CLK信号以及高速信号。
- ✓ 在一些晶振的PCB设计中，相邻层挖空（净空）或者同一层和相邻层均净空处理，第三层需要有完整的地平面，这么做的原因是维持负载电容的恒定。

晶振负载电容的计算公式是： $CL=C1 \cdot C2 / (C1 + C2) + C_{ic} + C_p$

C_{ic} 为集成电路内部电容， C_p 为PCB板的寄生电容，寄生电容过大，将会导致负载电容偏大，从而引起晶振频偏，这个时候减小匹配电容 $C1$ 和 $C2$ 可能会有所改善，但这也是治标不治本的措施。

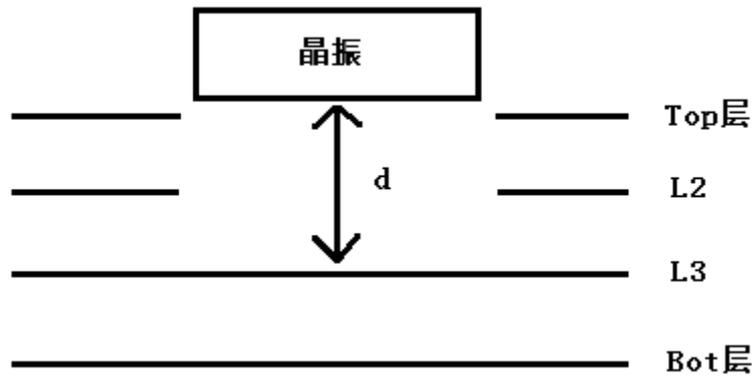
晶振相邻层挖空是如何控制寄生电容 C_p 的呢？

电容的物理公式是： $C = \epsilon S / 4\pi K d$ ，即晶振焊盘与邻近地平面之间的面积 S 和距离 d 均会影响寄生电容大小，因为面积 S 是不变的，所以影响寄生电容的因素只剩下距离 d ，通过挖空晶振同一层的地和相邻层的地，可以增大晶振焊盘与地平面之间的距离，来达到减小寄生电容的效果。



电容容值和物理量之间的关系

简单画了一个图示，如下一个4层板，晶振放在Top层，将Top层和相邻层净空之后，晶振相对于地平面（L3），相比较没有净空之前，这个距离d是增大的，即寄生电容会减小。



晶振的L1和L2层均净空处理

- ✓ 晶振的摆放需要远离热源，因为高温也会影响晶振频偏。

我们知道晶振附近相邻地挖空处理，一方面是为了维持负载电容恒定，另一方面很大原因是隔绝热传导，避免周围的PMIC或者其他发热体的热透过铜皮传导到晶振，导致频偏，故意净空不铺铜，以隔绝热的传递。

为什么温度会影响晶振频率呢？

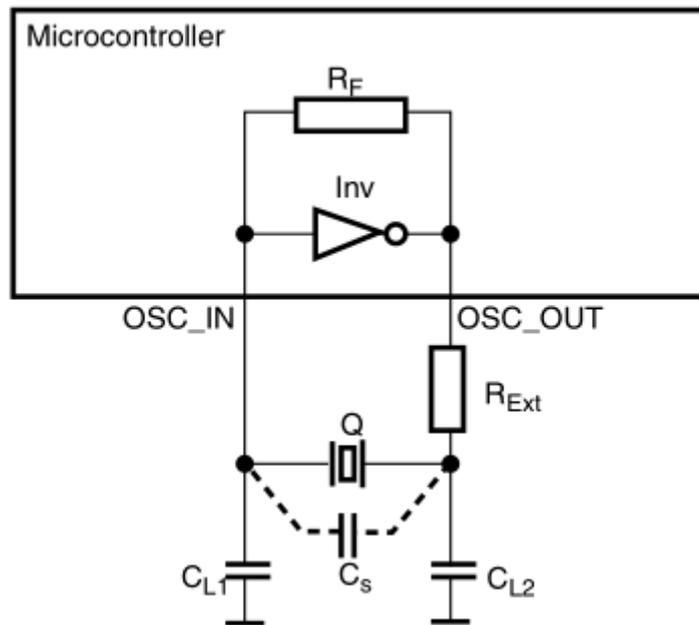
当晶振加热或者降低到某个温度后再降到常温，与最初在常温下测试通常情况下会有一定变化，这是因为晶体的热滞后现象，带温度补偿的TCXO相对来说精度会好不少，可以有效解决晶体温漂，但一般TCXO都是M以上级别较多，KHz的很少，受限于生产工艺。

今天的文章内容到这里就结束了，希望对你有帮助，我们下一期见。

7.3 皮尔斯晶振电路的参数计算

大家好，我是记得诚。

今天看一下皮尔斯晶振电路，就长下面这个样子。



皮尔斯晶振电路

来看一下电路参数作用及如何计算，帮助更好地设计MCU的晶振电路。

R_F : 晶振内部反馈电阻，它的作用是使反向器作为放大器工作，并接在 V_{in} 和 V_{out} 上，使放大器的 $V_{out} = V_{in}$ ，从而强制它运行在线性区内。

不同的晶振，反馈电阻不一样，如下ST给出了对应的范围。

Frequency	Feedback resistor range
32.768 kHz	10 to 25 M Ω
1 MHz	5 to 10 M Ω
10 MHz	1 to 5 M Ω
20 MHz	470 k Ω to 5 M Ω

不同频率晶振对应反馈电阻的范围

这个参数我们可以不用管。

Inv : 内部的反相器，作为放大器来用。

Q : 晶振/晶体。

C_s : 杂散电容，晶振的两个脚与PCB线路的杂散电容，一般在2~7pF之间。

C_{L1} 、 C_{L2} : 匹配电容，我们需要计算的，公式如下：

$$C_L = \frac{C_{L1} \times C_{L2}}{C_{L1} + C_{L2}} + C_s$$

C_L : 为晶振的负载电容，芯片的数据手册上一般会给出。

假设 $C_L = 15pF$ ， $C_s = 5pF$ ，那： $\frac{C_{L1} \times C_{L2}}{C_{L1} + C_{L2}} = 10pF$ ，则： $C_{L1} = C_{L2} = 20pF$ 。

R_{Ext} : 外接电阻，这个电阻用来限制晶体的驱动功率，当晶体的功率耗散大于制造商的指定值，则加 R_{Ext} ，避免晶体被过驱动，当晶体上的功率耗散小于制造商的指定值，则不需要加 R_{Ext} ，或者 R_{Ext} 为0欧姆。

下面这个公式，反应了 DL 和 ESR 的关系。

$$DL = ESR \times I_Q^2$$

DL : 是晶体的最大驱动功率。

ESR : 晶体的等效串联电阻。

DL 和 ESR 参数可以在晶振的规格书中找到。

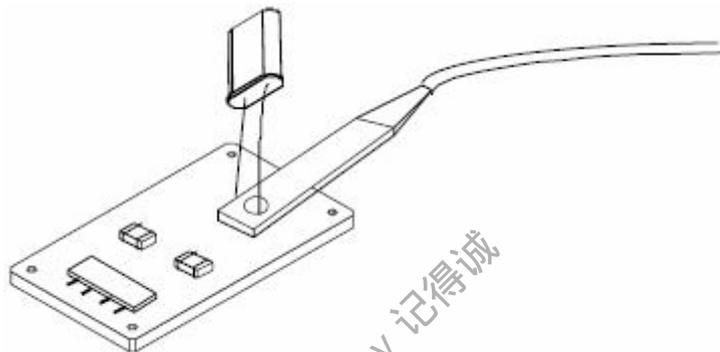
I_Q 是流过晶振电流的有效值（均方根），用 $I_{QmaxRMS}$ 表示，即：

$$I_{QmaxRMS} = \sqrt{\frac{DL_{max}}{ESR}}$$

流过晶振电流的峰峰值，用 I_{QmaxPP} 表示，等于有效值的 $2\sqrt{2}$ 倍，即：

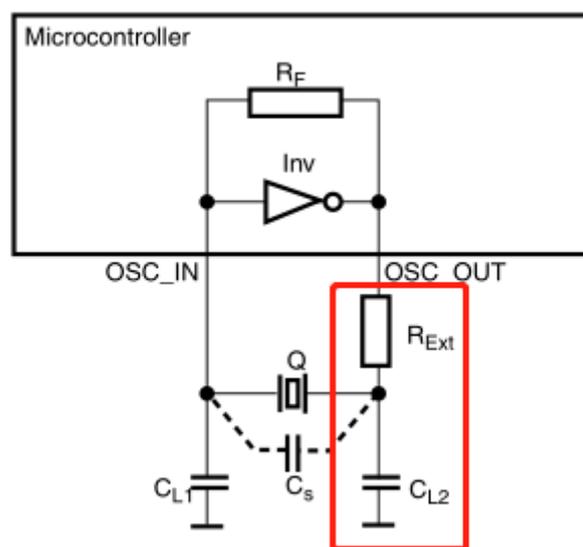
$$I_{QmaxPP} = 2\sqrt{\frac{2 \times DL_{max}}{ESR}}$$

我们再用示波器测量出晶振的驱动电流，这个值超过 I_{QmaxPP} 时，就需要加 R_{Ext} 了。



用示波器测量晶振的驱动电流

当确定了需要加 R_{Ext} ，如何计算呢？



R_{Ext} 和 C_{L2} 构成低通滤波器

如上图， R_{Ext} 和 C_{L2} 其实构成了一个低通滤波器，通带频率不能小于谐振频率，即可算出 R_{Ext} 初始值。

$$R_{Ext} = \frac{1}{2\pi F C_{L2}}$$

算出 R_{Ext} 后，还要再计算一下晶振的增益余量，增益余量用 $gain_{margin}$ 表示，增益裕量值为5是保证振荡器有效起振的最小值。

$$gain_{margin} = \frac{g_m}{g_{m_{crit}}}$$

g_m ：是晶振的跨导，在芯片的规格书中可以看到这个参数。

Table 23. LSE oscillator characteristics ($f_{LSE} = 32.768 \text{ kHz}$)^{(1) (2)}

Symbol	Parameter	Conditions	-	Min	Typ	Max	Unit
R_F	Feedback resistor	-	-	-	5	-	MΩ
C	Recommended load capacitance versus equivalent serial resistance of the crystal (R_S)	$R_S = 30 \text{ K}\Omega$	-	-	-	15	pF
I_2	LSE driving current	$V_{DD} = 3.3 \text{ V}$ $V_{IN} = V_{SS}$	-	-	-	1.4	μA
g_m	Oscillator transconductance	-	-	5	-	-	μAV

$g_{m_{crit}}$ ：是 g_m 的临界值，有一个公式：

$$g_{m_{crit}} = 4 \times ESR \times (2\pi F)^2 \times (C_0 + C_L)^2$$

g_m 和 $g_{m_{crit}}$ 都是已知的，可以算出增益余量，有的规格书会直接给出这个参数。

电路加了 R_{Ext} 后， $g_{m_{crit}}$ 的公式里面需要加上 R_{Ext} ，变为：

$$g_{m_{crit_{new}}} = 4 \times (ESR + R_{Ext}) \times (2\pi F)^2 \times (C_0 + C_L)^2$$

需要重新计算增益余量，看是否达到要求。

上面公式中的一些参数都可以在晶振的规格书中找到。

Electrical Specifications	
Item / Type	YT-26
Nominal Frequency Range F	32.768 KHz
Vibration Mode	AT Fundamental
Load Capacitance CL	12.5pF, or specify
Frequency Tolerance (at 25 °C)	± 10 ppm, ± 20 ppm, or specify
Frequency Versus Temperature Characteristics	± 20 ppm, or specify
Operating Temperature	- 20 ~ + 70 °C, - 40 ~ + 85 °C, or specify
Storage Temperature	-40~+85 °C, or specify
Shunt Capacitance C0	1.6pF Max.
Level Of Drive DL	1 ~ 100 μW (1.0 μW Tvp)
Insulation Resistance	More Than 500MΩ at DC 100V
Frequency Aging (at 25 °C)	± 3 ppm / year Max.

Equivalent Series Resistance(ESR)	
Fundamental	
32.768 KHz ESR	40 Ω Max.

晶振规格书里面的一些参数

关于晶振电路设计的几个文档，[点我可下载](#)，关注记得诚，学习电子不迷茫。

今天的内容到这里就结束了，希望对你有帮助，我们下一期见。

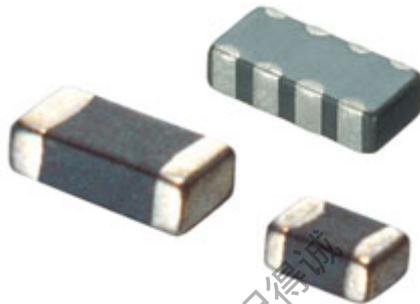
2.8 磁珠

8.1 磁珠的参数、选型、直流重叠特性

本文以自问自答的形式，科普磁珠的一些基本知识和选型要点。

8.1.1 请简单说一下你对磁珠的认识？

磁珠是一种电感型EMI静噪滤波器，实物和电感很像，现在用的最多的是铁氧体磁珠（Ferrite Bead）。



片状铁氧体磁珠

磁珠的单位是欧姆，根据型号的不同，可以抑制几MHz~几GHz的噪声，经常被用在信号线和电源线上（串联使用）。

磁珠和电容、电感滤除噪声有很大不同，电容主要提供一个地阻抗路径（隔直通交），电感是将噪声反射出去（隔交通直），磁珠如何滤除噪声在下面会提及。

8.1.2 磁珠和电感的相同点和不同点？

磁珠和电感的在电路中的符号是一样的，却是不一样的器件，磁珠单位是欧姆（ Ω ），电感单位是亨（H）。

磁珠由氧磁体组成，电感由磁芯和线圈组成，磁珠把交流信号转化为热能，电感把交流存储起来，缓慢的释放出去，所以说电感是储能，而磁珠是能量转换(消耗)器件。

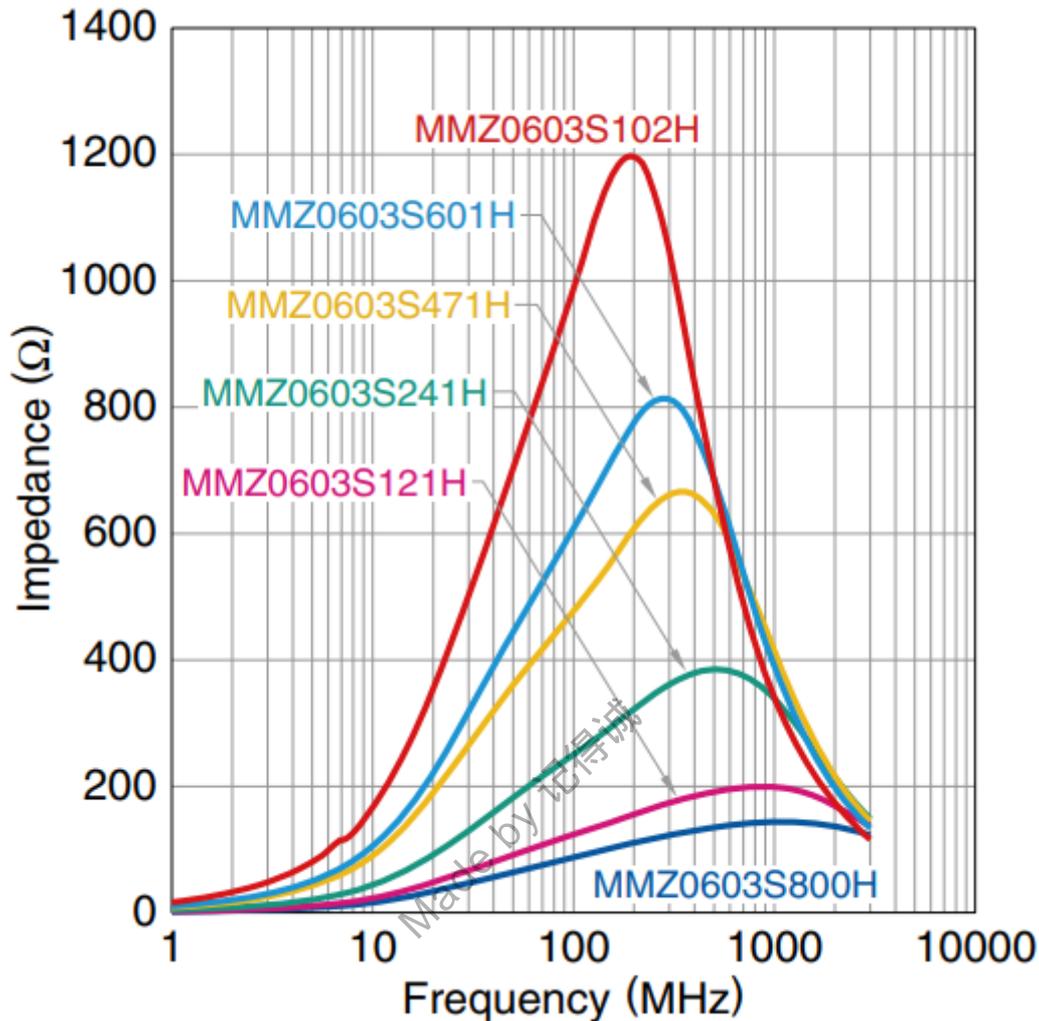
我们都知道EMI有两个途径，辐射和传导，磁珠和电感都可以解决EMC和EMI问题，但是侧重点不同。

磁珠主要解决辐射干扰问题，信号线上多用磁珠，某一些高频电路如RF、振荡电路、DDR SDRAM等都需要在电源输入部分加磁珠。

电感主要解决传导干扰问题，高频电感主要用于中低频滤波电路、RF匹配等，功率电感主要用于DC-DC电路中。

8.1.3 磁珠的主要参数有哪些？ 并做解释

① **阻抗|Z|**：业界习惯，磁珠的阻抗由100MHz时的阻抗确定，所以我们经常在磁珠的SPEC里看到**100R@100MHz**，指的是在100MHz频率下，磁珠的阻抗是100R，**阻抗越大，抑制噪声的效果越好**，有一些高频磁珠给出的阻抗是在1GHz频率下。



磁珠阻抗Z频率特性曲线
(图片来自于TDK)

有一点需要注意，看上图，在100MHz时，磁珠的阻抗并不是最大的，所以在选型时可以根据噪声频点，选择频点附近阻抗最大的型号。

100MHz在某种意义上只是一个标准，仅仅只是一个标准，个人觉得并没有太大的实际意义，因为磁珠在实际的应用中，随着频率的改变，阻抗会相应的发生变化。

所以说，单点接地用磁珠的情况很少，需要提前评估噪声的频率范围。

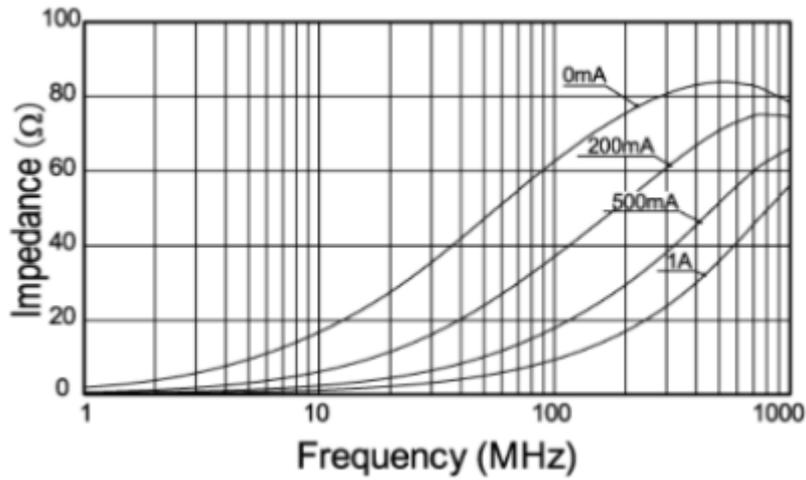
② **直流电阻DCR**：指直流电流通过磁珠时，磁珠呈现的电阻值，DCR一般越小越好，对有用信号的衰减越小。

③ **额定电流Rated Current**：指磁珠正常工作时允许的最大电流。

8.1.4 磁珠的直流重叠特性是什么？

我们都知道在电容上加不同的直流电压，电容容量是会变化的。

磁珠也有同样的直流重叠特性，片状铁氧体磁珠是一种使用铁氧体的电感器。因此，当大电流通过时，需要特别注意由于磁饱和所造成的性能改变。



片状铁氧体磁珠的直流重叠特性示例
(图片来自于村田)

从上图可以看出，通过磁珠的电流增大时，其阻抗会下降，阻抗下降就意味着抑制噪声的性能会变差，电流减小时，阻抗又会变大，性能会复原。

所以在选型时，我们要考虑好额定电流和阻抗这两个参数。

8.1.5 如何理解磁珠的等效模型

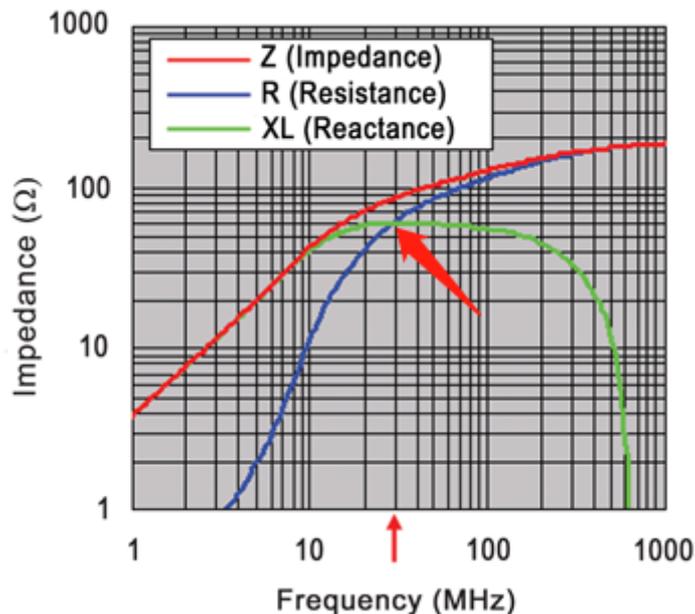
之前写过电阻电容和电感的等效模型《眼见不一定为实！电阻、电容和电感的实际等效模型》

磁珠的等效模型可以简化为一个电感和一个电阻串联，当然还会有DCR和寄生电容参数，在这里不作说明。



磁珠的简化等效电路

电感和电阻都是频率的函数，所以磁珠的阻抗为 $Z=R+j\omega L$ ，下图所示，箭头处对应的频率称之为交叉频率，有的叫转折频率。



磁珠的|Z|、R、X阻抗曲线示意

小于交叉频率，Z和XL几乎是重合的，此时的磁珠呈感性，小电感，此时反射噪声；大于交叉频率时，Z和R曲线几乎是重合的，此时磁珠呈电阻特性，大电阻，起吸收噪声并转变为热能的作用。

交叉频率越大，磁珠呈现感性的频段越宽，对低频的吸收能力越弱，对高频的吸收能力越强。交叉频率越小，磁珠呈现感性的频段越窄，对低频的吸收能力越强，对高频的吸收能力越弱。

8.1.6 磁珠选型注意事项

1. **分析有用信号和噪声的频率：**噪声的频段要大于交叉频率，便于磁珠吸收噪声而不是反射噪声；信号的频率小于交叉频率，防止信号被衰减。
2. **考虑DCR的大小：**直流电路中，防止DCR过大，导致信号衰减，比如5V 500mA的电源，经过一个DCR=1R的磁珠时，电压会衰减500mA*1R=0.5V。
一般情况下，交流阻抗越大，滤除噪声好，但是DCR也会大，对有用信号有衰减，所以这是一个权衡的过程。
3. **考虑额定电流的大小：**不要为了省成本，而一味选择低额定电流的磁珠，考虑到直流重叠特性，随着电流的变大，阻抗下降，吸收噪声性能也会下降。
举个例子，某电路大部分时间工作电流为300mA以下，最高会到400mA，但是很少，此时可以选择额定电流为400mA的磁珠。

今天的文章内容到这里就结束了，希望对你有帮助，我们下一期见。

2.9 DC-DC

9.1 DC-DC BOOST空载输入电流如何计算？

大家好，我是记得减。

今天的文章分享DC-DC BOOST芯片空载时输入电流的计算方式。

9.1.1 电流消耗分布

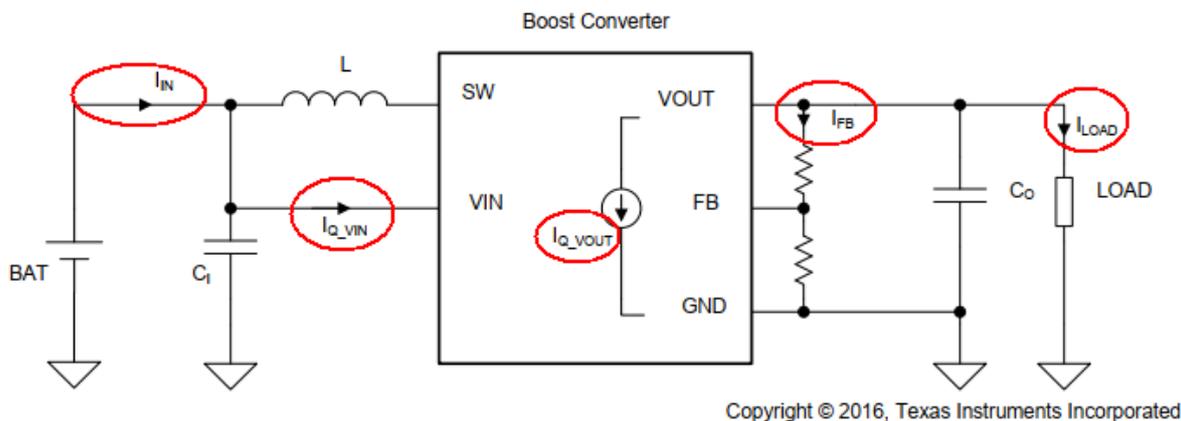


Figure 1. Current Consumption of the System

9.1.2 计算公式

计算公式为：

$$I_{in} = I_{Qvin} + \frac{V_{out}}{V_{in} * \eta_1} * (I_{Qvout} + I_{fb} + I_{load})$$

公式中各参数代表的含义如下：

I_{Qvin} is the I_q into the V_{in} pin

V_{out} is the output voltage of the boost converter

V_{in} is the input voltage of the boost converter, or the battery voltage

η_1 is the efficiency when the boost converter is switching

$I_{Q_{vout}}$ is the I_q into the $vout$ pin

I_{fb} is the current of the feedback resistor divider

I_{load} is the load current

V_{in} 和 V_{out} 都是已知的, 空载时 I_{load} 为0, I_{fb} 为输出电压除以两个反馈电阻之和, BOOST的效率一般较高, 可以选择85%~90%。

$I_{Q_{vin}}$ 和 $I_{Q_{vout}}$ 一般DC-DC的SPEC中会给出。

Parameter		Test Condition	MIN	TYP	MAX	UNIT
$I_{Q_{VIN}}$	Quiescent current into VIN pin in Low Power Mode	MODE = Low, Boost or Pass-through		5	90	nA
$I_{Q_{VOUT}}$	Quiescent current into VOUT pin in Low Power Mode	MODE = Low, Boost or Pass-through, No Load, No Switching, $T_J = 25^\circ\text{C}$		300	400	nA

TI实际测试值和公式计算值进行对比, 还是非常接近的。

Table 2. Calculation and Measurement Results of No Load Input Current

Calculation and Measurement Results of No Load Input Current			
VIN (V)	1.2	2.4	3
Calculation (μA)	1.36	0.65	0.51
Measurement (μA)	1.24	0.62	0.50

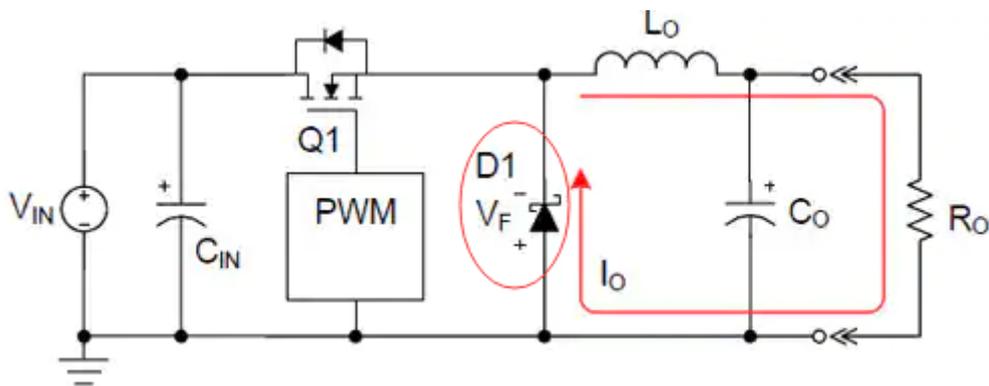
为什么用公式计算空载时输入电流, 因为一般这个值非常小, 实际测试会有很大的机器误差, 需要使用精密的电流源, 更多详细内容可以下载TI的技术文档《SLVA828-September 2016》。

9.2 DC-DC BUCK电源芯片的基本原理和组成

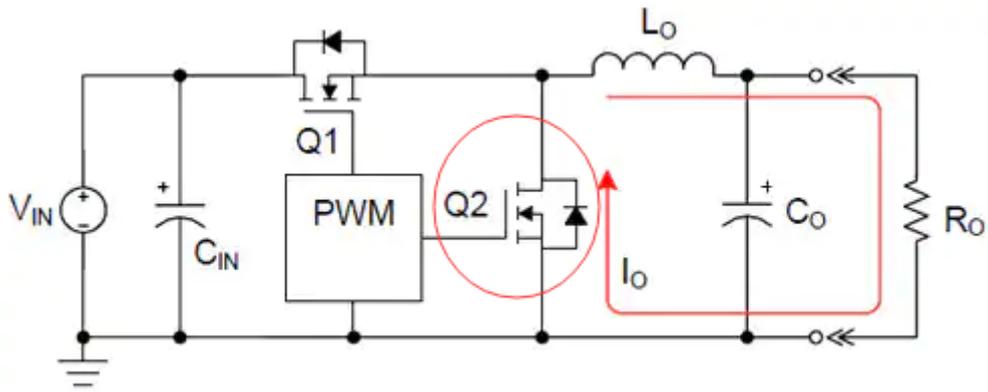
DC-DC BUCK是降压型, 这篇文章讲述DC-DC BUCK电源芯片的基本工作原理。

9.2.1 同步和非同步DC-DC

如下两个图分别是非同步架构和同步架构的DC-DC, 区别在于非同步使用二极管作为续流二极管, 同步架构使用的是MOS管。



非同步降压拓扑结构



同步降压拓扑结构

同步和非同步大致有如下的区别：

① 非同步的效率低，同步的效率高，原因是同步使用的是MOS管，MOS管的 $R_{ds(on)}$ 小，在通过大电流时，导通压降小，损耗小，效率高，而二极管的正向压降一般大于MOS管。

非同步架构二极管上的功耗为：

$$P_D = V_D * I_{OUT} * (1 - \frac{V_{OUT}}{V_{IN}})$$

同步架构MOS管上的功耗为：

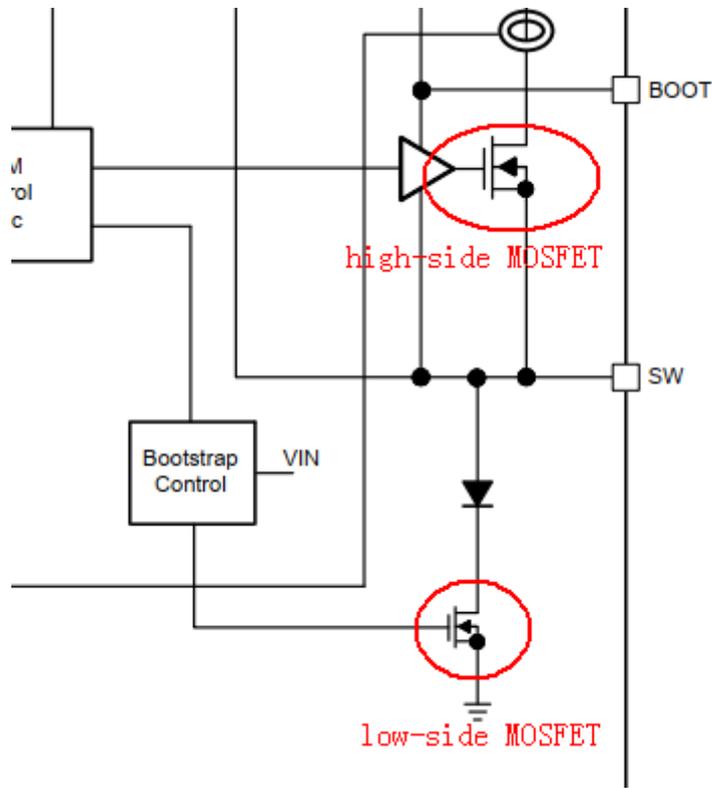
$$P_{FET} = R_{ON} * I_{OUT}^2 * (1 - \frac{V_{OUT}}{V_{IN}})$$

② 同步架构的成本更高一点，MOS管比二极管贵；因为是MOS管，还需要外加控制电路；

③ 同步的可靠性比同步高，MOS管不是理想的开关，是有开通时间和关断时间的，如果上下两个MOS管的死区时间没有控制好，使上管关断时间和下管开通时间有重叠，造成有直通现象，那么MOS管可能因电流过大而损坏。所以我们经常看到MOS管的内部框图中，上管和下管之间会有一个二极管，就是为了防止直通短路。

9.2.2 DC-DC BUCK基本原理

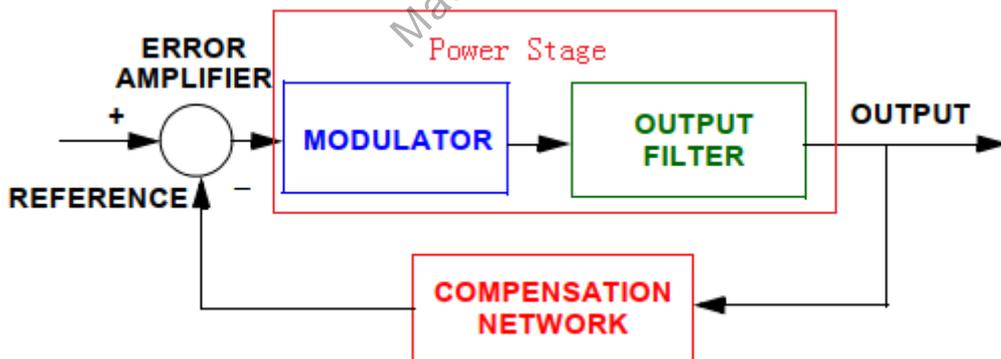
如下是DCDC BUCK芯片的框图，上面的NMOS称为high-side MOSFET，下面的NMOS称为low-side MOSFET。当高边MOS管打开时，SW为 V_{IN} ，SW对电感进行充电储能，电感电流呈上升趋势；当低边MOS管打开时，SW为GND，此时电感通过续流二极管对输出电容和负载进行供电，理论上高低MOS管不能同时打开，所以上下管打开的周期就形成了占空比，根据负载的轻重，来调节不同的占空比，满足不同负载需求。

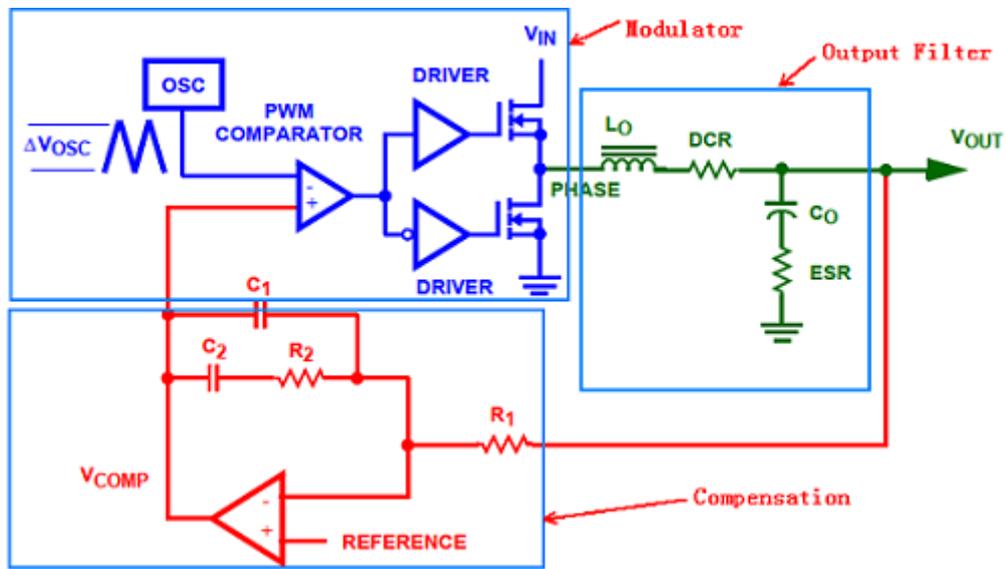


高边MOS管和低边MOS管

9.2.3 DC-DC BUCK基本组成

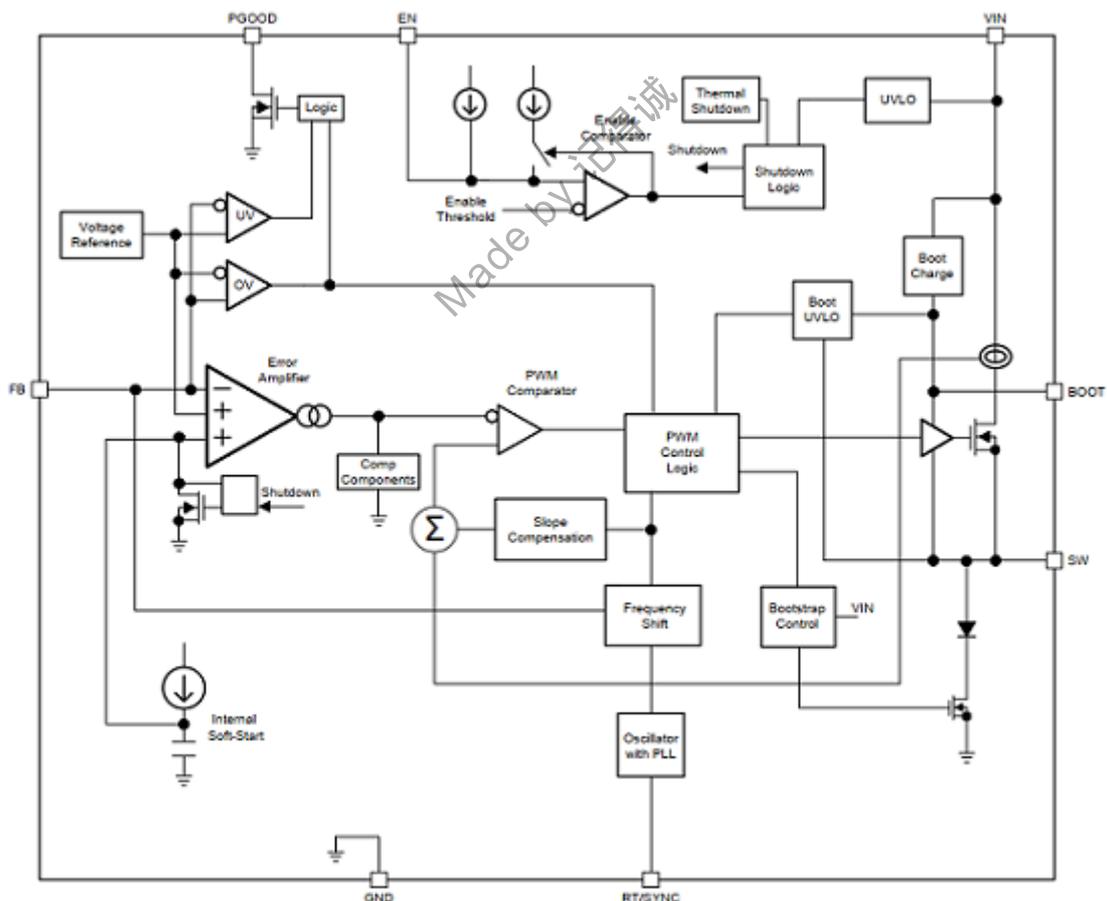
同步和非同步BUCK调节器主要都是由误差放大器，脉宽调节器，输出滤波器和补偿网络等组成，其中脉宽调节器和输出滤波器加在一起又叫**Power Stage**。



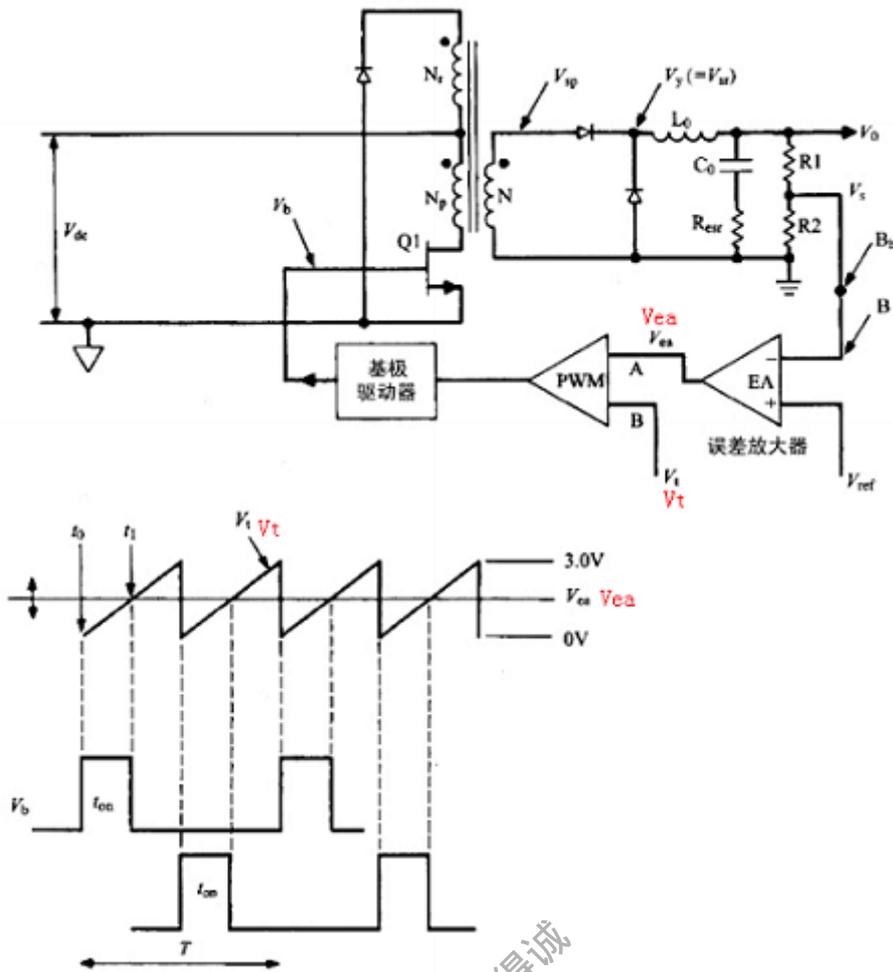


9.2.4 DC-DC BUCK闭环调节

当输入电压或者负载变化时，DC-DC的V_{OUT}是缓慢变化的，这个变化量通过反馈FB检测（R₁/R₂分压），输入到误差放大器的反向端，与正向端的参考电压进行比较，误差放大器形成一个输出变化量，这个变化量输入到PWM调制器的一端，与斜率补偿形成重新校准的占空比，来控制控制G极驱动器输出V_{OUT}，实现了系统自动调节，这个是DC-DC内部的闭环调节原理。



下图中的V_{ea}就是误差放大器的输出量，V_t就是Slope compensation，斜坡补偿。



今天的文章内容到这里就结束了，希望对你有帮助，我们下一期见。

9.3 DC-DC电路中自举电容和自举电阻是什么？

9.3.1 什么是自举电容

DCDC BUCK芯片有一个管脚叫BOOT，有的叫BST，如下是一个DCDC芯片对BOOT管脚的解释，在外部电路设计时，BOOT和SW管脚之间，需要加一个电容，一般是0.1uF，连接到DCDC高端MOS管的驱动端，这个电容就叫作**自举电容**。

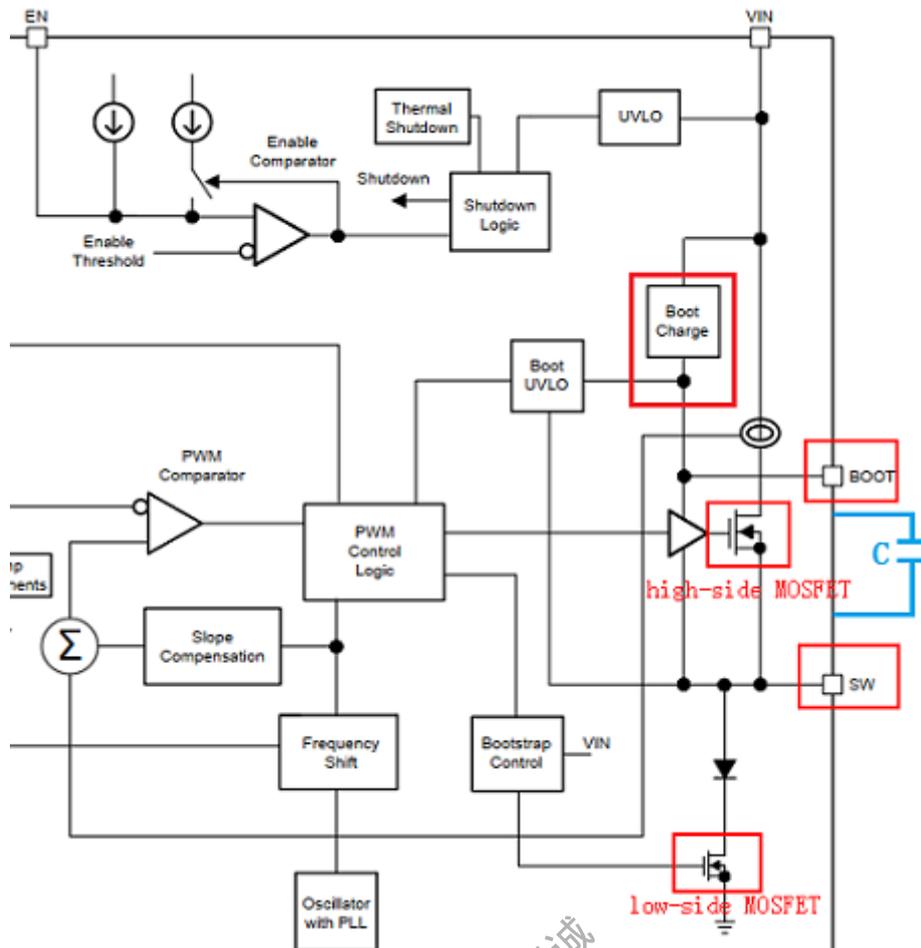
BOOT	1	P	Bootstrap capacitor connection for high-side MOSFET driver. Connect a high quality 0.1 μ F capacitor from BOOT to SW.
------	---	---	---

9.3.2 自举电容的原理

如下是DCDC BUCK芯片的框图，上面的NMOS称为high-side MOSFET，下面的NMOS称为low-side MOSFET。当高边MOS管打开时，SW为VIN，SW对电感进行充电储能，电感电流呈上升趋势；当低边MOS管打开时，SW为GND，此时电感通过续流二极管对负载进行供电，理论上高低MOS管不能同时打开，所以上下管打开的周期就形成了占空比，根据负载的轻重，来调节占空比，来满足不同负载需求。

以上就是DC-DC BUCK的大致原理。

如下图中的C就是自举电容，当低边MOS管打开时，SW为0，BOOT上的电压由BOOT Charge提供，假如是5V，就对电容进行充电；当关闭低边MOS管，选择打开高边MOS管，因为高边 $V_{gs} > V_{gs(th)}$ ，所以高边MOS管能打开，随着高边MOS管打开，SW上的电压就会变成VIN，如果不加这个C，那当 $V_{gs} < V_{gs(th)}$ 时，就会出现高边MOS管无法打开；加上C之后，利用电容电压不能突变的特性，当SW变成VIN，那BOOT上的电压就会变为VIN+5V，此时 V_{gs} 会大于 $V_{gs(th)}$ ，高边MOS管就打开了。



9.3.3 自举电容的额定电压如何选择

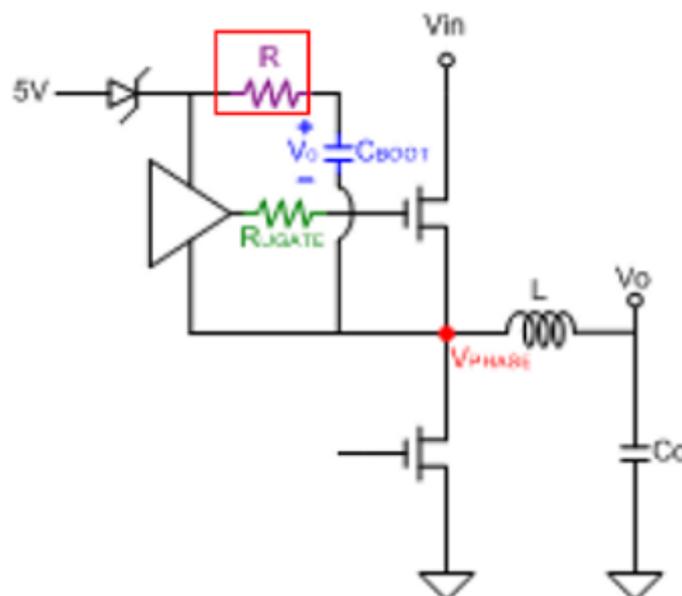
一般SPEC上会给出BOOT to SW的最大值，如下图所示是6.5V，所以一般选10V/16V耐压值的电容即可。

Over the recommended operating junction temperature range of -40 °C to 125 °C (unless otherwise noted) ⁽¹⁾

		MIN	MAX	UNIT
Output Voltages	BOOT to SW		6.5	V
	SW to GND	-3	65	

9.3.4 什么是自举电阻

其实在自举电路中，也可以加入电阻，一般叫BOOT电阻。BOOT电容的作用是SW在高电平时，利用电容两端电压不能突变特性，会将BOOT脚电压泵至比SW高的电压，维持高边MOSFET的导通状态。



加入了BOOT电阻，和BOOT电容就构成了RC充电电路，电阻的大小决定了高边MOSFET的开关速度。一般BOOT电阻越大，高边MOSFET开的就越慢，这个时候SW上的尖峰就越小，EMI特性就好。BOOT电阻越小，MOSFET开的快，SW上的尖峰就越大，所以有的时候会在SW上预留RC对地吸收。

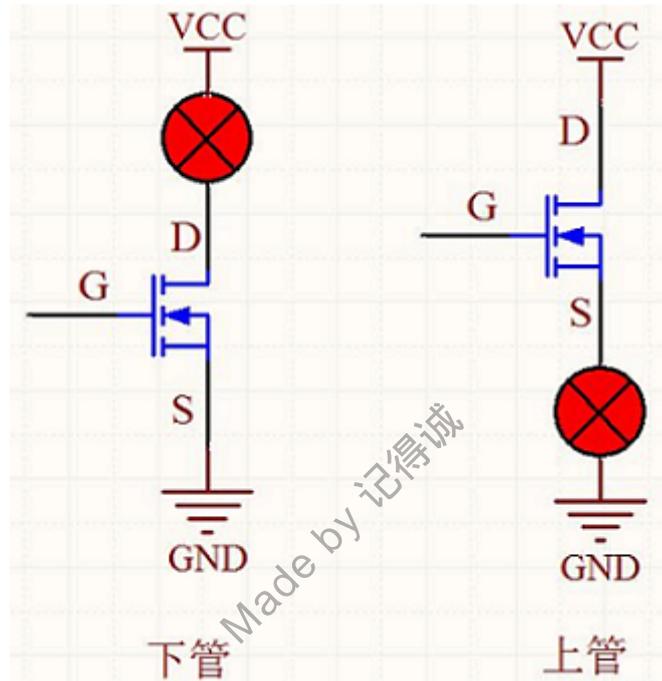
今天的文章内容到这里就结束了，希望对你有帮助，我们下一期见。

9.4 为什么DC-DC上管用NMOS?

大家好，我是记得诚。

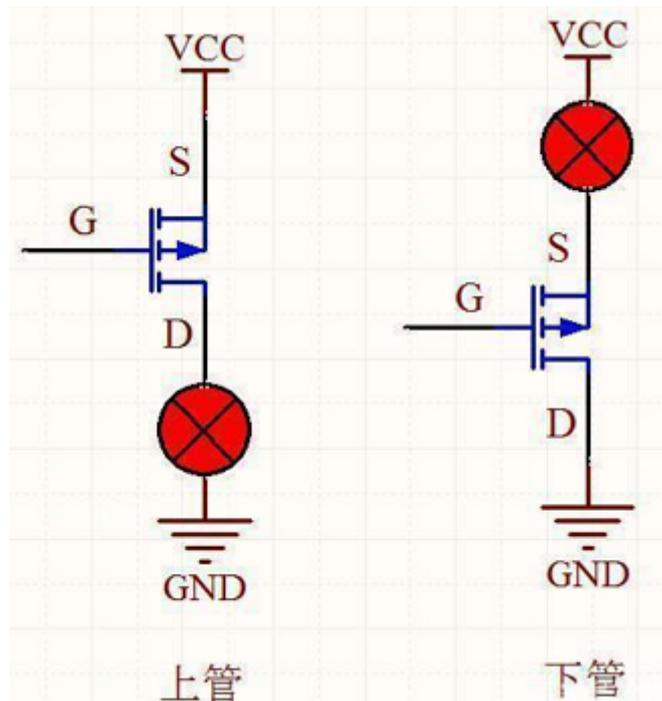
在电路中，NMOS经常用作下管，S极接地，用G极来控制管子的导通截止，很方便。

NMOS用作上管时，因为S极电平不确定，即G极电平也不好确定，很不方便。



PMOS经常用作上管，S极接固定的VCC，用G极来控制管子的导通截止。

用作下管时，因为S极电源不确定，无法确定G极电压来控制管子的导通截止。



今天的问题并不是这个，而是说DC-DC上管为什么用NMOS的多，而不是PMOS。

上管用NMOS，还要用到自举电容，麻烦还增加成本。

最主要原因是PMOS的Rds(on)比较大，意味着DC-DC的损耗大，效率低，综合下来，DC-DC上管还是用NMOS的多。

在rohm的产品目录中，可看出内阻差别，NMOS都是几个毫欧，PMOS一般是几十毫欧。

Spice Model	Package Code	Package Size [mm]	Polarity	Drain-Source Voltage VDSS [V]	Drain Current ID [A]	RDS(on) [O] VGS=Drive (Typ.)	Drive Voltage [V]
	-	18.6x9.9 (t=4.7)	Nch	40	70	0.0044	4.5
-	-	18.6x9.9 (t=4.7)	Nch	40	180	0.00133	4.5
	TO-252 (DPAK)	6.6x10.0 (t=2.3)	Nch	40	40	0.007	4.5
	TO-252 (DPAK)	6.6x10.0 (t=2.3)	Nch	40	50	0.0047	4.5
	TO-252 (DPAK)	6.6x10.0 (t=2.3)	Nch	40	60	0.0033	4.5
	TO-263AB	10.1x15.1 (t=4.7)	Nch	40	80	0.005	4.5
	TO-263AB	10.1x15.1 (t=4.7)	Nch	40	120	0.00154	4.5

rohm NMOS Rdson参数

Spice Model	Package Code	Package Size [mm]	Polarity	Drain-Source Voltage VDSS [V]	Drain Current ID [A]	RDS(on) [O] VGS=Drive (Typ.)
	TO-252 (DPAK)	6.6x10.0 (t=2.3)	Pch	-40	-15	0.038
	TO-252 (DPAK)	6.6x10.0 (t=2.3)	Pch	-40	-35	0.0185
	TO-252 (DPAK)	6.6x10.0 (t=2.3)	Pch	-40	-70	0.0069
	DFN2020-8S	2.0x2.0 (t=0.6)	Pch	-40	-6	0.04
	HSMT8 (3.3x3.3)	3.3x3.3 (t=0.8)	Pch	-40	-35	0.0123
	SOT-457T	2.9x2.8 (t=1.0)	Pch	-40	-5	0.038
	TSMT8	3.0x2.8 (t=0.8)	Pch	-40	-8	0.0181

rohm PMOS Rdson参数

在实际应用中，NMOS用的比PMOS多，从rohm MOS型号种类也可以看出来。

- ➔ 单N沟道MOSFET (171)
- ➔ 单P沟道MOSFET (114)

对于PMOS，ID为空穴电流，NMOS的ID为电子电流，空穴的移动比电子难，这也是PMOS导通内阻大的原因。

形成空穴沟道比电子沟道更难，所以一般PMOS的导通电压也会比NMOS的导通电压高一些。

今天的文章内容到这里就结束了，希望对你有帮助，我们下一期见。

2.10 LDO

10.1 LDO参数解读、特性、参考设计

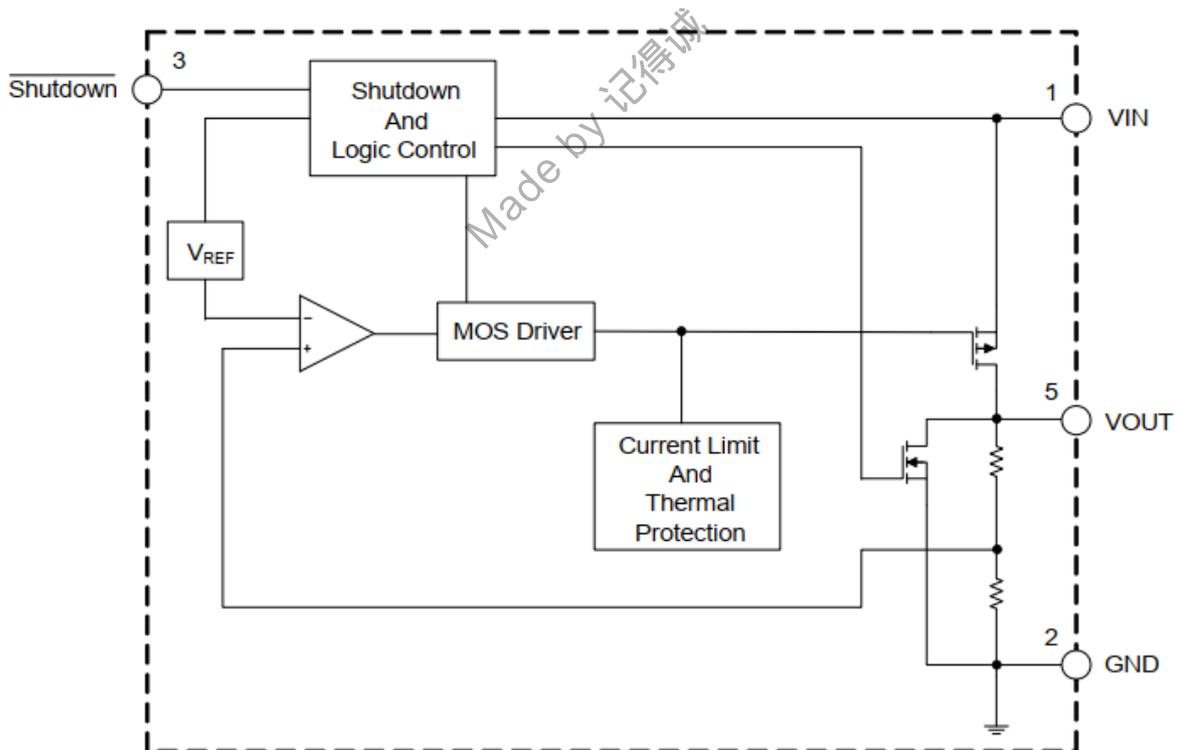
大家好，我是记得诚。

这篇文章我们一起来学习一下LDO的相关知识。

10.1.1 工作原理

LDO是Low Dropout Regulator的缩写，意思是低压差线性稳压器。

下面是LDO的内部框图，大致的工作原理就是：参考电压 V_{REF} 和反馈电压FB（ V_{OUT} 通过两个电阻分压）分别接在误差放大器的反向和正向端，然后输出误差量，再通过MOS drive调整输出电压大小，达到输出稳定。当输出电压增大时，FB增大，放大器输出电压增加，PMOS管的G极电压增大， U_{sg} 减小，PMOS的输出电流和电压较小，形成了一个负反馈系统。



LDO典型框图

10.1.2 基本参数解释

1) **输入电压范围**：规定设计输入电源范围；

2) **静态功耗 (Quiescent Current)**：输出电流为0时的输入电流，即 V_{OUT} 空载时输入电流。好的LDO和差的LDO相比较，是在电源纹波抑制比PSRR差不多的时候，静态耗流会更低；

3) **关闭功耗 (Shut down Current)** : 使能脚拉低, $V_{OUT}=0V$ 时, V_{IN} 上消耗的电流即为关闭功耗, 一般在 $1\mu A$ 以内, 越小越好;

4) **电源纹波抑制比PSRR**: 这个参数越大越好, 代表抑制输入纹波的能力越强, 一般SPEC给出的是 $1KHz$ 下的值, 如: $68dB@F=1KHz$ 。

LDO的最大的优点之一是它们能够衰减开关模式电源产生的电压纹波, 所以一般在 $100K$ 到 $1MHz$ 之间的PSRR非常重要, 这也是为什么我们经常看见DC-DC后面搭配一个LDO使用, 敏感的模拟电源AVDD上, 如ADC, Camera等, 选择高PSRR的LDO;

PSRR的计算公式如下所示:

$$PSRR (dB) = 20 \log \frac{V_{ripple (in)}}{V_{ripple (out)}}$$

5) **输出电流**: 设计时预留50%的余量, 实际运用过程中, 输出电流的大小和输入输出电压都有关系;

6) **输出电压**: 分为可调和固定, 根据实际情况选择在, 一般最好选择固定的;

7) **输出电压精度**: 一般是2%, 还有5%的;

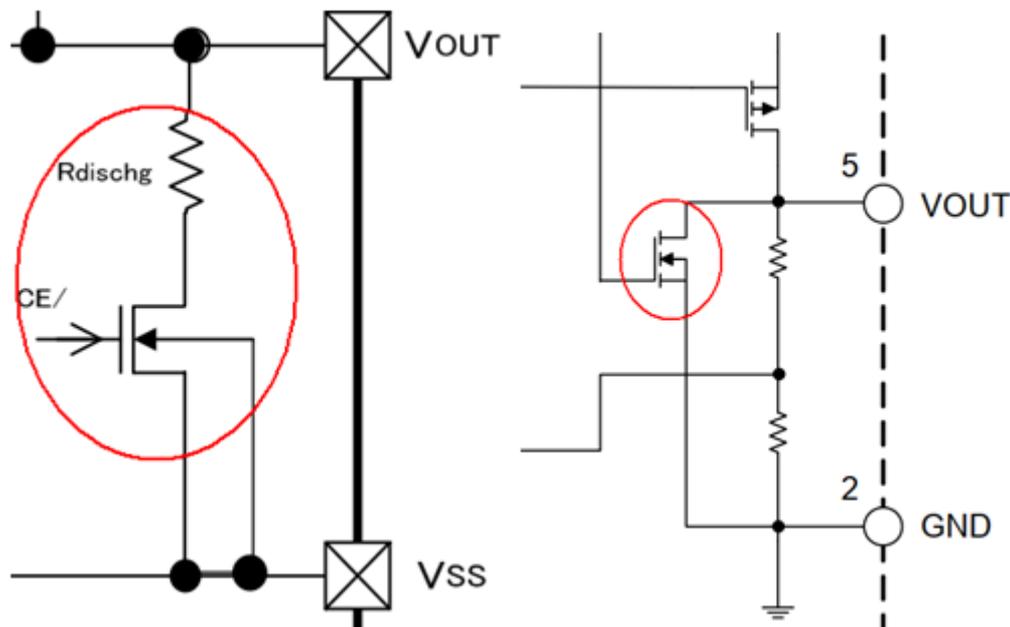
8) **耗散功率**: $500mW$, 使用时不能超过这个值;

9) **地电流 (Ground Current)** : 指的是输入电流和输出电流的差值。指的是LDO正常工作状态, 在特定的负载下, LDO自身消耗的电流。

10.1.3 LDO的一些特性

10.1.3.1 输出自放电

带自放电功能的LDO, 能尽快泄放输出电容上的能量, 保证LDO尽快关闭, 下次开启是从 0 电压。坏处是如果外部有电压加到或者串到 V_{OUT} 上, 因为 V_{OUT} 上的 R_{dischg} 电阻, 会有一些的耗流产生, 确定不会有串电到 V_{OUT} 上用带自放电的LDO比较好。



在LDO关闭时, 下图中的MOS管会自动打开, V_{OUT} 通过 R_{dischg} 对地放电, 有的LDO框图中没有画这个自放电电阻, 但是也是带自放电功能的, 自放电电阻大小可以通过RC放电公式进行计算。

10.1.3.2 软启动

带软启动的LDO可以有效的控制电流，使输出较平缓的上升。

通过软启动功能可以大幅度地控制冲击电流。

冲击电流的波状示例如图32所示。

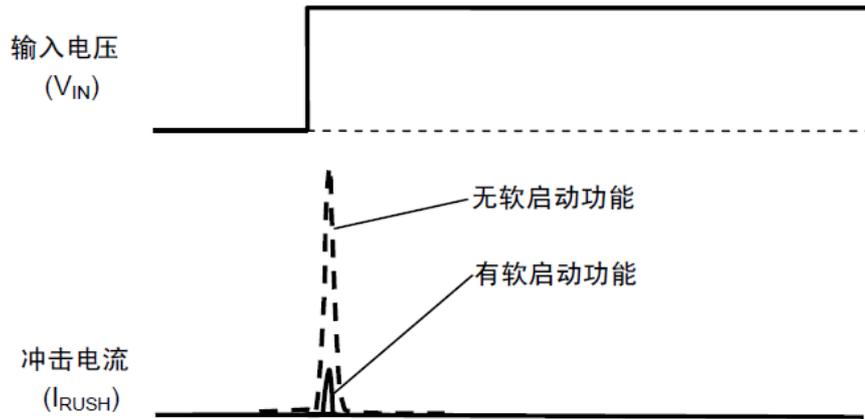
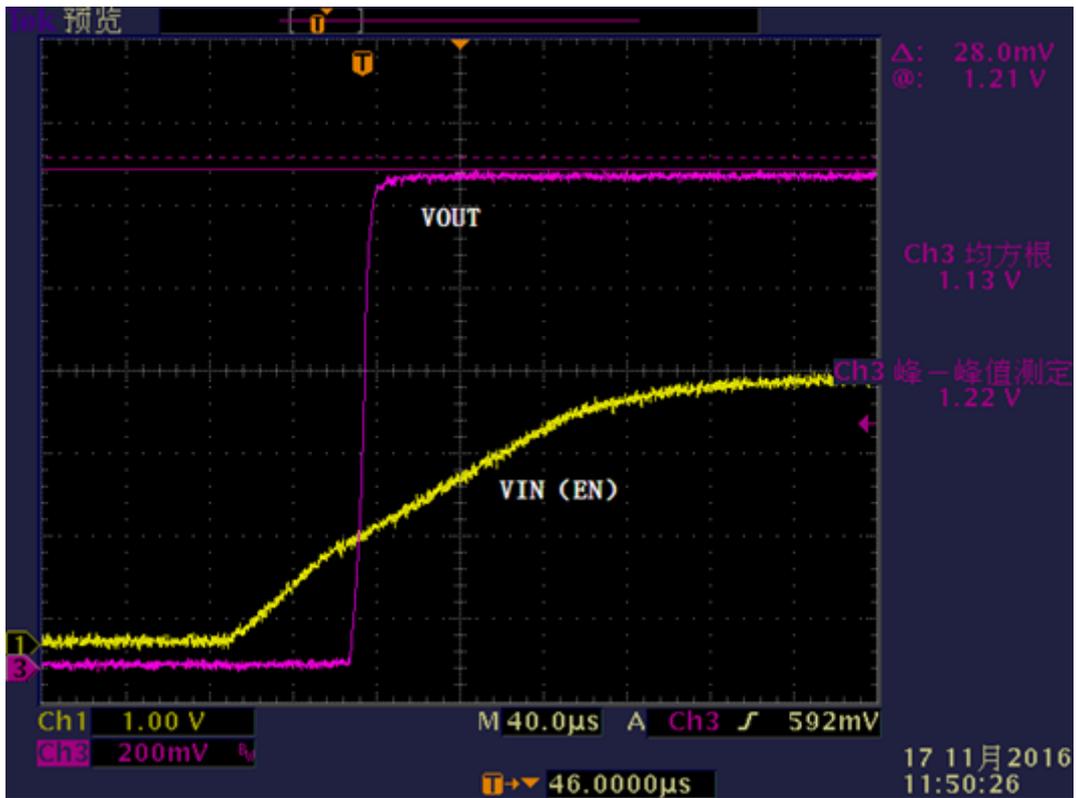
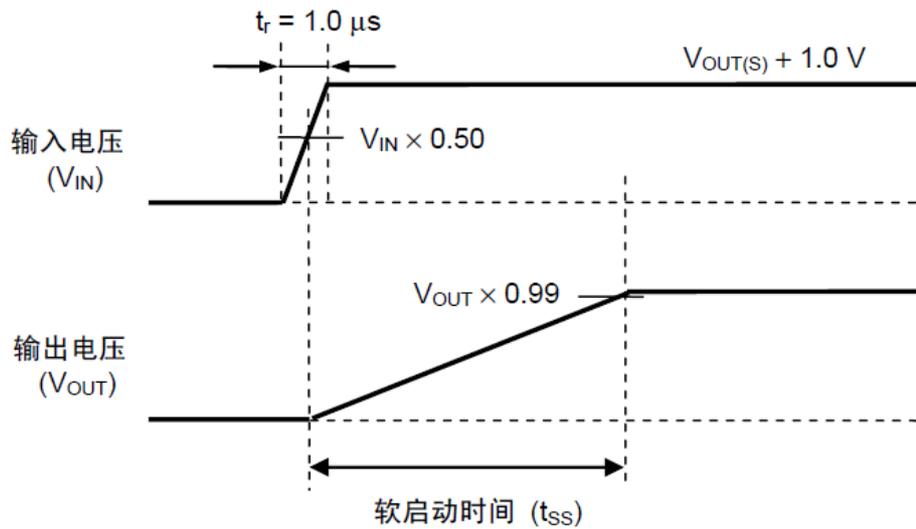


图32 冲击电流的波状示例

实际测试LDO的上电瞬间， V_{OUT} 起来是比较平缓的，并没有电压过冲。



软启动的时间可以依据下图测试，TSS是输入电压上升到0.5倍到 V_{OUT} 完全起来的时间间隔。



10.1.3.3 LDO效率

LDO效率的计算公式为：

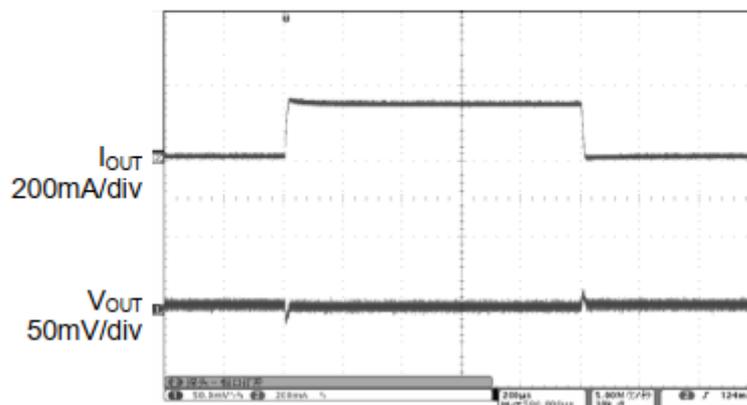
$$\text{效率} = \frac{V_o \times I_o}{(I_o + I_q) \times V_{in}} \times 100\%$$

输入电流等于输出电流加上静态功耗，根据以上公式，当LDO处在轻载时， I_q 就非常重要， I_q 越小，效率就越高。

10.1.3.4 动态负载调整

指的是输入电压一定，输出电压随负载电流变化而产生的变化量，当负载电流变化缓慢时，一般LDO能保持LDO恒定不变。当负载电流快速变化时，输出电压就会随之改变。这个输出电压的改变量决定了负载瞬态性能，这个值越小越好。

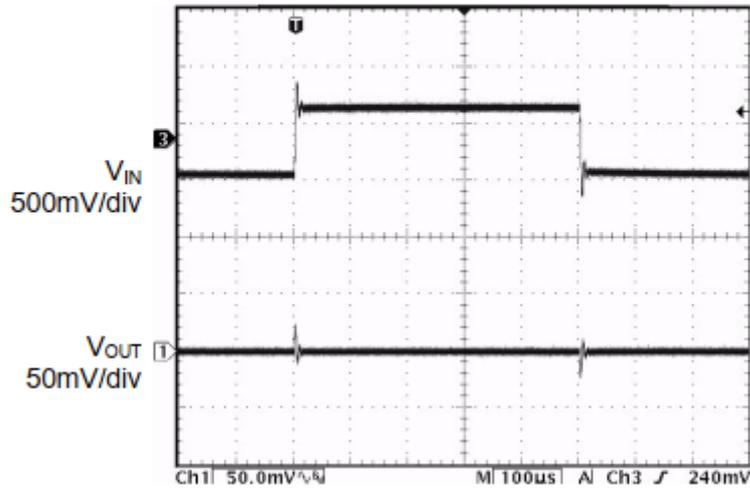
Load Transient
 (Condition: $C_{IN}=C_{OUT}=1\mu F$, $I_{OUT}=10mA$ to $300mA$,
 $V_{IN}=4.3V$, $V_{OUT}=3.3V$)



10.1.3.5 线性瞬态响应

在负载一定的时候，输出电压随着输入电压改变而产生的变化量。这个值越小越好。

Line Transient
 (Condition: $C_{IN} = C_{OUT} = 1\mu F$, $I_{OUT} = 10mA$,
 $V_{IN} = 2.5V$ to $3.3V$, $V_{OUT} = 1V$)



在AP2127的SPEC上可以看到，动态负载响应和线性瞬态响应都是比较好的。

ΔV_{OUT}	Load Regulation	$V_{IN} - V_{OUT} = 1V$ $1mA \leq I_{OUT} \leq 300mA$	—	4	10	mV
ΔV_{OUT}	Line Regulation	$V_{OUT} + 0.5V \leq V_{IN} \leq 6V$ $I_{OUT} = 30mA$	—	0.5	5	mV

10.1.3.6 压差 (Dropout Voltage)

指保持电压稳定所需要的输入电压和输出电压之间的最小差值。当输入电压为 V_{IN1} ，输出为 V_{OUT1} ，缓慢降低 V_{IN1} ，当输出降低到 V_{OUT1} 的98%时，此时输入电压为 V_{IN2} ，那么 $V_{drop} = V_{IN2} - V_{OUT1} * 98\%$ ， V_{drop} 越小越好，意味着低功耗高效率。

V_{DROP}	Dropout Voltage	$V_{OUT} = 1.0V, I_{OUT} = 300mA$	—	1400	1500	mV
		$V_{OUT} = 1.2V, I_{OUT} = 300mA$	—	1200	1300	
		$V_{OUT} = 1.5V, I_{OUT} = 300mA$	—	900	1000	
		$V_{OUT} = 1.8V, I_{OUT} = 300mA$	—	600	700	
		$V_{OUT} = 2.5V, 2.8V, 3.0V, 3.3V, 4.2V,$ $I_{OUT} = 300mA$	—	170	300	
		$V_{OUT} = 4.75V,$ $I_{OUT} = 300mA$	—	140	300	

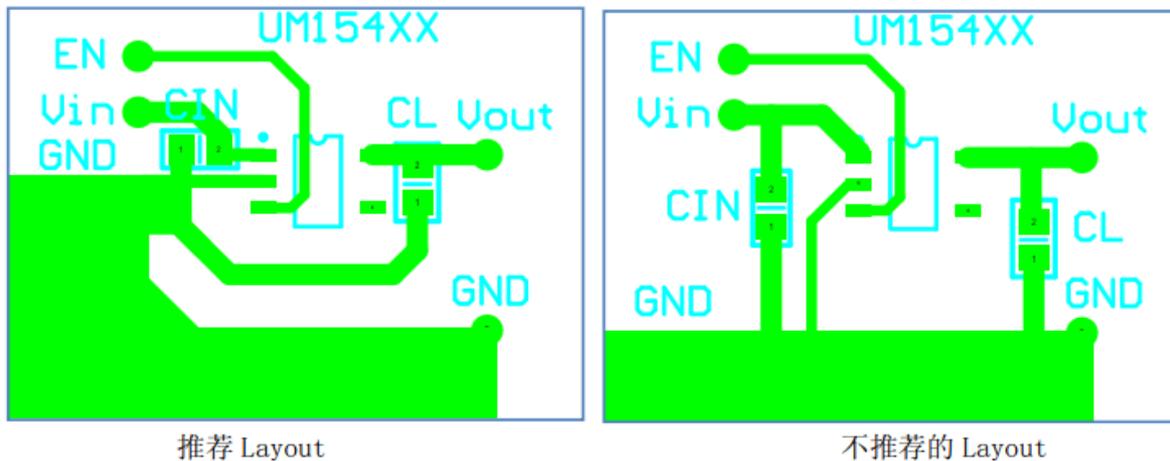
10.1.4 参考设计

10.1.4.1 输入输出电容选择

现在一般LDO输入输出各加一个1uF陶瓷电容即可，可选择X5R或者X7R，ESR也会影响LDO系统的稳定性，根据SPEC来选择合适的ESR的电容。提高输出电容的容值，可以提高LDO的瞬态响应性能，缺点是会延长启动时间。

10.1.4.2 Layout参考

输入输出电容靠近LDO管脚放置，LDO和电容要使用同一铜层铺地，输入输出电容的地环路要短。



今天的文章到这里就结束了，希望对你有帮助，我们下一期见。

10.2 请举手回答，LDO和DC-DC有什么不同？

大家好，我是记得诚。

DC-DC和LDO都是电源芯片，两者差异很大，用法也不同，这篇博客讲述LDO和DC-DC的一些差异，帮助更好的认识LDO和DC-DC并进行选型。

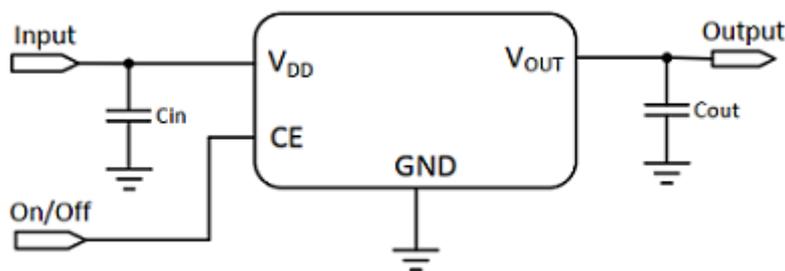
10.2.1 LDO是什么

LDO是low dropout regulator的简称，即低压差线性稳压器，这是相对于传统的线性稳压器来说的，传统的稳压器，输入比输出要高出很多，否则无法工作，LDO可能输入比输出高1~2V即可。

LDO低压差，主要是内部使用PMOS管，普通的线性稳压器使用的是PNP三极管，PMOS是电压驱动，无需电流，大大减少LDO本身消耗的电流；普通的稳压器为了防止PNP三极管进入饱和状态而降低输出能力，所以输入输出压降不能太低，而PMOS管的导通内阻很小，导通压降等于导通内阻乘以输出电流，所以导通压降很低。

10.2.2 LDO典型电路

现在的LDO集成度高，一般只需要2个电容（一般是2个1uF）和一个LDO芯片即可，电路简单。



LDO典型电路

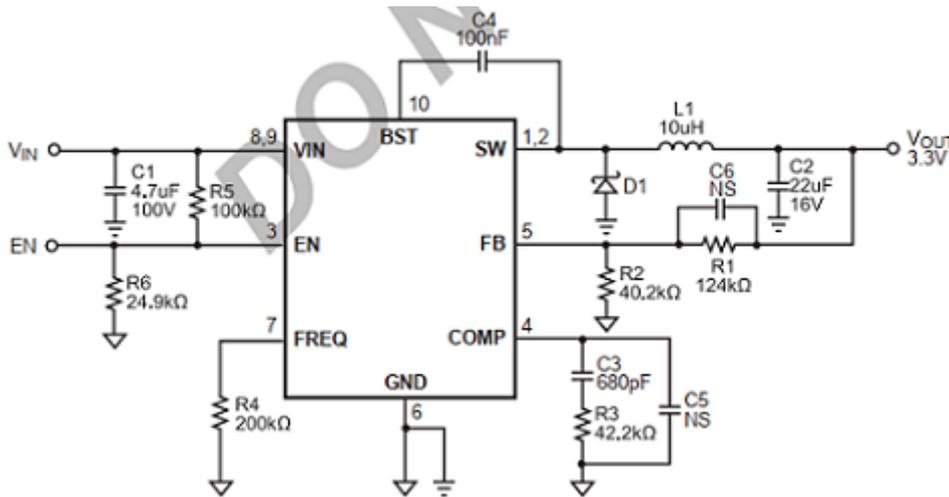
10.2.3 DC-DC是什么

DC-DC是一种在直流电路中将一个电压值的电能变为另一个电压值的电能的装置，严格意义上LDO也是一种DC-DC，在电源芯片选型中，LDO和DC-DC则是两种完全不同的芯片。

DC-DC包括三种类型：BUCK（降压）、BOOST（升压）、BUCK/BOOST（升降压）。

10.2.4 DC-DC典型电路

一个典型的DC-DC BUCK电路，包括输入输出电容，FREQ频率设置，EN使能管脚，FB反馈电阻，SW上加续流二极管和电感，BST电容，COMP频率补偿等。



DC-DC典型电路

10.2.5 LDO和DC-DC区别

从上面的一些描述中，可以大致得出LDO和DC-DC的区别，请拿小本本记好：

- LDO外围器件少，电路简单，成本低；DC-DC外围器件多，电路复杂，成本高；
- LDO负载响应快，输出纹波小；DC-DC负载响应比LDO慢，输出纹波大；
- LDO效率低，输入输出电压差不能太大；DC-DC效率高，输入电压范围宽泛；
- LDO只能降压；DC-DC支持降压和升压；
- LDO和DC-DC的静态电流都小，根据具体的芯片来看；
- LDO输出电流有限，最高可能就几A，且达到最高输出和输入输出电压都有关系；DC-DC输出电流高，功率大；
- LDO噪声小；DC-DC开关噪声大，为了提高开关DC-DC的精度，很多应用会在DC-DC后端接LDO；
- LDO分为可调和固定型；DC-DC一般都是可调型，通过FB反馈电阻调节；

关于DC-DC后面接LDO：LDO有一个参数电源纹波抑制比PSRR，这个参数越大越好，代表抑制输入纹波的能力越强，一般SPEC给出的是1KHz下的值，如：68dB@F=1KHz，LDO的最大的优点之一是它们能够衰减开关模式电源产生的电压纹波，所以一般在100K到1MHz之间的PSRR非常重要，这也是为什么我们经常看见DC-DC后面搭配一个LDO使用，敏感的模拟电源AVDD上，如ADC，Camera等，选择高PSRR的LDO；

10.2.6 小结一下

了解了LDO和DC-DC的区别之后，能很好的进行选择，比如：输入输出电压差大，选择DC-DC；降压型且输入输出电压差小，选择LDO；需要很大的输出电流选择DC-DC，升压只能选择DC-DC等。

今天的文章内容到这里就结束了，希望对你有帮助，我们下一期见。

2.11 Charger

2.11.1 充电芯片和王者荣耀的那些勾当

这是我公众号的第一篇文章，我重新整理了一下，对大家理解充电芯片还是有很大帮助的。

平时生活中，我们肯定有一边充电一边玩手机的情况，遇到过手机电量不增反降，原因我们都知道，消耗的比充的多。

那有没有想过一个问题，手机没电了，这时候你一边充电，一边又想玩王者荣耀，即充电器一边给手机内部的电池充电，一边给你“充电”，你要玩王者荣耀，手机得处于开机状态，屏幕得是亮着的，你的ADC正在走A走A击打小兵。

而每手机充电器的功率是已知的，比如说30W，那手机是如何分配这个功率的呢？以确保电池在正常充电，你玩王者荣耀也不受影响呢？电池充电和你玩王者荣耀那个更重要呢？

其实这牵扯到充电芯片的DPPM功能，即动态电源路径管理功能。

还是继续讲玩王者荣耀这件事情，很多小伙伴看到这里，可能拿起了手机，准备双排上王者了，但是发现手机只有1%的电了，那怎么办呢？

你决定放大招。

第一招，你慌乱之中找了一个杂牌充电器，充电芯片检测到你的输入电压不正常，并且有下降的趋势，当降低到某个值，输入电流的限制会降低以阻止输入电压继续降低。

第二招，你开启了高帧率模式，你的ADC手感逐渐进入状态，但是这时候手机耗电量增大了，给电池充电的电流加上玩王者荣耀的电流已经超过adapter输出的最大电流，供不应求，系统输出电压会降低，当电压降到某个值时，充电芯片会自动进入DPPM模式。

在DPPM模式下，你玩王者的优先级是最大的，你欲求不满，并将手机亮度开到最大，耗电量相比较之前又增大了，系统会偏心，将电池充电的电流减小，将这部分电流匀给你，当然如果你一直“贪得无厌”，系统会逐渐减少电池充电电流，将所有的adapter输出电流都给你用来玩王者荣耀直至关闭电池充电。

最后的大招，虽然大家都在帮助你，但是你玩2把跪2把，太菜了，这时候你找来自己的基友双排，你们开启了QT语音，这时候耗电量又变大了。在使用第二招时，充电芯片已经关闭了电池充电，adapter所有的能量都用来给你上王者，当你玩王者的耗电量超过adapter最大输出时，系统的输出电压会降低，当降低至某个值，电池会忍受自己吃不饱（不充电），舍己为人，把自己的能量也给你了，助力你上王者，直到你手感变好，当输出电压升高至某个值时，电池才停止向你供给能量。

3 电路设计

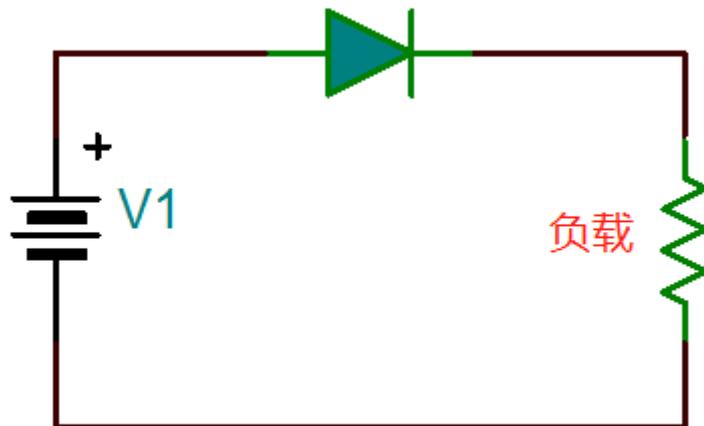
3.1 二极管防反接电路

二极管防止电源反接，比MOS管成本低，也更简单一些，但是也有局限性，一种方式是与电路串联，一种与电路并联。

3.1.1 串联防反接

V1正接时，D1导通，假设D1的导通压降为 V_F ，则加在负载上的电压为 $V_1 - V_F$ ，这个电路缺点就是会有损耗，损耗功率是 $P = I * V_F$ ，对输出电压有要求的需要考虑D1的导通压降 V_F 的大小，大电流的电路需要考虑D1的输出电流值，所以一般用在高压的场合；

当电源V1反接时，利用二极管的反向截止特性，阻碍了电流流动，无法与负载R1形成一个回路，保护了负载。

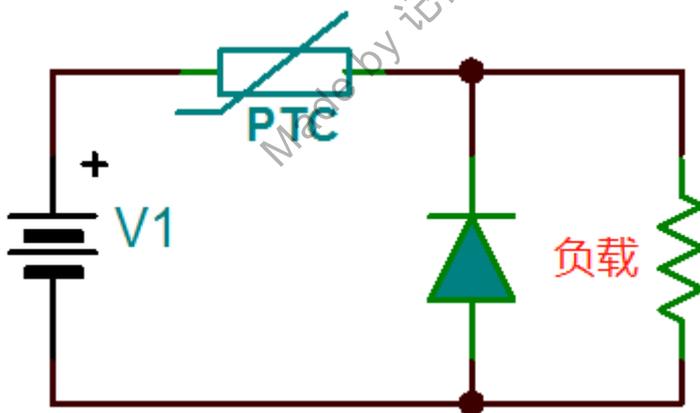


二极管串联防电源反接电路

3.1.2 并联防反接

V2正接时，D2处于反向截止，电路正常工作。

V2反接时，此时D2正向导通，将反向电压钳位在 V_F （二极管导通压降）， V_F 需要小于负载的最大反向电压；另一方面，PTC检测到回路电流过大时，会断开，保护后端负载。这个电路缺点是多一个保险丝，增加BOM成本，如果V2后面接多个负载，使用上述电路需要格外注意，保险丝选择可恢复保险丝。



二极管并联防电源反接电路

今天的文章到这里就结束了，希望对你有帮助，我们下一期见。

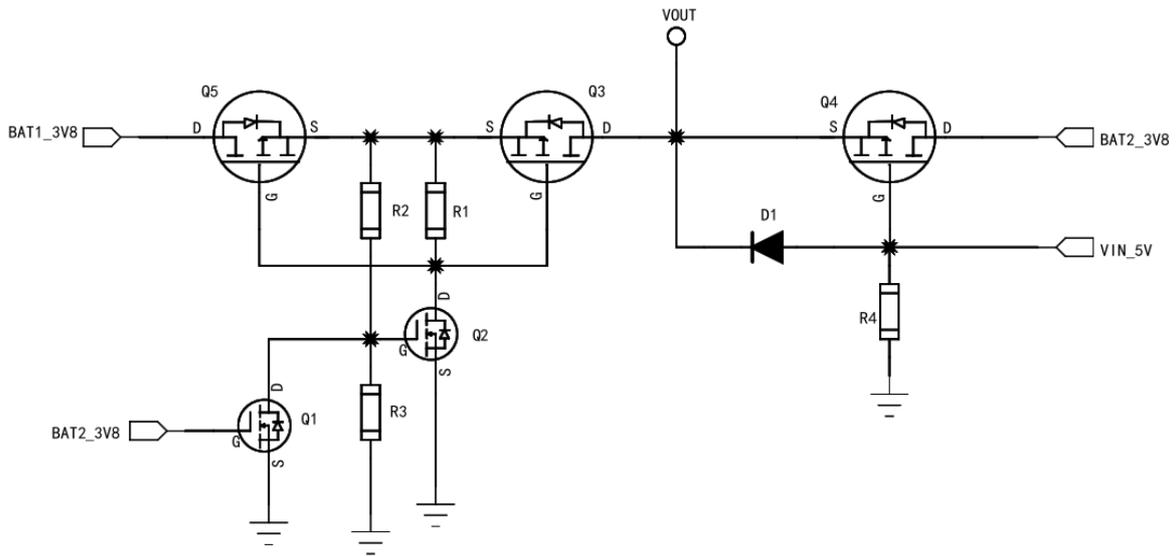
3.2 三电源切换电路

大家好，我是记得诚。

双电源切换我们都很熟悉，也很常用，一般是一个外部电源加一个内部电池，外部电源优先级高于电池。

有电池，电池给系统供电，有外部电源，外部电源给系统供电，两者都有时，外部电源给系统供电，同时也给电池充电，外部电源意外断电，内部电池会续上。

前段时间画了一个三电源切换电路，我们一起来看一下。



3.2.1 电路描述

- 1、Q1、Q2为NMOS，Q3、Q4和Q5为PMOS管，D1为二极管。
- 2、BAT1=BAT2=3.8V，是电池，BAT2的容量比BAT1大，VIN_5V为外部电源，VOUT为输出，给系统供电。
- 3、VOUT会从优先级高的电源取电，优先用外部电源，其次容量大的电池，最后才是容量较小的电池，优先级排序：VIN_5V > BAT2 > BAT1。

3.2.2 工作原理

再看一下电路的工作原理。

1. 当只有BAT1时，Q2、Q3和Q5导通，VOUT从BAT1取电。
2. 当只有BAT2时，Q1导通，Q2、Q3和Q5截止，Q4导通，VOUT从BAT2取电。
3. 当只有VIN_5V时，VIN_5V通过二极管D1到VOUT，VOUT从VIN_5V取电。
4. 当BAT2和BAT1同时存在，Q1导通，Q2、Q3和Q5截止，Q4导通，VOUT从BAT2取电。
5. 当VIN_5V和BAT2同时存在，Q1导通，Q2、Q3和Q5截止；VIN_5V通过D1到VOUT，BAT2通过Q4的体二极管到VOUT，因为VIN_5V较大，VOUT从VIN_5V取电。
6. 当VIN_5V和BAT1同时存在，Q2、Q3和Q5导通，BAT1到VOUT，VIN_5V通过二极管D1到VOUT，因为VIN_5V较大，VOUT从VIN_5V取电。
7. 当BAT1、BAT2和VIN_5V同时存在，参考4&5，VOUT从VIN_5V取电。

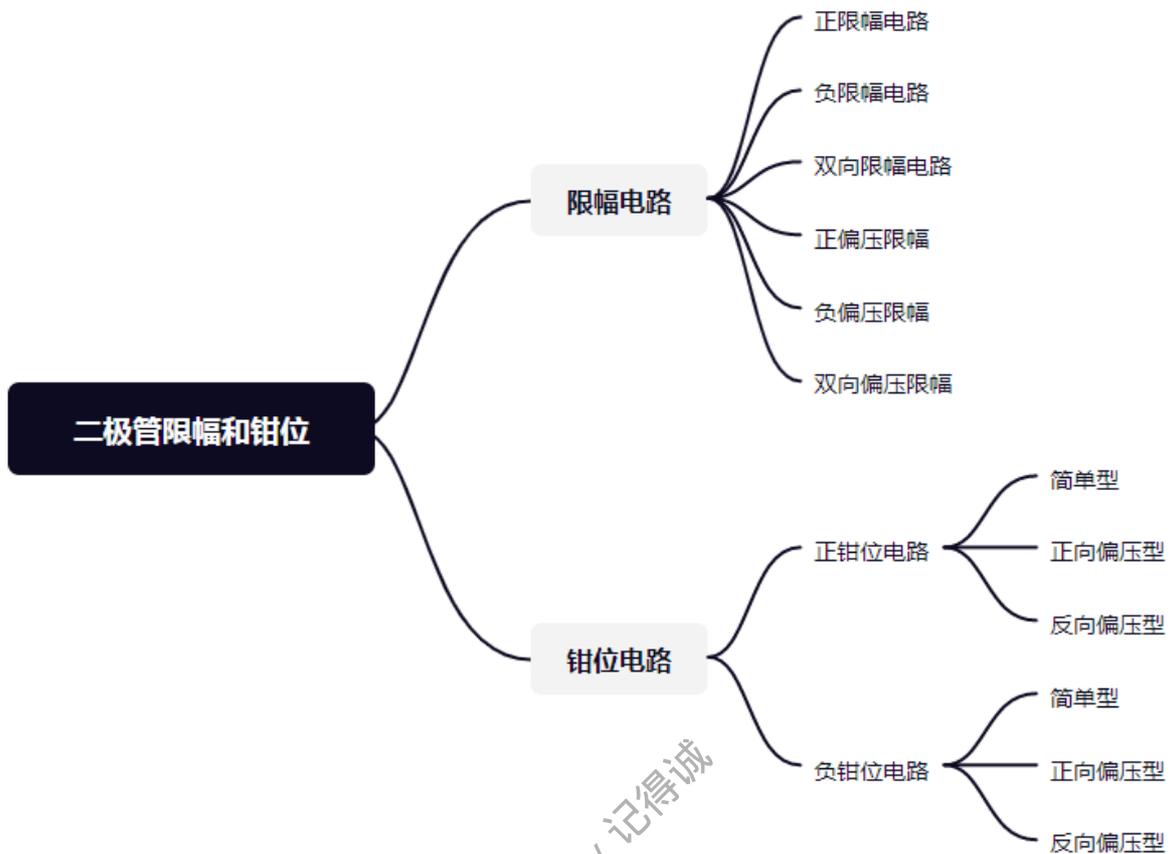
这个电路可以做到：

- 三电源中任一电源存在，电路即可工作；
- 两两电源存在，优先级高电源给系统供电，节省优先级低电源的电量；
- 三电源同时存在，同时节省两路电池电量；
- 两两电源或者三电源同时存在时，优先级高的电源断电，优先级低的电源会续上。

今天的内容到这里就结束了，希望对你有帮助，我们下一期见。

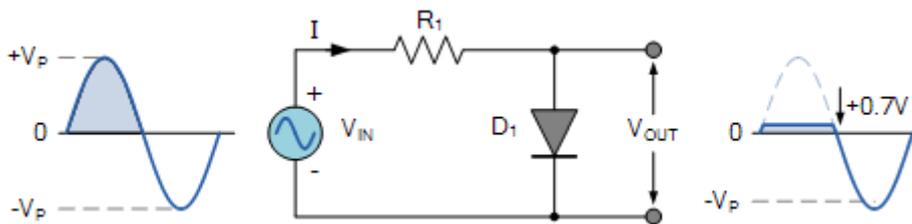
3.3 详解二极管限幅电路和钳位电路

二极管最重要的特性是单向导电性，利用这一特性可以设计很多好玩实用的电路，本文主要讲述限幅电路和钳位电路。



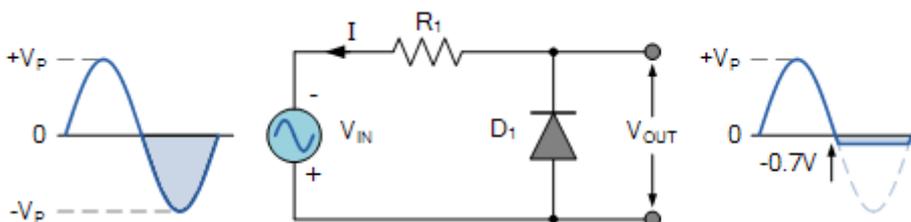
3.3.1 正限幅电路

正半周时且 V_{in} 的电压大于等于 $0.7V$ 时，二极管导通， V_{out} 会被钳位在 $0.7V$ ；在负半周和 V_{in} 电压小于 $0.7V$ 时，二极管是截止状态，所以 $V_{out}=V_{in}$ ，即 V_{out} 波形跟随 V_{in} 波形。



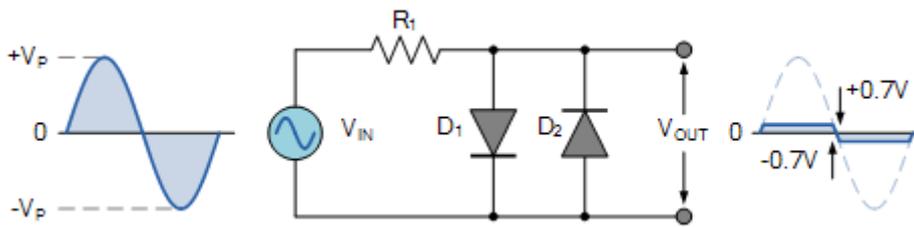
3.3.2 负限幅电路

在正半周时，二极管截止， $V_{out}=V_{in}$ ，即波形跟随；在负半周 V_{in} 电压小于等于 $-0.7V$ 时，二极管会导通， V_{out} 电压会被钳位在 $-0.7V$ 。



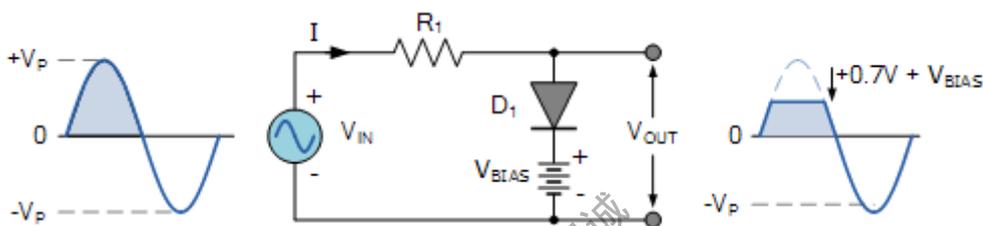
3.3.3 双向限幅电路

双向限幅是结合了上面两个电路，用了两个二极管。正半周，通过D1将超出的部分钳位在0.7V，负半周通过D2将超出的部分钳位在-0.7V。



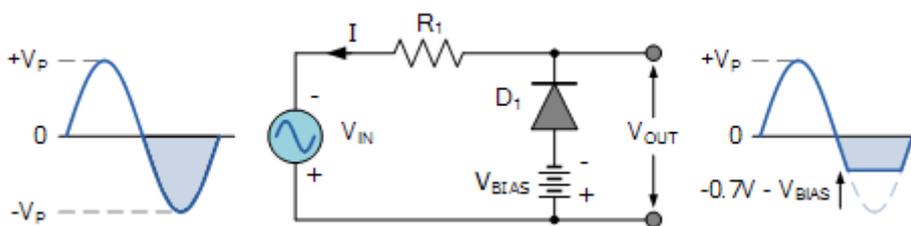
3.3.4 正偏压限幅

为了产生不同的限幅电压，有时候会在电路中加入偏置电压V_{bias}，当V_{in}的电压大于等于V_{bias}+0.7V时，二极管导通，V_{out}被钳位。



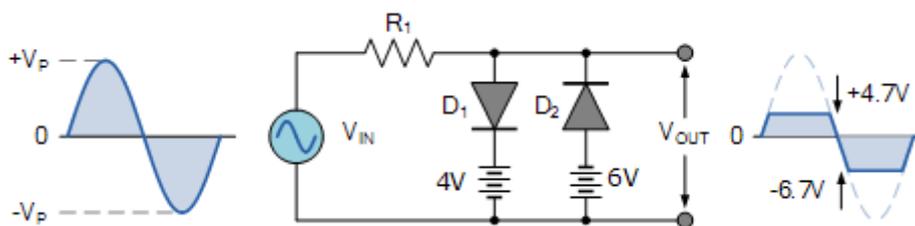
3.3.5 负偏压限幅

负偏压是一样的道理，V_{in}电压小于等于-0.7V_{bias}时，二极管导通，V_{out}被钳位。



3.3.6 双向偏压限幅

双向偏压限幅是两个二极管加两个偏置电压，正半周大于等于4.7V时，D1导通，超出部分被钳位在4.7V；负半周小于等于-6.7V时，D2导通，超出部分被钳位在-6.7V。



上面几种都是不含有电容的电路，主要是用来限幅。

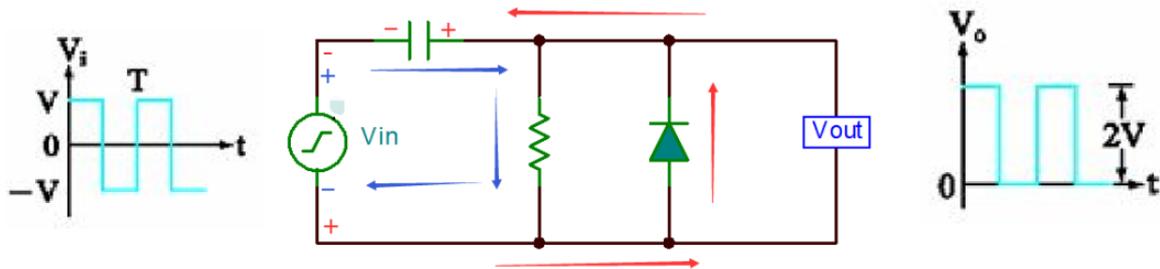
下面几种是含有电容的二极管钳位电路，以下分析不考虑二极管的导通压降（即二极管正向导通相当于一根导线，反向截止断路），RC时间常数足够大，保证输出波形不失真。

3.3.7 简单型正钳位电路

电路原理：

输入 V_{in} 在负半周时（ V_{in} 上负下正），二极管导通，电流如红色箭头所示，电容充电至 $+V$ （左负右正）， $V_{out}=0V$ ；

输入 V_{in} 在正半周时（ V_{in} 上正下负），二极管截止，电流如蓝色箭头所示， V_{out} 电压等于电容电压加上正半周电压，所以 $V_{out}=2V$ ；

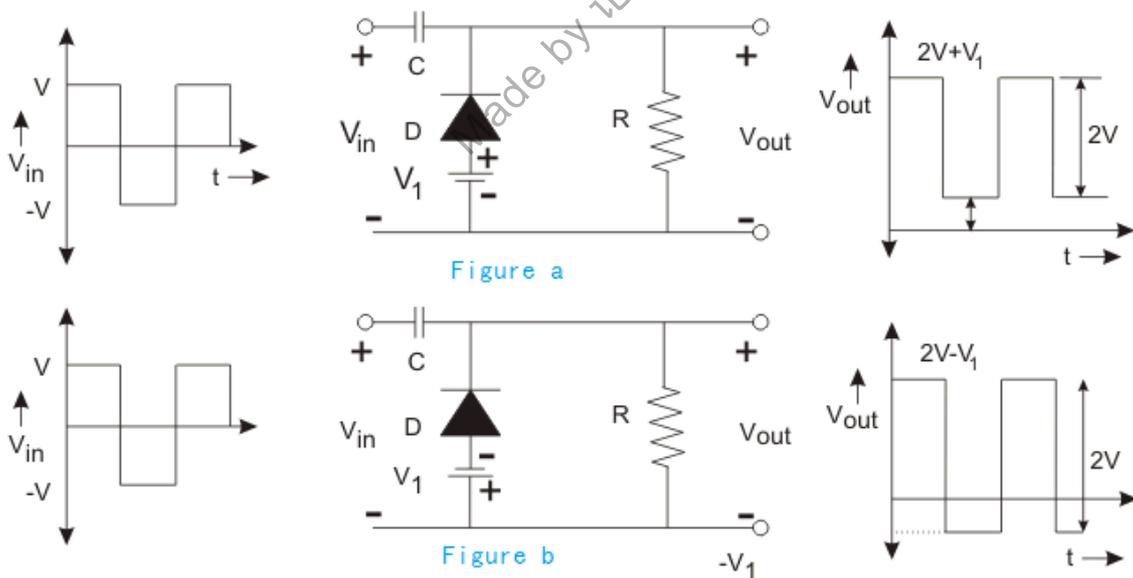


3.3.8 偏压型正钳位电路

偏压型钳位电路和限幅电路很类似，在电路中加入偏置电压来提高或者降低钳位值。

Figure a为正向偏压型，所加的偏压与二极管导通方向一致时，波形向上，即钳位值会提高 V_1 。

Figure b为反向偏压型，所加的偏压与二极管导通方向相反时，波形向下，即钳位值会降低 V_1 。

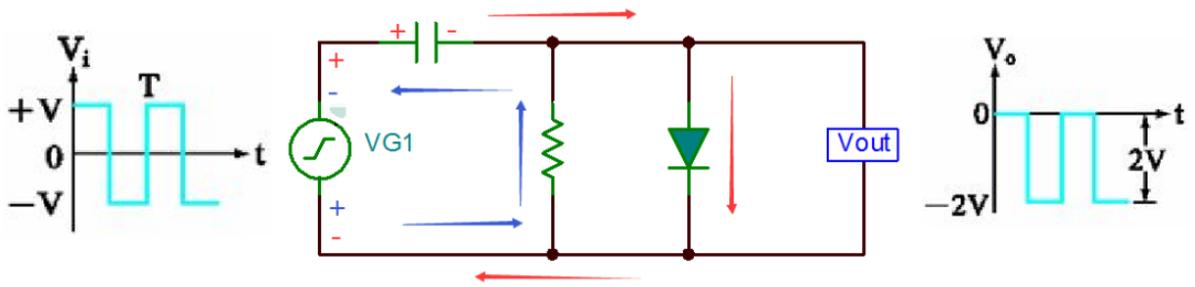


3.3.8 简单型负钳位电路

电路原理：

输入 V_{in} 在正半周时（ V_{in} 上正下负），二极管导通，电流如红色箭头所示，电容两端压差充电至 $+V$ （左正右负）， $V_{out}=0V$ ；

输入 V_{in} 在负半周时（ V_{in} 上负下正），二极管截止，电流如蓝色箭头所示， V_{out} 电压等于负的（电容电压+负半周电压），即 $V_{out}=-2V$ ；

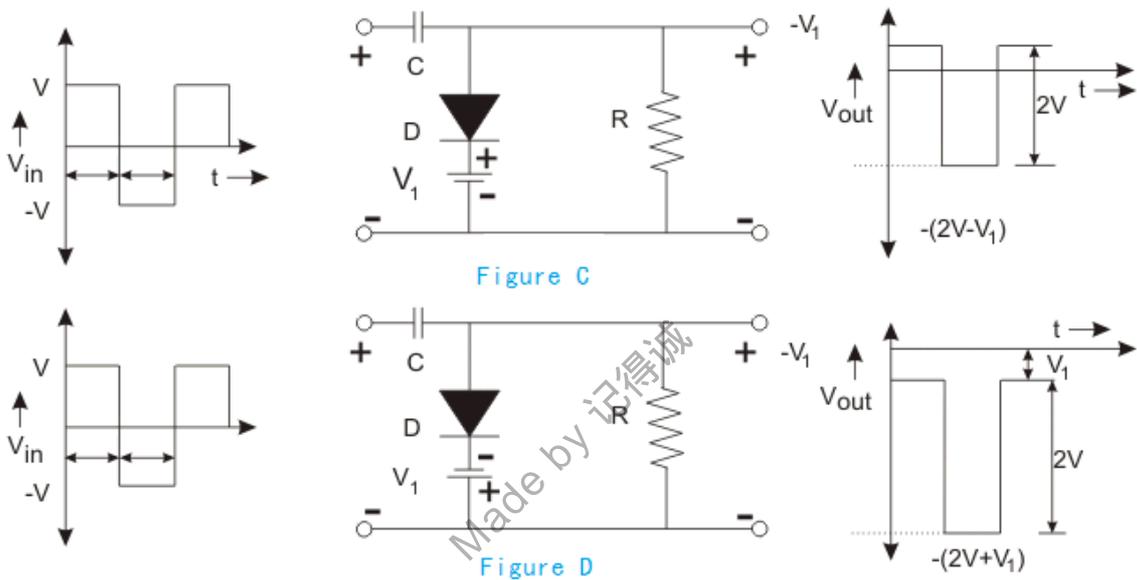


3.3.9 偏压型负钳位电路

偏压型负钳位同偏压型正钳位类似，在电路中加入偏置电压来提高或者降低钳位值。

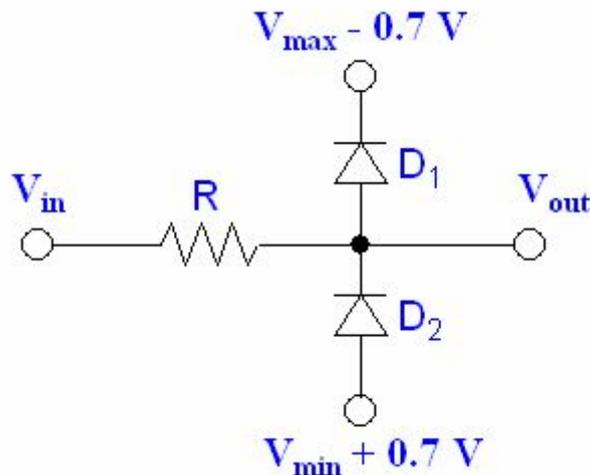
Figure C为反向偏压型，所加的偏压与二极管导通方向相反时，波形向上，即钳位值会提高 V_1 。

Figure D为正向偏压型，所加的偏压与二极管导通方向相同时，波形向下，即钳位值会降低 V_1 。



3.3.10 常见的双向二极管钳位电路

在一些ADC检测电路中会用两个二极管进行钳位保护，原理很简单， $0.7V$ 为 D_1 和 D_2 的导通压降， V_{in} 进来的电压大于等于 V_{max} 时， D_1 导通， V_{out} 会被钳位在 V_{max} ； V_{in} 小于等于 V_{min} 时， V_{out} 被钳位在 V_{min} ，一般 D_2 的正极接地。



今天的文章内容到这里就结束了，希望对你有帮助，我们下一期见。

3.4 深入剖析锂电池保护电路的工作原理

大家好，我是记得诚。

今天介绍一下常见的锂电池保护电路的工作原理。

3.4.1 前言

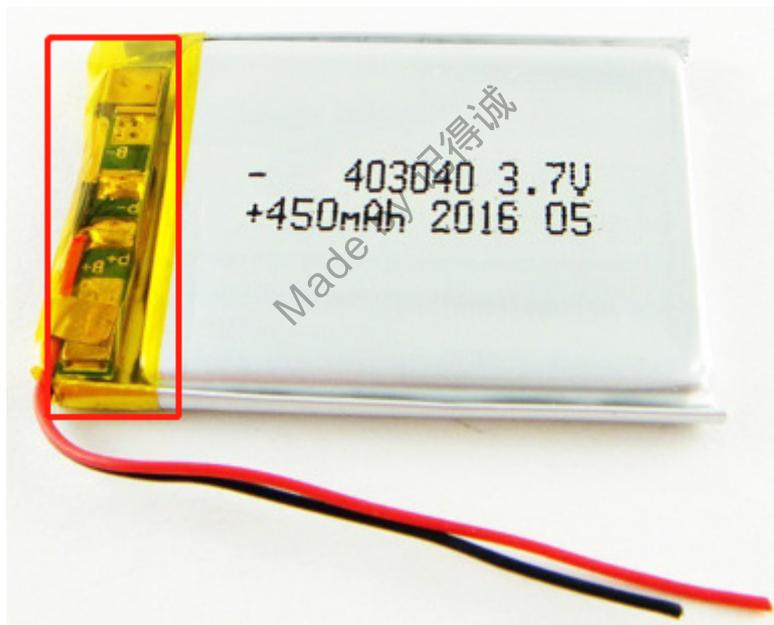
举一个不恰当的例子，电池的充放电就像孩子喝母乳一样。

1. 如果一直让孩子喝，家长不加以控制，那么这个奶可能会被喝光，类似电池过放；
2. 如果家长一直不给孩子喝奶，这个奶就会积攒越来越多，类似电池过充；
3. 如果孩子喝奶喝的急，容易呛奶，类似电池的过电流保护；

科学喝奶，规律喝奶，需要家长的监督，那电池如何做到科学充电和放电呢？

锂电池都有一个使用的安全电压区间，最高和最低电压一般被称为**充放电终止电压或截止电压**，当电池的实际工作电压长时间低于放电终止电压或者长时间高于充电终止电压时，电池内部将发生不可逆转的伤害，严重伤害电池，导致性能下降，俗称**电池衰减**，电池衰减的表现就是电池的内阻增大，容量下降等。

所以一般锂离子电池内部会有一个小的PCB板，和电池封装在一起，如下图所示，主要作用就是用来保护电池。

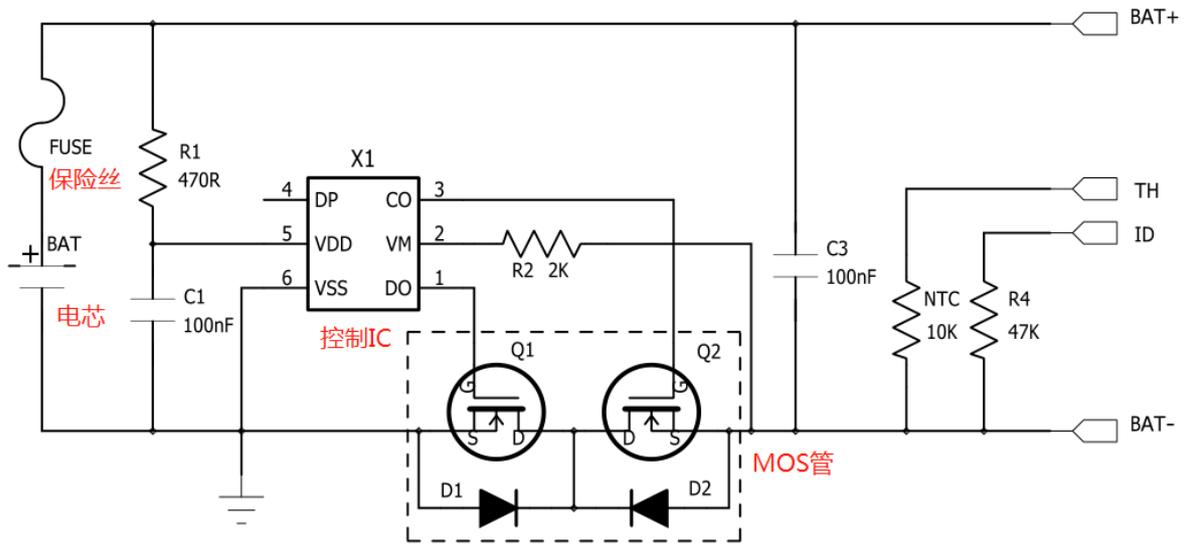


红色框选部分为电池保护板

这个电路板根据组成电路不同，一般会有**过放保护**、**过充保护**、**过流保护**、**短路保护**以及**控制IC失效之后的FUSE保护**这几种，下面会以一个常见的电路，讲解这几种保护的工作原理。

3.4.2 锂电池保护板组成

一般的锂电池保护板由**控制IC**、**MOS管**、**电阻电容**、**保险丝FUSE**等组成，如下图所示。



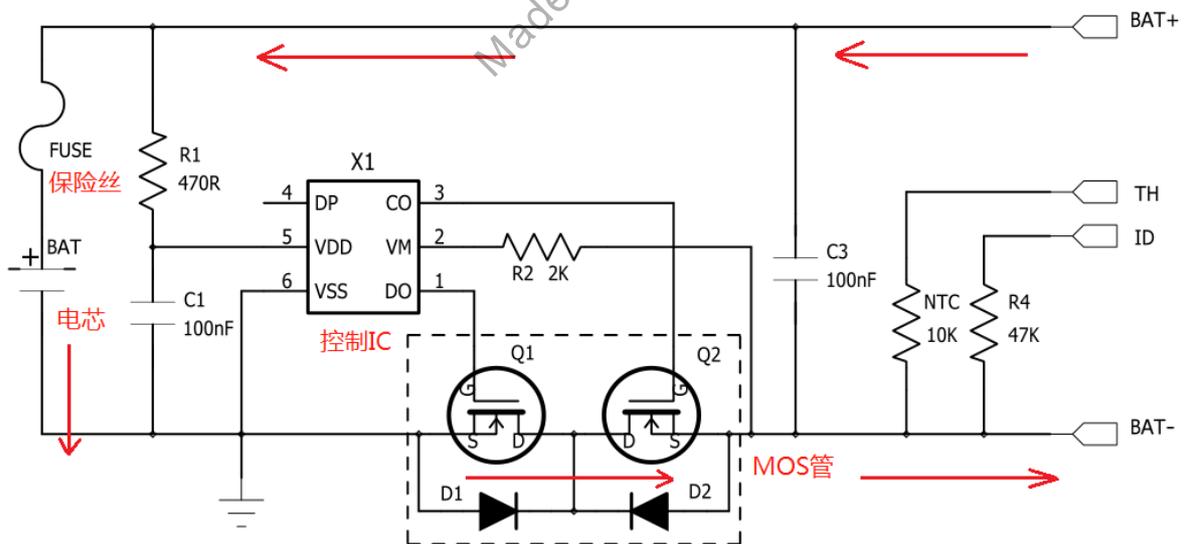
常见的锂电池保护板电路图

TH为温度检测，内部是一个10K NTC接到电池负极；ID是电池在位检测，一般是47K/10K电阻接到电阻负极，有的是0R电阻；TH和ID均是选配，并不是所有锂电池都有的。

接着根据上面这么电路，来看一下如下几种保护的工作原理吧！

3.4.3 过充保护

电池充电时，**电流（方向如箭头所示）**从电池包的正极流入，经过FUSE后从负极流出，最下方的两个MOS管均是导通状态。



电池充电时电流方向如箭头所示

充电时，控制IC X1会时刻监测第5脚VDD和第6脚VSS之间的电压，**当这个电压大于等于过充截止电压且满足过充电压的延时时间时**，X1会通过控制第3脚来关闭MOS管Q2，Q2被关闭之后，充电回路被切断（Q2的体二极管D2也是反向截止的），这个时候，电池只能放电。

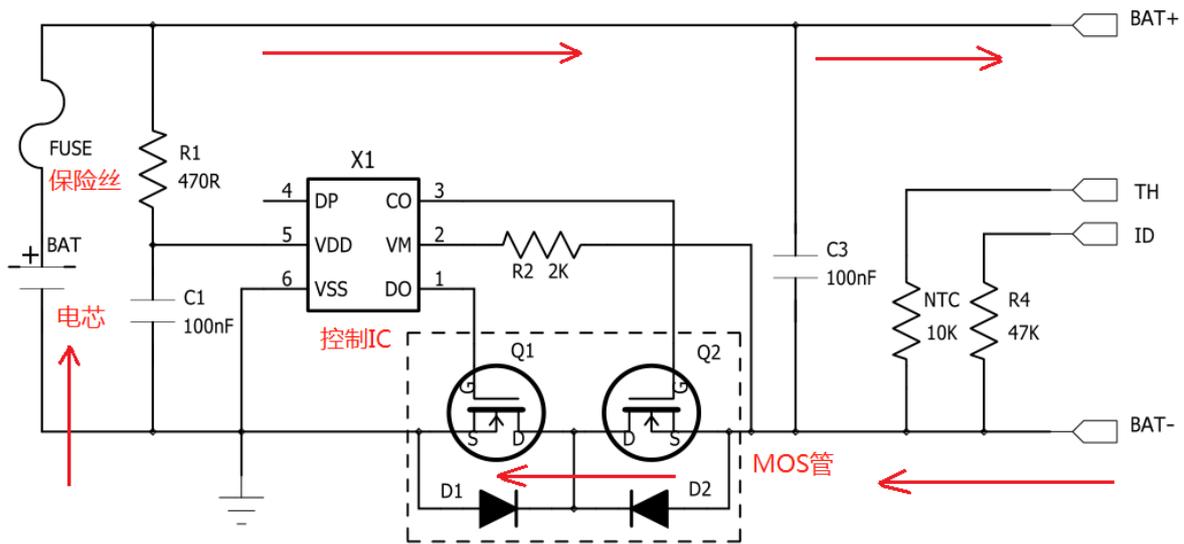
过充保护解除条件（满足其一即可）：

1. 电芯两端的电压下降到保护IC的过充恢复电压。

2. 在电池包得输出端加负载放电，放电到电压小于过充保护电压。

3.4.4 过放保护

在电池包两端加负载放电时，**电流（方向如箭头所示）**与充电是相反的，如下图所示。



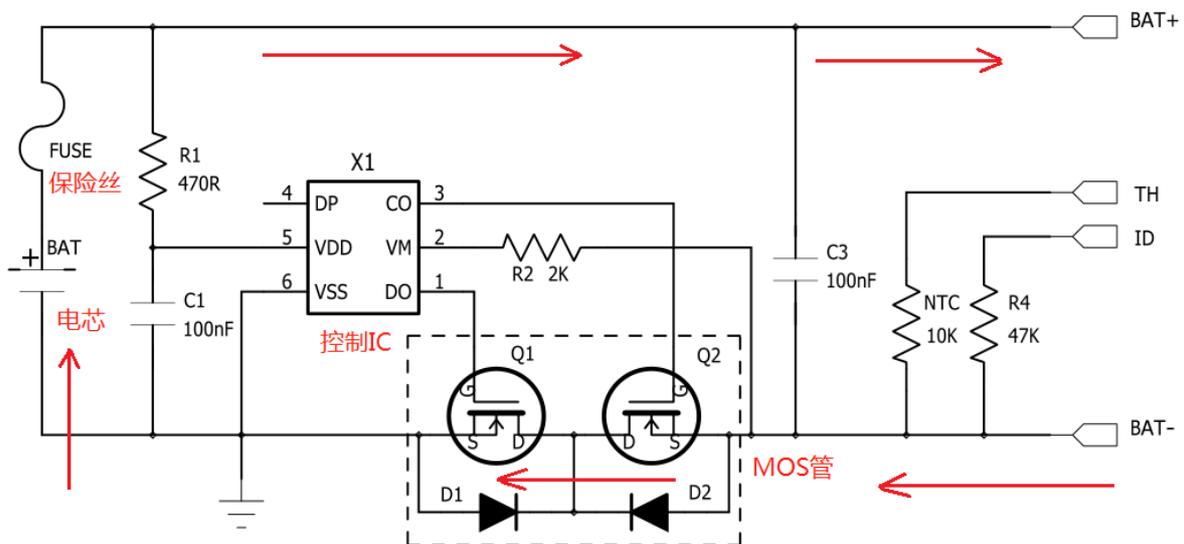
电池放电时电流方向如箭头所示

放电时，控制IC X1同样会时刻监测第5脚VDD和第6脚VSS之间的电压，**当这个电压小于等于过放截止电压且达到过放电压的延时时间**，控制IC X1会通过第1脚关闭Q1，Q1被关闭之后，放电回路被切断（Q1的体二极管D1是反向截止），这个时候，电池只能充电。

过放保护解除条件：拿掉负载，给电池包充电，当VM-VDD之间的电压达到过放恢复电压值时，控制IC X1会重新打开MOS管Q1。

3.4.5 过流保护/短路保护

过流保护指的是过放电流的保护，一般的控制IC有过流保护和短路保护两种，控制IC时刻监测VSS-VM之间的电压值，当电压值达到过流保护或者短路保护的阈值且满足延时时间，控制IC会将MOS管Q1关闭，切断放电回路。



电池放电时电流方向如箭头所示

过电流保护解除的条件是：将输出端负载拿掉，控制IC会自动将Q1重新打开。

过流保护的电压值一般是0.1-0.2V，短路保护检测的电压值一般是0.9V~2V，这两个值都与控制IC有关系，不同的IC，这两个值不一样。

短路保护电压值指的是电流流经Q1和Q2上的导通压降，即可以得出，如果MOS管的导通内阻越大，保护电流值就越小。如：内阻为20mΩ的MOS管，选用的过电流值为0.15V的控制IC，那过流保护的电流应为： $0.15V / (0.02 * 2) = 3.75A$ 。

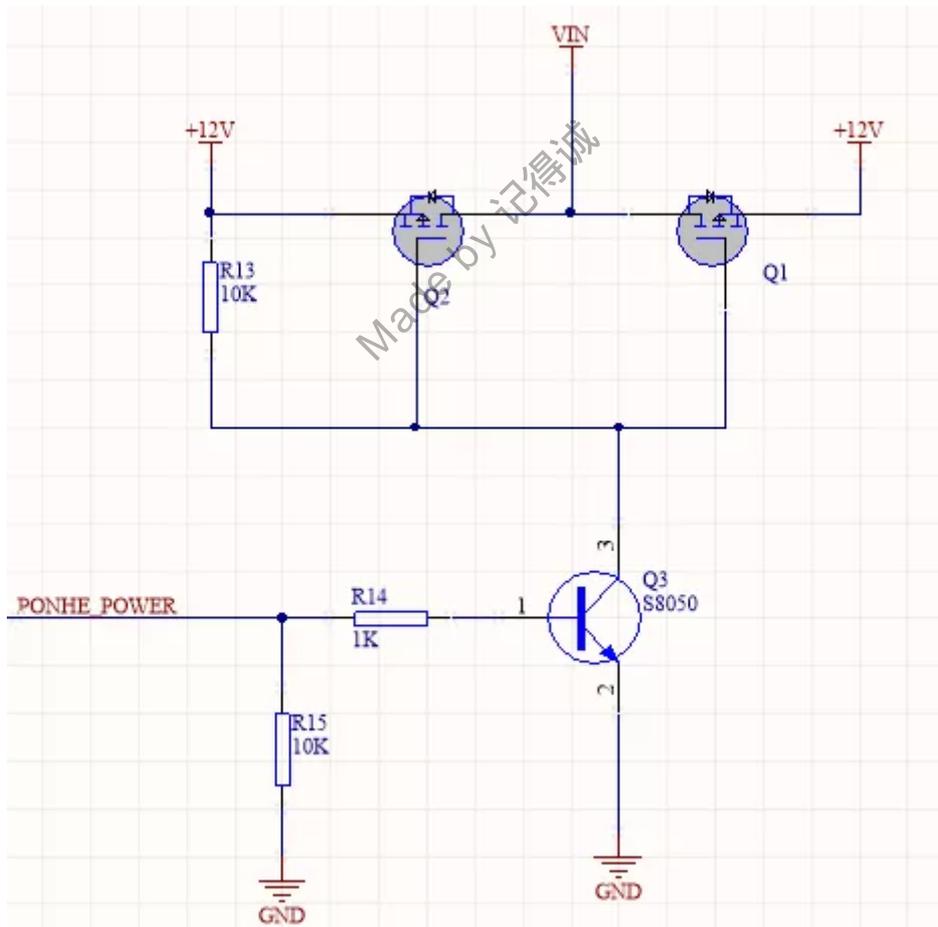
3.4.6 控制IC失效之后的FUSE保护

有的保护板里面会加上保险丝，在控制IC失效之后，起到一个二级保护作用，避免更坏的结果，当然也会增加成本。

今天的文章内容到这里就结束了，希望对你有帮助，我们下一期见。

3.5 两个PMOS管背靠背用法详解

这篇文章来自于微信群的一次交流，主角就是下面的这个电路。



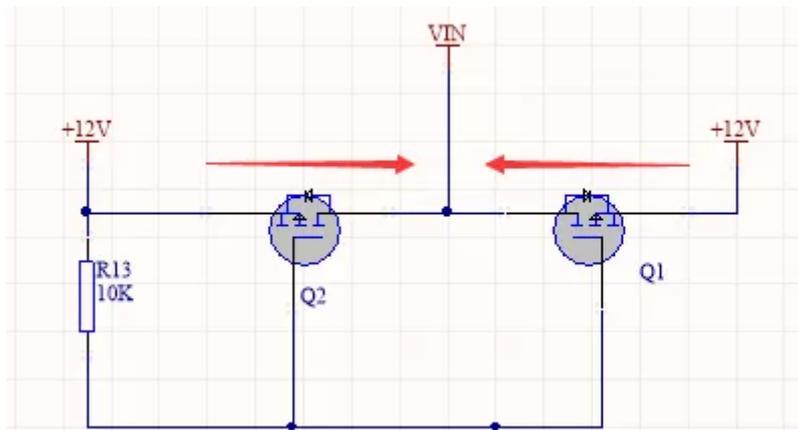
3.5.1 2个PMOS并联

电路描述：Q3是三极管，Q1和Q2是PMOS管，左右两边的+12V是输入，VIN是输出，用来给模块供电，PHONE_POWER是控制信号。

电路逻辑：PHONE_POWER输出高电平时，Q3导通，Q1和Q2导通，VIN=+12V；PHONE_POWER输出低电平时，Q3截止，Q1和Q2截止，VIN=0V；

所以看起来这个电路很简单，问：为什么用两个PMOS，Q1和Q2，用一个PMOS是不是也可以？

懂得人一看就知道了，Q1和Q2导通时，左右两边12V并联增加电流，为的是提高VIN的带载能力，或者换个说法是：VIN负载电流比较大，用两个PMOS管分流。



举个例子：如果VIN负载最大电流为1A，用一个PMOS管，电流都会加在这个MOS管的DS上，选型时PMOS的IDS电流至少得1A以上；如果用两个PMOS，每个PMOS管的IDS电流是不是在0.5A以上即可。

所以这么设计的目的是为了节省成本，可能1个IDS=1A电流的管子比2个IDS=0.5A的管子贵。

问题来了，流过Q1和Q2的电流都是0.5A吗？

如果流过Q1的电流是0.6A，流过Q2的电流是0.4A，那Q1过流发热不就烧坏了？可能有人说了Q1烧坏了，还有Q2，难道Q2不会再烧坏吗？答案是Q2肯定会坏。

那有人说了，Q1和Q2用同样型号的PMOS管不就行了，这样两个管子的Rdson（**导通内阻**）一样，流过的电流肯定也一样。

但是实际上，因为制造工艺的影响，同一型号同一批次的两个管子，Rdson和其他参数不可能做到完全一样。

看到这里你可能觉得很有道理，就算用一样的型号，流过两个MOS管的电流也不一样！那是不是这个电路就无法使用了？

上述电路可以使用，使用时需要注意的点：

第1：Q1和Q2最好用同一型号，且IDS需要留有一定的余量，负载电流如果最大1A，两个PMOS的IDS可以选择0.6-0.7A左右，这样就有200mA~400mA的余量。

第2：这一点非常重要，这也是我没有想到的，被一位大佬一语点醒，这个电路可以实现「均流」，什么叫均流，也就是流过Q1和Q2的电流肯定是一样的。

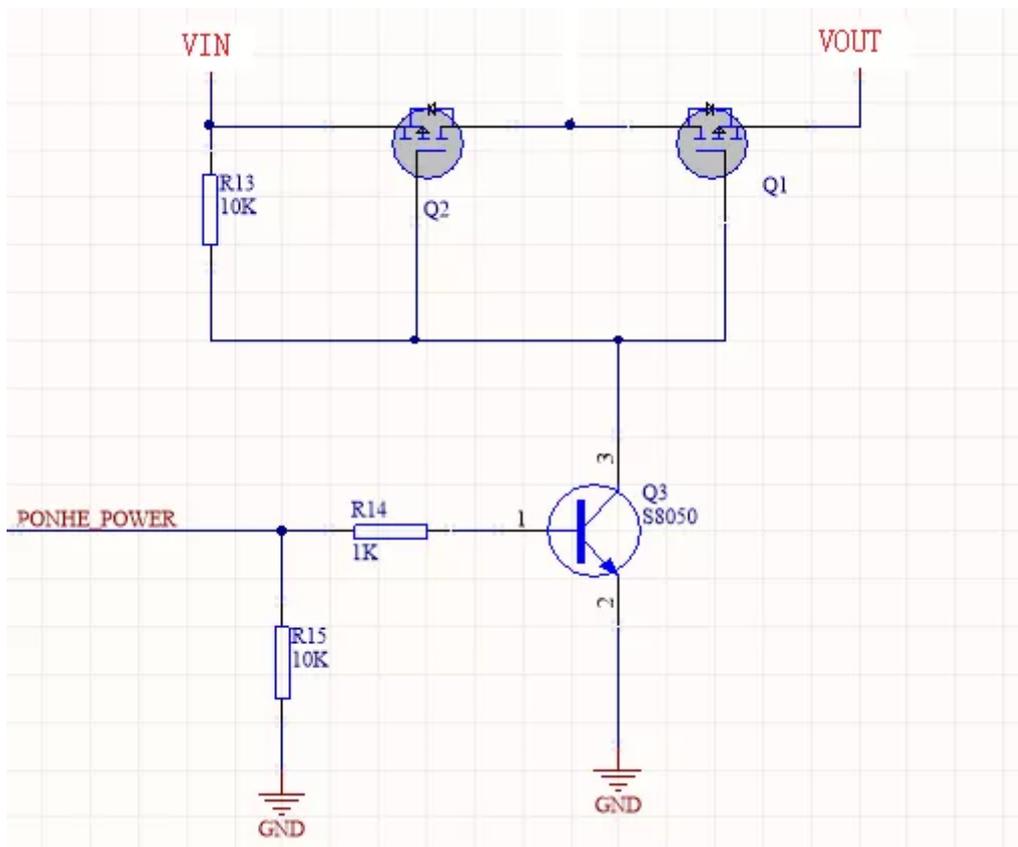
流过Q1和Q2的电流大小取决于Rdson参数。

第1点已经说了，Q1和Q2使用同一型号的管子，可能因为制造工艺影响，假设Q1的Rdson比Q2的Rdson小，那么流过Q1的电流会比流过Q2的电流大。

但是有一点我们需要注意，MOS管的导通内阻和温度是呈正系数关系，也就是说随着温度的升高，内阻会变大，因为流过Q1的电流比Q2大，所以Q1的升温肯定比Q2高，这时候Q1的内阻会变大，内阻变大带来的效果是流过Q1的电流又会变小，这不是个完整的负反馈吗，完美的实现了均流。

3.5.2 2个PMOS串联

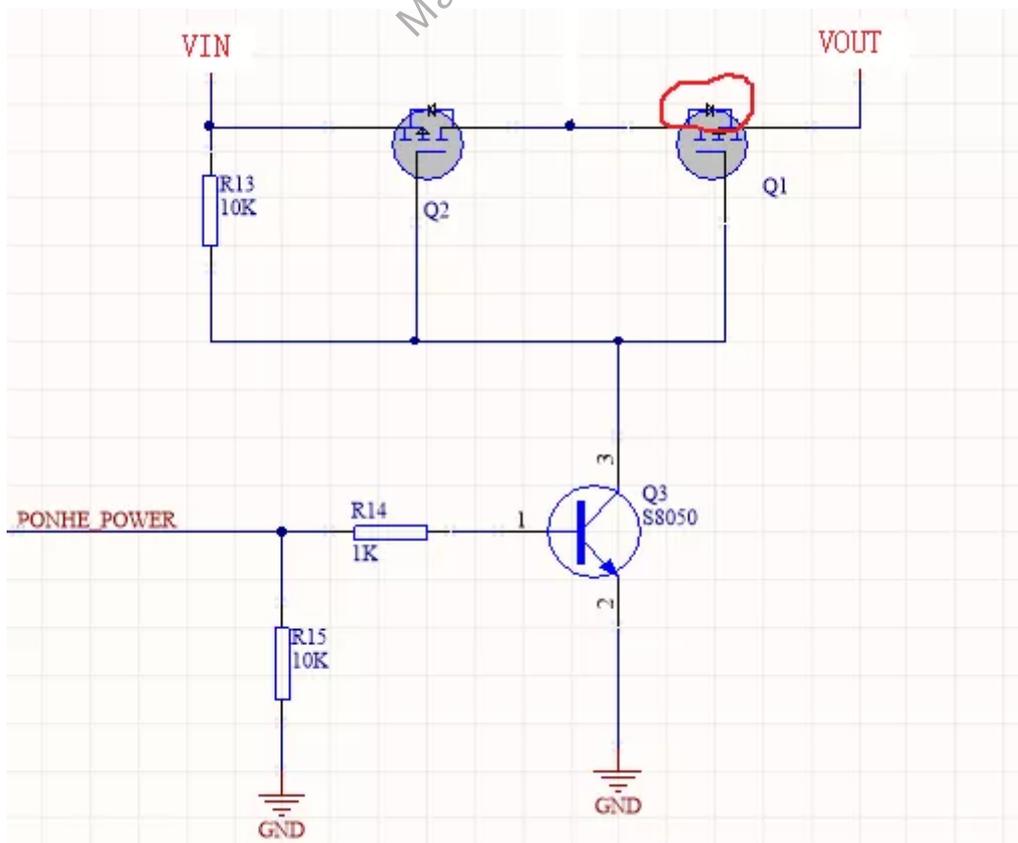
如果说上面的是两个MOS管并联，下面这个图是两个MOS管串联，VIN是输入，VOUT是输出。



电路逻辑：PHONE_POWER输出高电平时，Q3导通，Q1和Q2导通，VIN=VOUT；PHONE_POWER输出低电平时，Q3截止，Q1和Q2截止，VIN=0V；

电路作用：针对上面后一点，在2个MOS管关闭的情况下，如果调试需要外接VOUT，可以防止VOUT的电串到VIN上面，利用的是Q1体二极管反向截止特性（左正右负）。

如果没有Q1，那么VOUT直接从Q2的体二极管（左负右正）串电到VIN上面。



3.5.3 小结一下

两个电路都是常用的电路，第一个电路刚开始在理解上会有一点偏差，理解的没有那么透彻，通过大佬的点拨，瞬间懂了，可能这就是技术交流的魅力所在。

2个人分享思想，就有两份思想，一群人分享思想，就有多个思想，博采众长，才能提高自己。

今天的文章内容到这里就结束了，希望对你有帮助，我们下一期见。

3.6 电源芯片使能管脚EN的6种玩法

本文的电源芯片指DC-DC或者LDO芯片。

EN即enable，意为使能，指的是激活该管脚，电源芯片才会有输出。

在EN脚上设计不同的外围电路，可以实现电源芯片多种上电功能，别看一个小小的EN管脚，设计不好，同样影响电源芯片的正常工作。

接下来一起看一下EN管脚有哪些玩法吧！

3.6.1 EN脚悬空

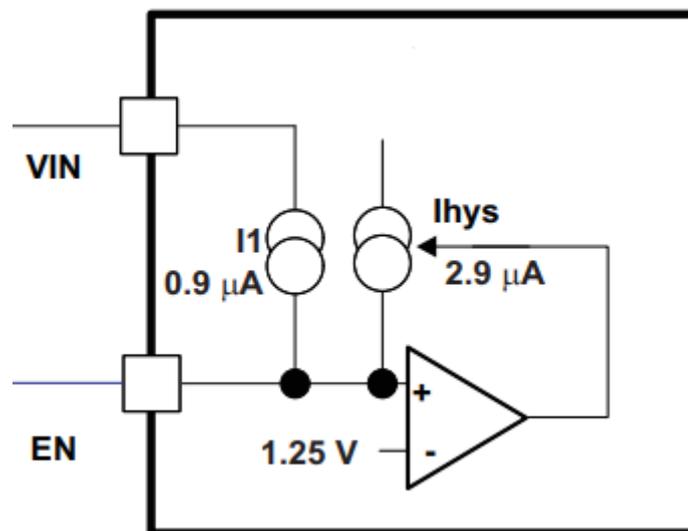
某些DC-DC的EN pin支持悬空使能，也就是说EN不用接任何器件，只要有输入，就会有输出。

EN	3	1	Enable pin, internal pull-up current source. Pull below 1.2V to disable. Float to enable. Adjust the input undervoltage lockout with two resistors.
----	---	---	---

某些DC-DC的pin description里面有float to enable字样

为什么悬空也能使能？

带float to enable的DC-DC EN管脚内部会有一个内置上拉源接到输入VIN上，在EN脚悬空时，利用0.9uA的上拉源来开启电源。



EN管脚的内部上拉源

3.6.2 用CPU的GPIO控制EN管脚

通过单片机GPIO输出高低电平来开启/关闭DC-DC，一般EN pin会有一个阈值，超过这个值，开启DC-DC，低于这个值关闭DC-DC。

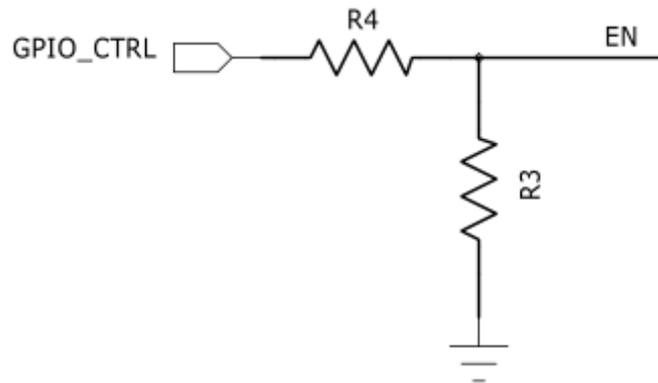
ELECTRICAL CHARACTERISTICS

$T_j = -40^{\circ}\text{C}$ to 150°C , $V_{IN} = 3.5$ to 60V (unless otherwise noted)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
SUPPLY VOLTAGE (V_{IN} PIN)					
Operating input voltage		3.5		60	V
Internal undervoltage lockout threshold	No voltage hysteresis, rising and falling		2.5		V
Shutdown supply current	$EN = 0\text{V}$, 25°C , $3.5\text{V} \leq V_{IN} \leq 60\text{V}$		1.3	4	μA
Operating : nonswitching supply current	$V_{SENSE} = 0.83\text{V}$, $V_{IN} = 12\text{V}$, 25°C		116	136	
ENABLE AND UVLO (EN PIN)					
Enable threshold voltage	No voltage hysteresis, rising and falling, 25°C	0.9	1.25	1.55	V

在电气参数栏可以查看DC-DC EN脚开启阈值电压

设计时建议预留两个分压电阻，提高兼容性，更换不同IO电压的CPU时可做到有的放矢。



通过单片机的GPIO控制DC-DC EN pin

但同时也要注意不能超过EN管脚耐压最大值。

ABSOLUTE MAXIMUM RATINGS⁽¹⁾

Over operating temperature range (unless otherwise noted).

		VALUE	UNIT
Input voltage	V_{IN}	-0.3 to 65	V
	EN	-0.3 to 5	
	BOOT	73	
	V_{SENSE}	-0.3 to 3	
	COMP	-0.3 to 3	
	PWRGD	-0.3 to 6	
	SS/TR	-0.3 to 3	
	RT/CLK	-0.3 to 3.6	

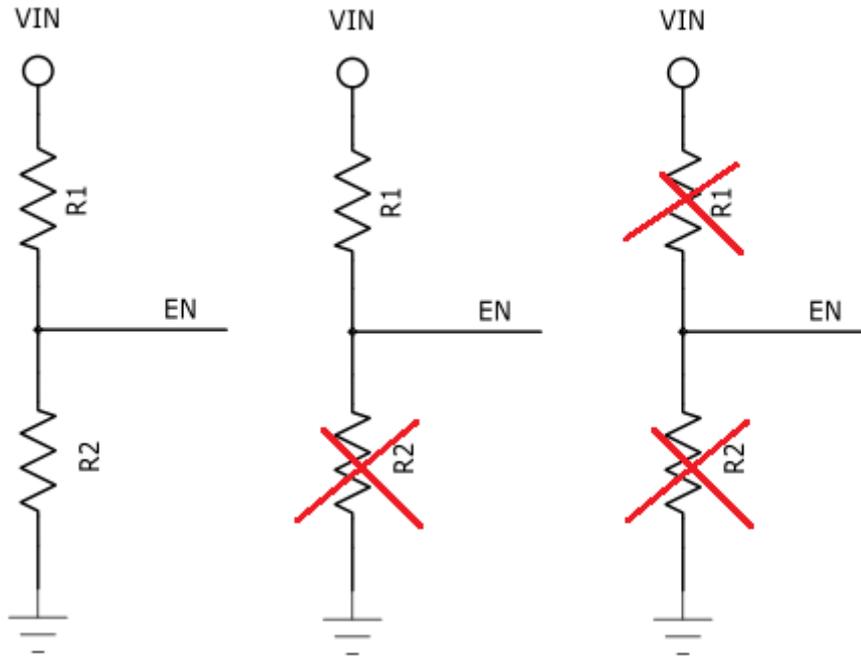
DC-DC EN管脚耐压最大值

3.6.3 EN脚通过两个分压电阻接到VIN上

那有人说了，我不用CPU的GPIO控制，想上电DC-DC就有输出，可以通过VIN接两个电阻分压到EN管脚，这种多见于DC-DC芯片，一般VIN和EN电压不在一个水平上，VIN电压较高需要进行分压，见下左图。

VIN和EN处于同一电压水平的，这种多见于LDO芯片，可通过电阻R1上拉到VIN，见下中图。

或者VIN和EN直接短接相连，将R1换作一根导线，这个时候电源的开启和关系取决于VIN输入的UVLO阈值，见下右图。



VIN通过分压电阻接到DC-DC EN pin

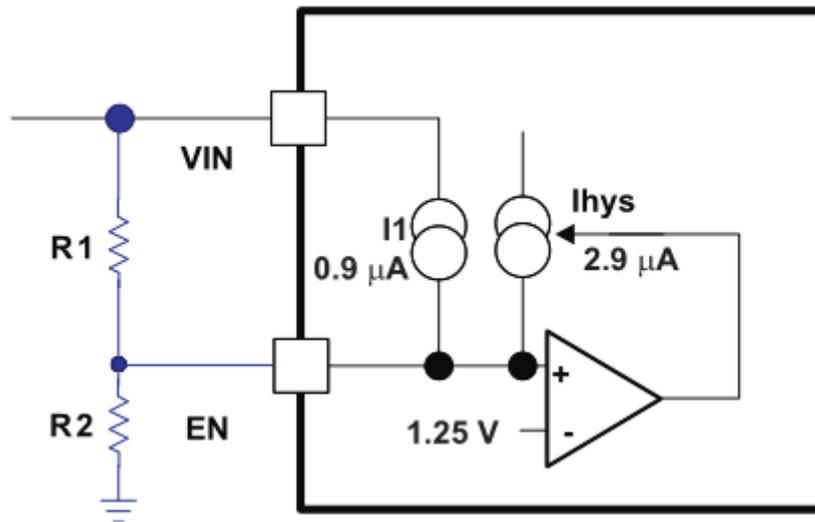
3.6.4 EN脚通过两个分压电阻调整UVLO阈值

通过分压电阻接到EN管脚的好处是可以设置DC-DC的启动电压和关闭电压，Vstart和Vstop电压值至少高于DC-DC的UVLO值，不然设置分压电阻没有意义。

UVLO的全称是**under voltage lock out**，顾名思义就是低电压锁定，即欠压保护。

UVLO是针对DC-DC的输入VIN来说的，当电压低于某一定值，DC-DC直接锁定保护，UVLO限制了电源芯片的最低输入电压，一定程度上可以保证芯片不会产生不稳定的震荡，提高电源芯片工作时的稳定性和可靠性。

UVLO的阈值通常都是小于VIN最小输入电压值的，且是由芯片内部寄存器控制，在某些应用场合，如果不希望UVLO这么低，通过调整分压电阻阻值，可以设置电源启动电压和停止电压。



r1的计算公式为：

$$r1 = \frac{Vstart - Vstop}{Ihys}$$

r2的计算公式为：

$$r2 = \frac{V_{ena}}{\frac{V_{start}-V_{ena}}{r1} + I1}$$

Vstart为启动电压，Vstop为关闭电压；
 Vena为EN阈值电压；
 Ihys为迟滞电流，I1为EN上拉源电流；
 r1和r2为外部分压电阻；

要求不高，可以直接采用公式：

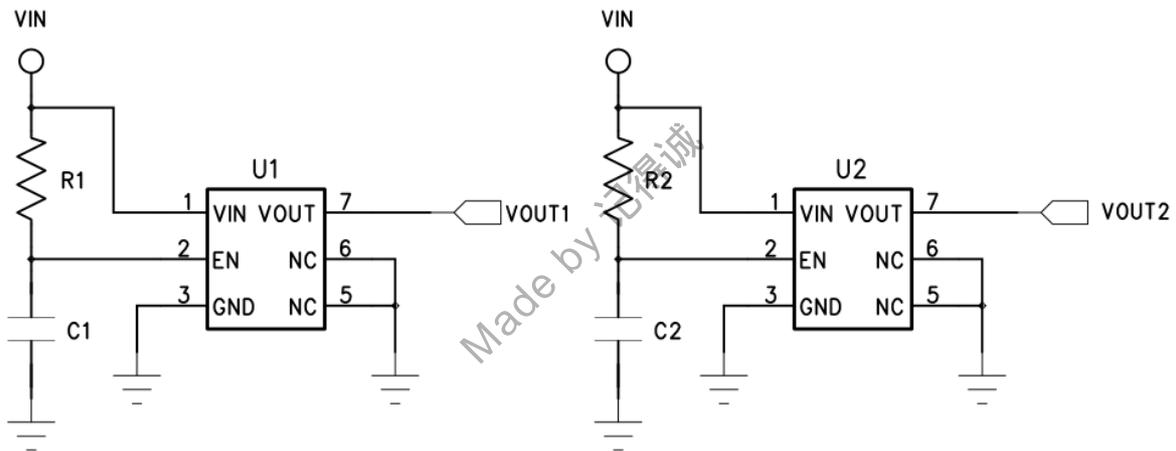
$$V_{start} = V_{stop} = \frac{V_{ena} * (r1 + r2)}{r2}$$

即高于Vstart电源开启，低于Vstart电源关闭。

为使DC-DC稳定使能，**可以将Vena设置为比其阈值大一些**（介于阈值和其最大值之间即可），根据阈值和想要的开启电压，选择合适的r1和r2取值。

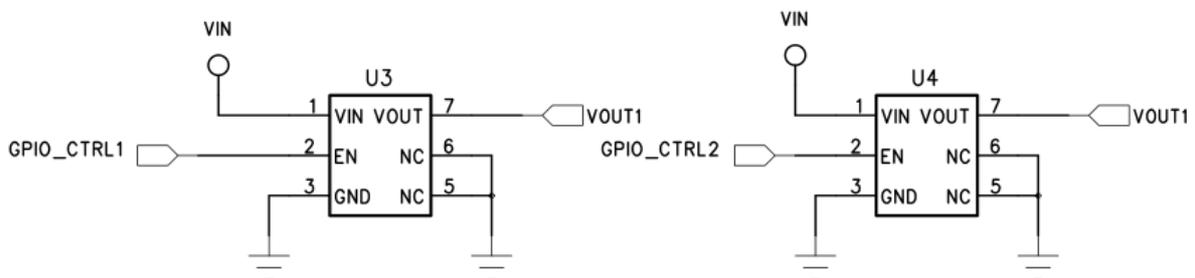
3.6.5 EN脚外部加RC延时电路

某些电路有多个LDO，且LDO上电有时序要求，此时可以在EN Pin上加RC，通过设置RC的大小，来满足要求，如下的VOUT1如果要求比VOUT2先上电，即可将R1C1参数设置比R2C2小即可。



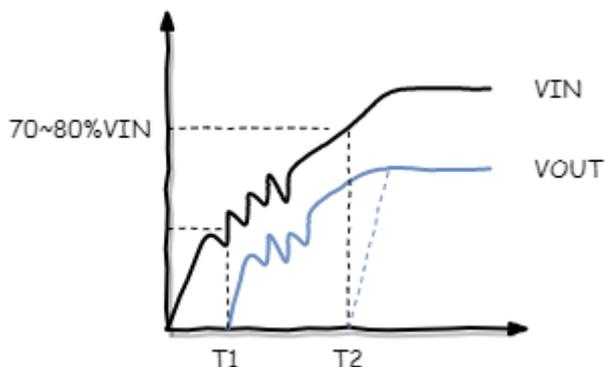
上电时序有要求的可在EN Pin上加RC延时电路

EN管脚也可以换作用两个GPIO控制，利用两个GPIO的控制延时来满足时序要求。



用两个GPIO控制EN来满足上电时序

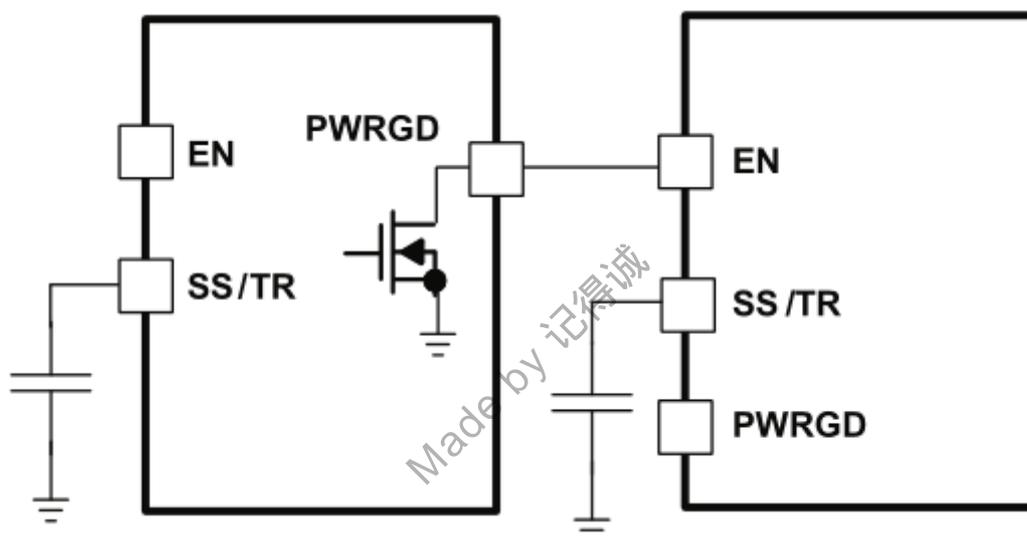
为避免一些场合输出电压受到刚上电时输入电压波动的影响（T1~T2），利用分压电阻或者RC延时电路，使输入电压上升到70-80%*VIN时，再开启使能EN（T2后），以得到更稳定的输出电压。



Vout受到Vin电压波动的影响

3.6.6 多电源协同作战

有一些电路使用多种电源时，可以用上一级电源的PWRGD管脚来drive下一级电源的EN Pin，达到**有福同享有难同当**的目的，即上一级电源开，下一级电源才开，上一级电源异常，下一级电源也无法开启（同时开，同时关），此电路也可以满足时序的要求，即VOUT2比VOUT1上电慢。



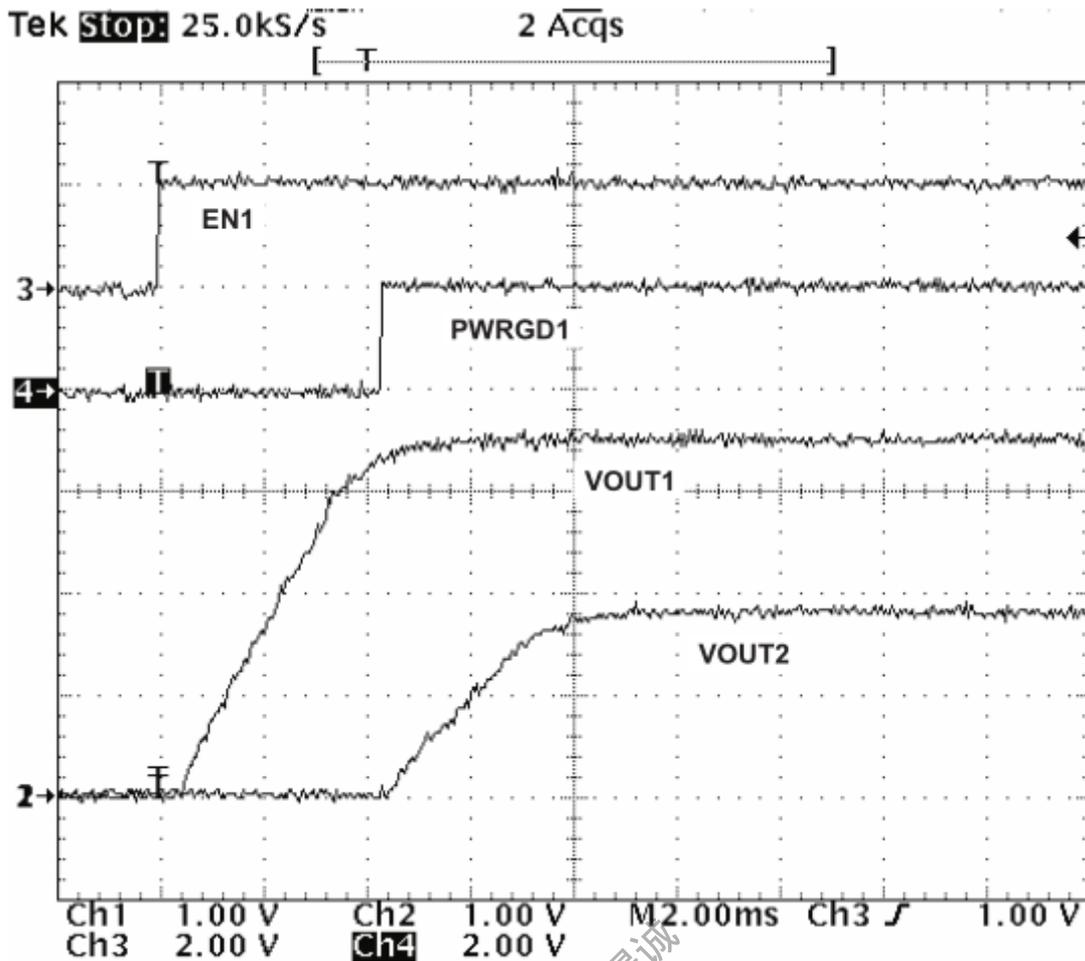
用上一级PWRGD管脚来驱动下一级电源的EN Pin

上图中的PWRGD是开漏输出，电源异常时，此脚会被拉低，指示电源是否good的管脚。

PWRGD	6	O	An open drain output, asserts low if output voltage is low due to thermal shutdown, dropout, over-voltage or EN shut down.
-------	---	---	--

PWRGD管脚描述

如下是EN1、PWRGD1、VOUT1、VOUT2的上电波形，可以看出，在前级电源完全上电之后，即PWRGD1管脚变为稳定的高电平时VOUT2才开始缓慢上升。



双电源EN1、PWRGD1、VOUT1、VOUT2上电波形

3.6.7 更多玩法等待你们解锁

介绍了这6种玩法，大家可以举一反三，还有很多EN管脚设计方法就不一一列举了，设计好EN管脚的目的就是为了相应功能的实现和电源芯片稳定可靠的工作。

今天的文章内容到这里就结束了，希望对你有帮助，我们下一期见。

3.7 电荷泵负压输出电路，这么简单，我还能不会？

前一段时间在公众号发了一篇文章《稳压二极管的串并联》，有一位读者在文章下面评论了一下，我们知道两个稳压管串联起来，可以得到更高的稳压值。

读者的问题是，有些双稳压管集成器件，如BAV199，为什么要集成两个？在电路使用中有什么优缺点？



Anna Chen



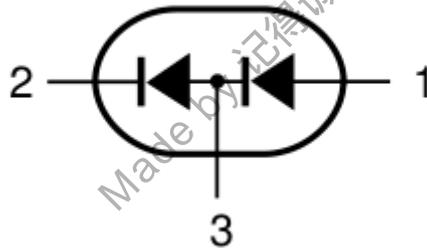
请问:有些双稳压管集成器件，如BAV199，为什么要集成两个呢？在电路使用时有什么优缺点呀

作者



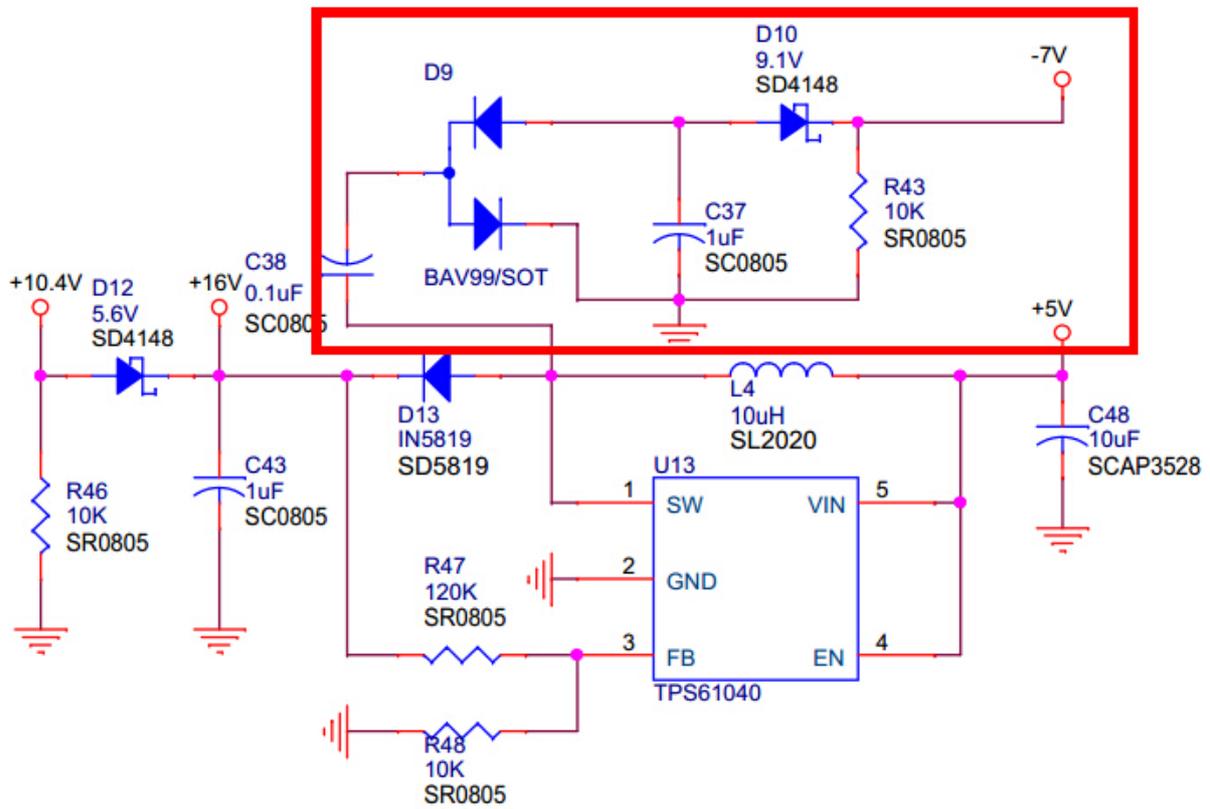
我看了一下BAV199的两个二极管，不是稳压管，就作一般的开关用，钳位电压。

因为我没用过BAV199，如是去网上搜了一下SPEC，发现结构是下面这样的，这并不是两个稳压管，普通的二极管或者肖特基二极管都有可能。



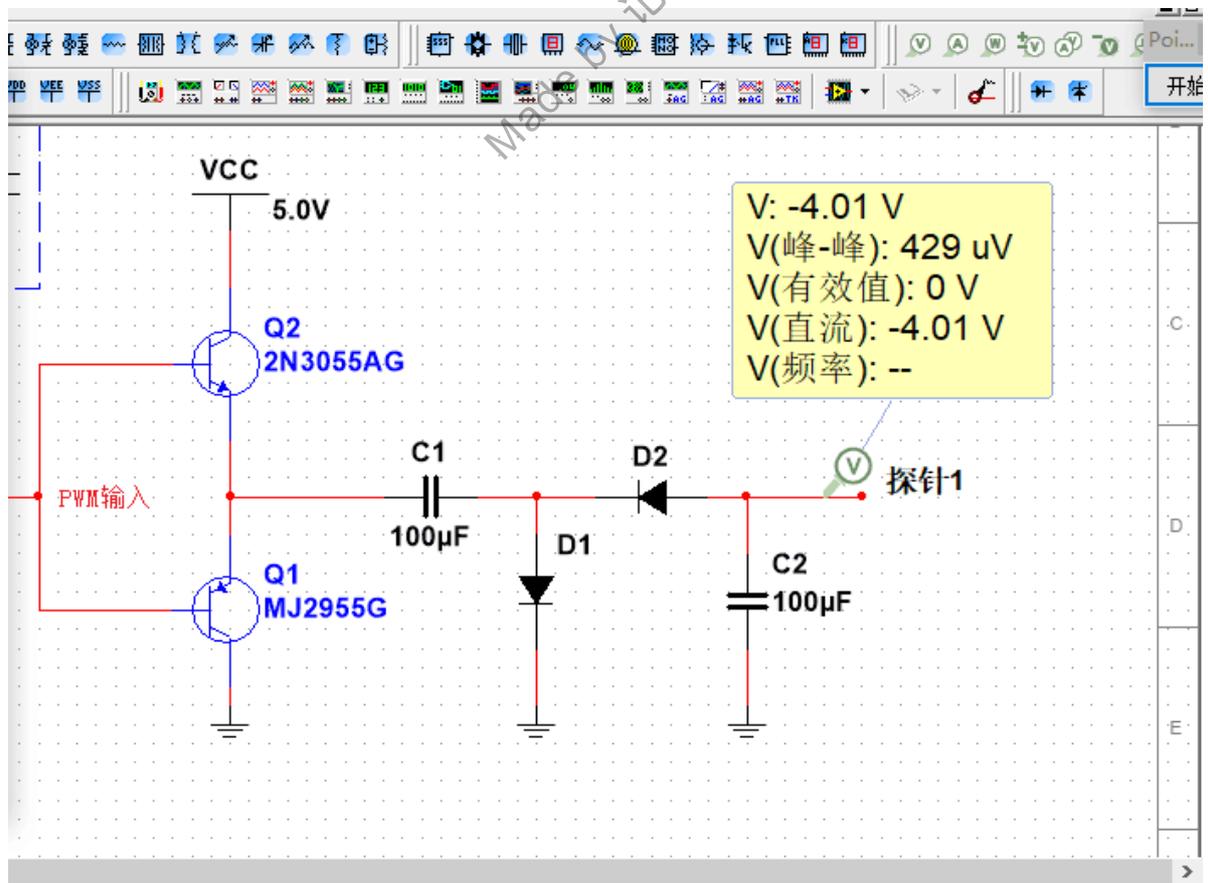
继续在网上搜了一下，发现如下的电路图中用到双二极管开关，型号是BAV99，应该和BAV199一个系列的。

下面是一个DC-DC BOOST升压电路，从+5V升压到10.4V，并且这是一个带负压输出的，输出-7V。

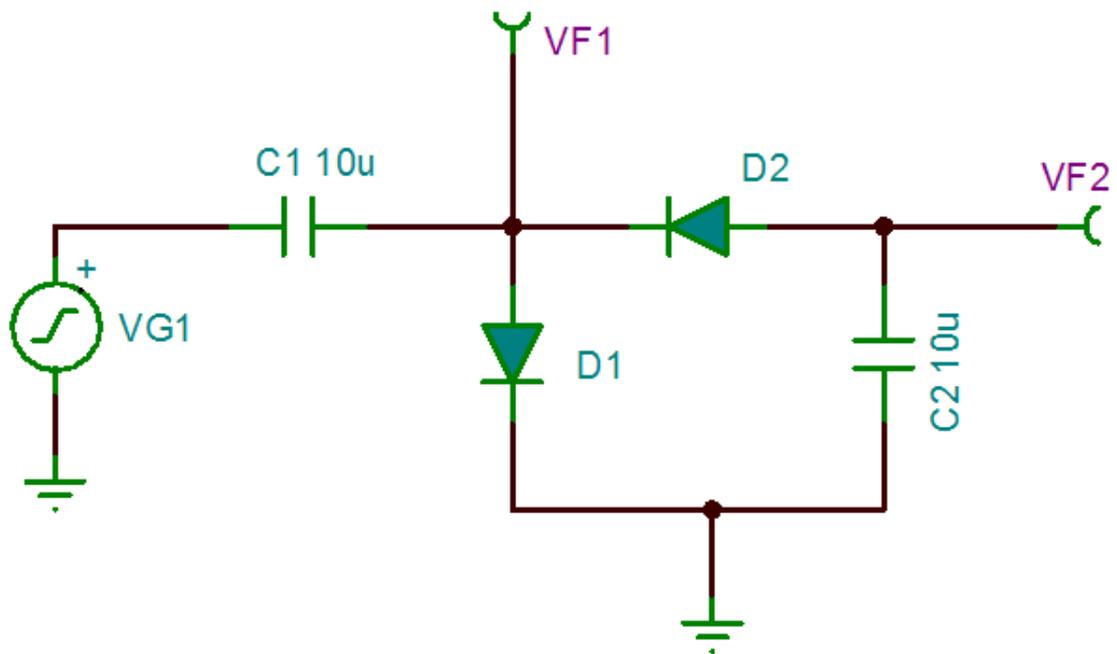


其实准备找个时间写写上面的电路，但一直拖延了，今天的群里有小伙伴问到这个负压电路，发现自己有一点似懂非懂的感觉，如是准备仿真一下。

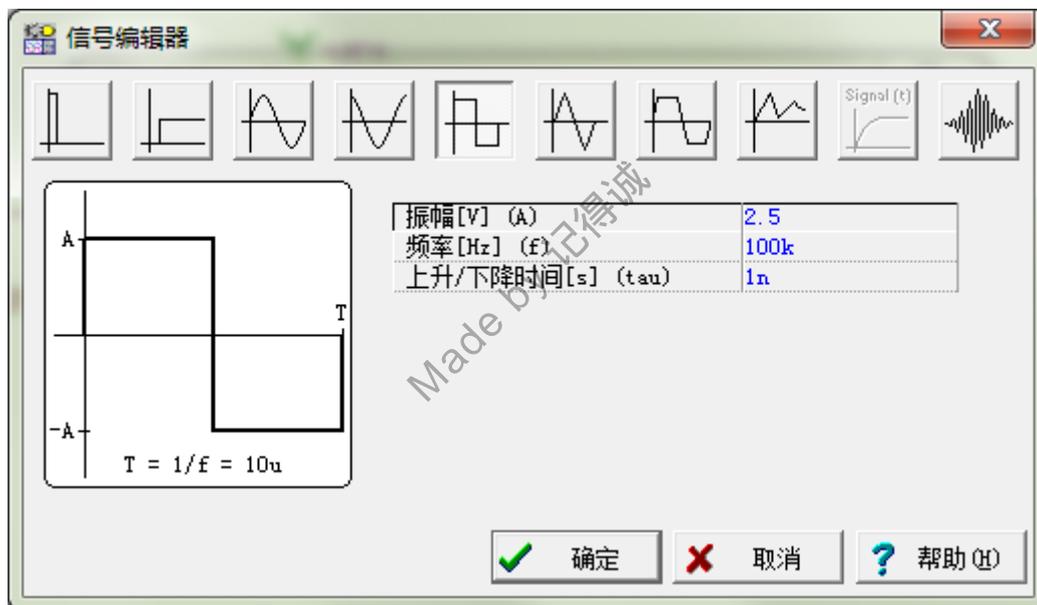
原图是下面这个，最左边没显示的是一定频率的PWM输出。



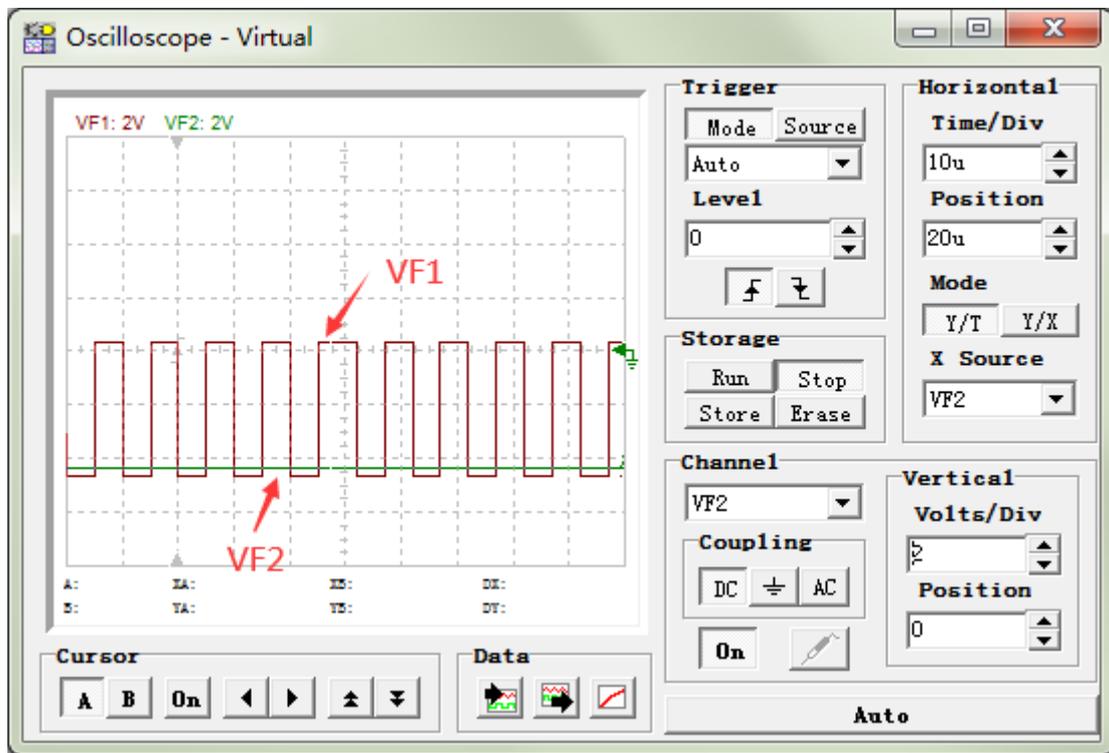
PWM波形的高电平对应Q2导通，PWM的低电平对应Q1导通，所以我将图简化了一下，差不多就是下面这样。



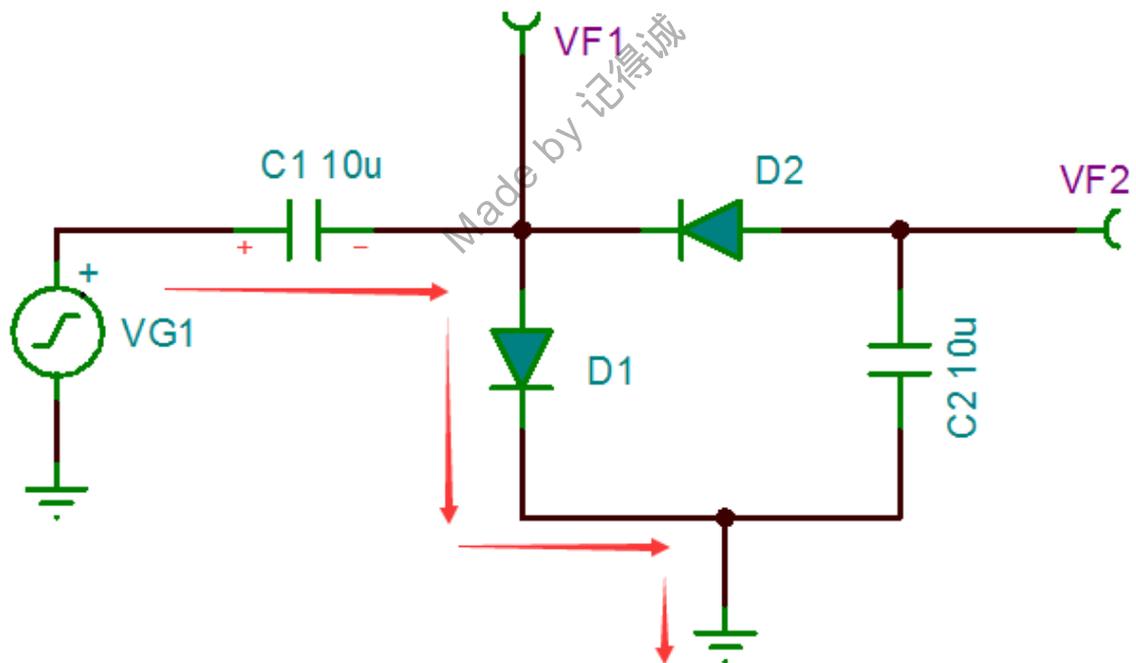
VG1是一个阶跃信号，设置为方波，振幅2.5V，频率100KHz。



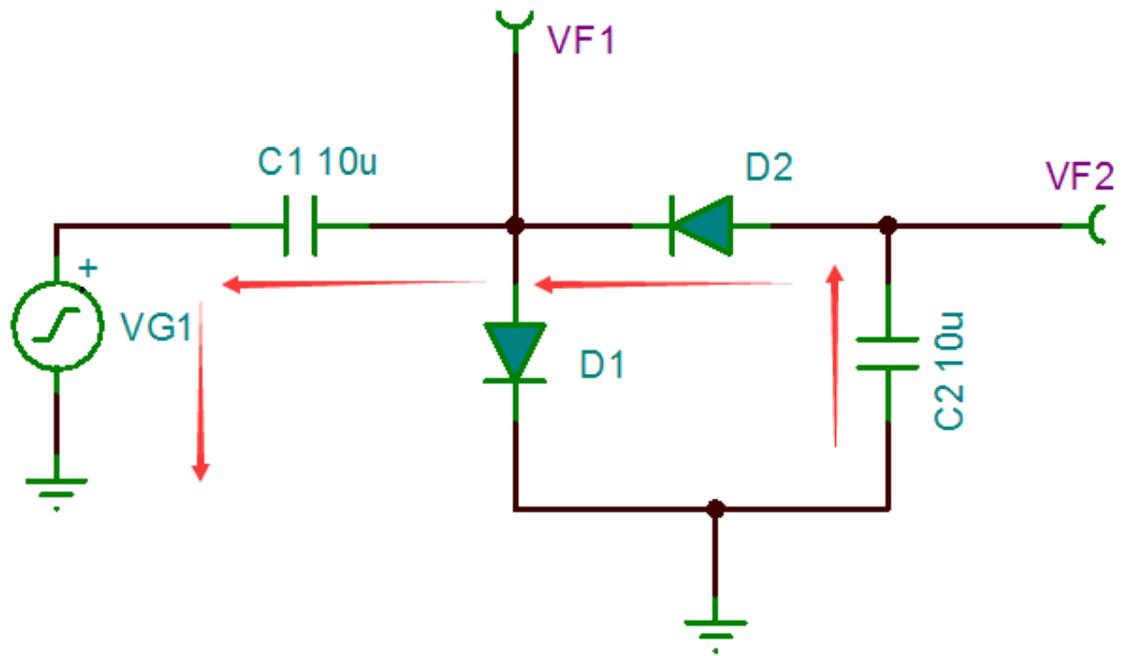
仿真了一下，VF1是一个周期10us，高低电平差5V的一个方波，VF2是一个近似-5V的输出（二极管D2有一个压降）。



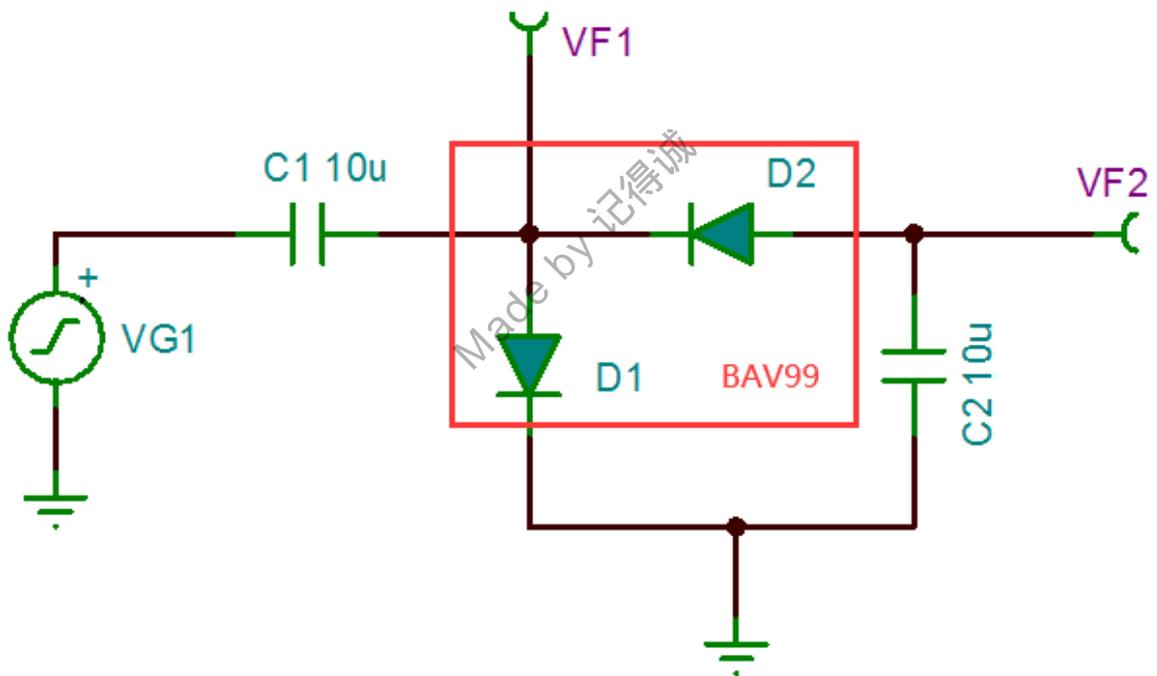
VG1的PWM信号在正半轴时，电流的方向是 $VG1 \rightarrow C1 \rightarrow D1 \rightarrow GND$ ，VG1的高电平给电容C1充电，C1两端左正右负，电势差为 V_H ；



VG1的PWM信号在负半轴时，电流的方向是 $C2 \rightarrow D2 \rightarrow C1 \rightarrow VG1$ ，这时候C1是一个放电的过程，对C2是一个充电的过程，因为电容两端电压不能突变的特性，当C1左端变为0时， $VF1$ 端会变为 $-V_H$ ，忽略 $D2$ 的压降， $VF2$ 自然得到一个负压输出，这个负压值受 $VG1$ 频率和振幅的影响。



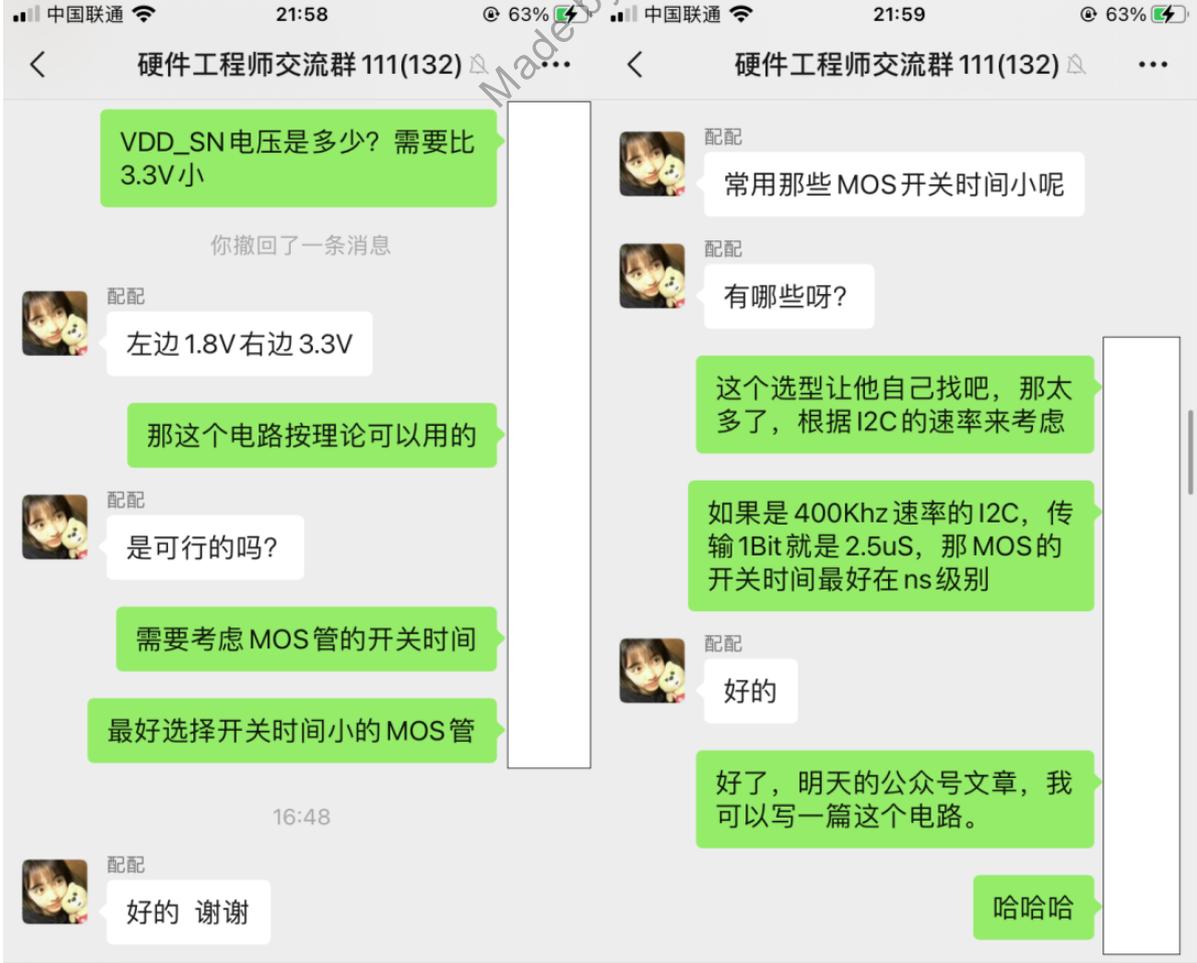
把D1和D2放在一起，用一个单独的器件BAV99，就是上面DC-DC负压输出部分的电路了。



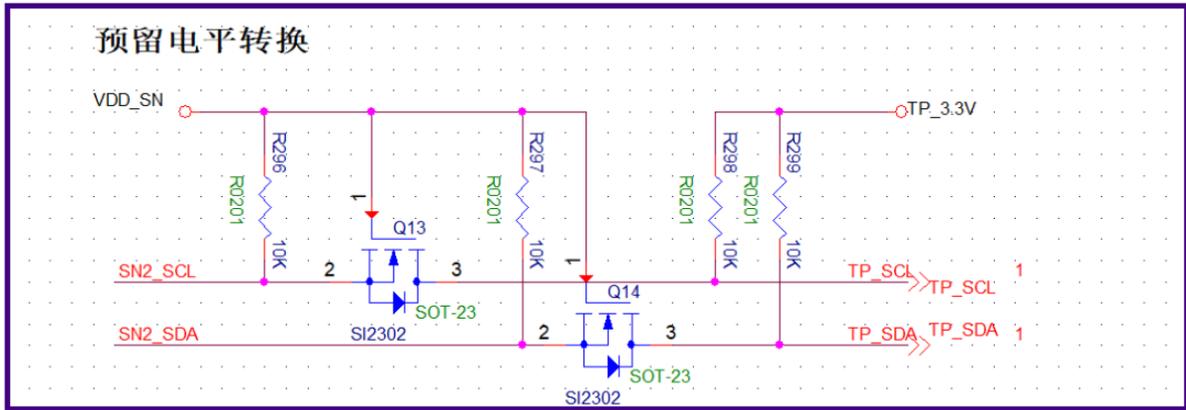
今天的文章内容到这里就结束了，希望对你有帮助，我们下一期见。

3.8 关于I2C电平转换电路

今天的文章来源于网友问答，我在群里给解答了一下，关于I2C电平转换，我之前写过一篇串口电平转换，其实是一个东西，然后今天我再简单写一下。



聊天记录中给出的原图就是下面这张。



1. 我首先问了一下，VDD_SN的电压，这个电压肯定是要小于右边的3.3V的，因为什么呢？

VDD_SN高于3.3V，NMOS Q13和Q14在关闭状态时，左边高于3.3V的电压就会通过Q13和Q14的体二极管到达TP_SCL和TP_SDA上，使其电压高于3.3V，就有损坏单片机IO口的风险。

2. 这个电路的工作原理是什么呢？

SN2_SCL=0V，Q13导通，TP_SCL=0；

SN2_SCL=1.8V，Q13截止，SN2_SCL=3.3V；能正常完成电平转换过程，SDA信号是同样的道理。

TP_SCL=0V，SN2_SCL通过二极管被拉到0，Q13导通，SN2_SCL=0V；

TP_SCL=3.3V，Q13截止，SN2_SCL=VDD_SN=1.8V；

3. 然后我又提到MOS管的开关时间，原因是什么呢？

左边到右边的数据传输，会有一个时间差，这个时间差一方面受到NMOS开关时间的影响，另一方面是总线容抗加上上拉电阻（RC时间常数）的影响。

假如I2C的速率是400KHz，那传输1bit数据的时间就是2.5us，如果MOS管的关闭时间参数大，加上RC较大，会出现如下比较差的上升沿波形，在这2.5us之内，1位数据的传输可能无法满足时序要求，导致通信失败。



下降沿是单片机IO直接输出低电平，驱动能力比较足，所以时间差主要受MOS管开启时间影响。

综上所述，最好选择开关时间小的MOS管，一般都是ns级别，其次还要考虑上拉电阻的选择。I2C的上拉电阻如何选择，在之前的文章中，我也有提到。

春眠不觉晓，IIC总线知多少？

图中的型号是SI2302，看了一下SPEC，参数还是比较小的。

Dynamic ^b						
Total gate charge	Q_g	$V_{DS} = 10\text{ V}, V_{GS} = 4.5\text{ V}, I_D = 3.6\text{ A}$	-	3.5	5.5	nC
Gate-source charge	Q_{gs}		-	0.6	-	
Gate-drain charge	Q_{gd}		-	0.45	-	
Gate resistance	R_g	$f = 1\text{ MHz}$	2	4	8	Ω
Switching						
Turn-on delay time	$t_{d(on)}$	$V_{DD} = 10\text{ V}, R_L = 2.78\ \Omega$ $I_D \cong 3.6\text{ A}, V_{GEN} = 4.5\text{ V}, R_g = 1\ \Omega$	-	8	15	ns
Rise time	t_r		-	7	15	
Turn-off delay time	$t_{d(off)}$		-	30	45	
Fall time	t_f		-	7	15	
Source-drain reverse recovery time	t_{rr}	$I_F = 3.6\text{ A}, di/dt = 100\text{ A}/\mu\text{s}$	-	8.5	15	nC
Body diode reverse recovery charge	Q_{rr}		-	2	4	

MOS开关时间不光要看switching参数，最好也看一下 Q_g 、 Q_{gs} 和 Q_{gd} ，参数的介绍，我在之前的文章也有写到。

带你读懂MOS管参数「热阻、输入输出电容及开关时间」

然后看了一下开启阈值，也符合要求。

SPECIFICATIONS ($T_A = 25\text{ }^\circ\text{C}$, unless otherwise noted)						
PARAMETER	SYMBOL	TEST CONDITIONS	LIMITS			UNIT
			MIN.	TYP.	MAX.	
Static						
Drain-source breakdown voltage	V_{DS}	$V_{GS} = 0\text{ V}, I_D = 250\ \mu\text{A}$	20	-	-	V
Gate-threshold voltage	$V_{GS(th)}$	$V_{DS} = V_{GS}, I_D = 250\ \mu\text{A}$	0.40	-	0.85	
Gate-body leakage	I_{GSS}	$V_{DS} = 0\text{ V}, V_{GS} = \pm 8\text{ V}$	-	-	± 100	nA

综上所述，这个电路是可以用的。

今天的文章内容到这里就结束了，希望对你有帮助，我们下一期见。

3.9 用二极管、三极管和MOS管搭建逻辑门电路

大家好，我是记得诚。

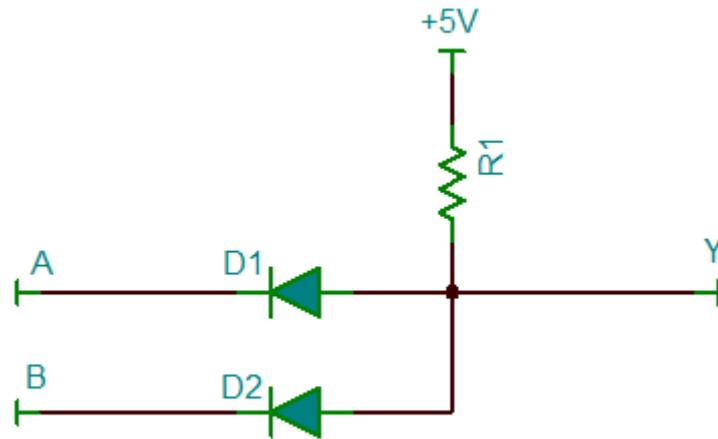
常见的晶体管有二极管、三极管和MOS管，主要的逻辑门电路：与门、或门、非门、与非门、或非门、异或门等，这篇博客介绍用晶体管搭建常见的逻辑门电路。

直接上图，电路图均是博主自己画的，先点赞，再收藏，再慢慢看，养成良好的习惯，觉得有疑问的地方，可以评论一起交流。

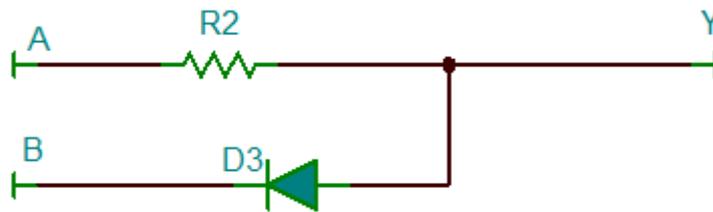
3.9.1 二极管

3.9.1.1 二极管与门

用两个二极管组成的与门，A和B都为高电平时，Y才为高电平。

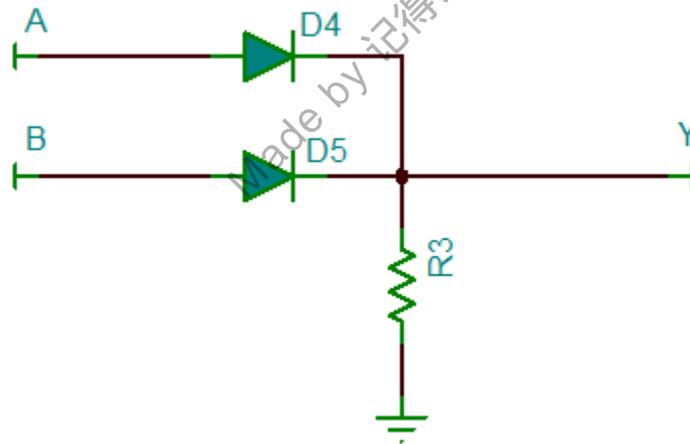


用1个二极管和1个电阻也可以组成与门。

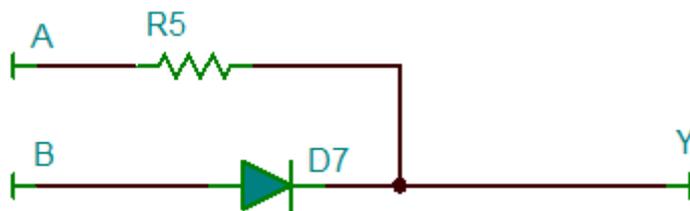


3.9.1.2 二极管或门

从下图两个或门电路可以看出，A和B只要有一个为高电平，输出Y就为高电平。



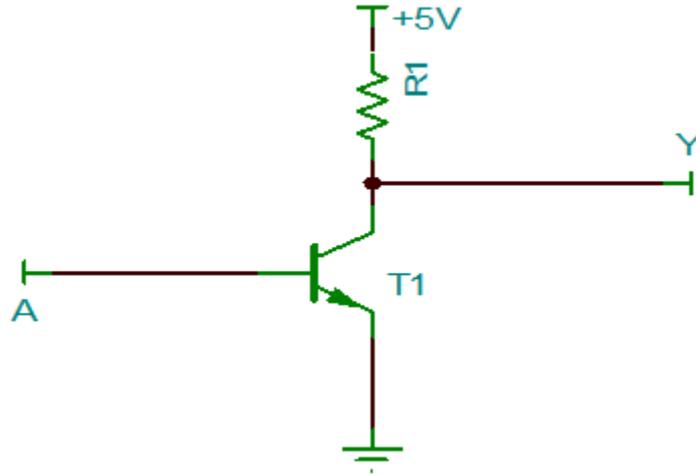
同样的，用1个电阻和1个二极管也可以组成或门。



3.9.2 三极管

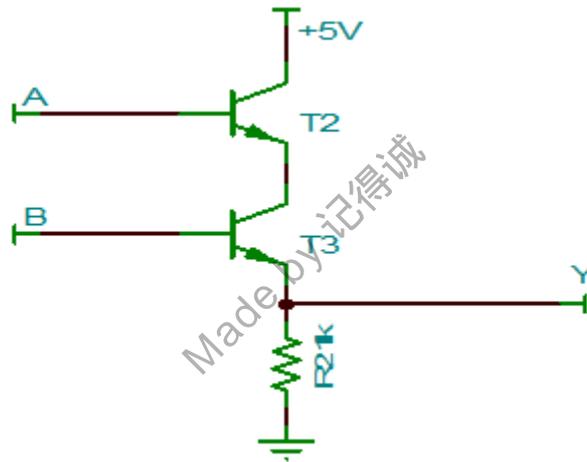
3.9.2.1 三极管非门

A为高电平，T1导通，Y为低电平；A为低电平，T1截止，Y为高电平。

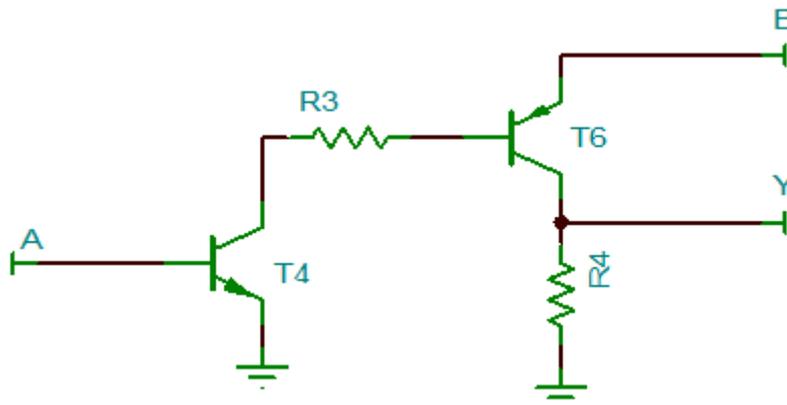


3.9.2.2 三极管与门

用2个NPN三极管搭建与门；A和B都为高电平时，T2和T3都导通，此时Y为高电平。

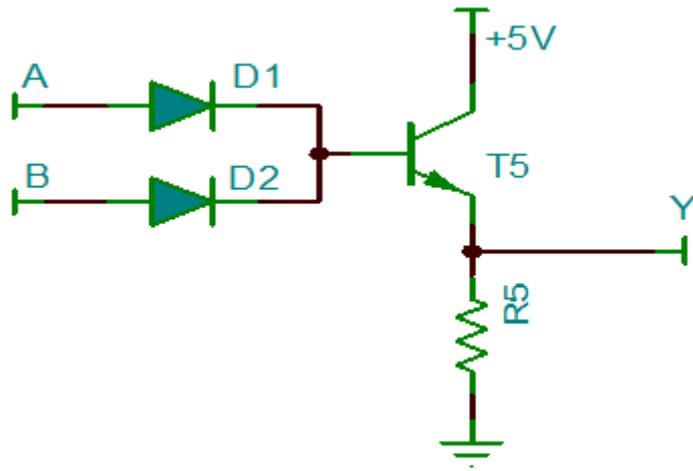


用1个NPN和1个PNP搭建的与门，当A和B均为高电平时，T4和T6都导通，Y为高电平。



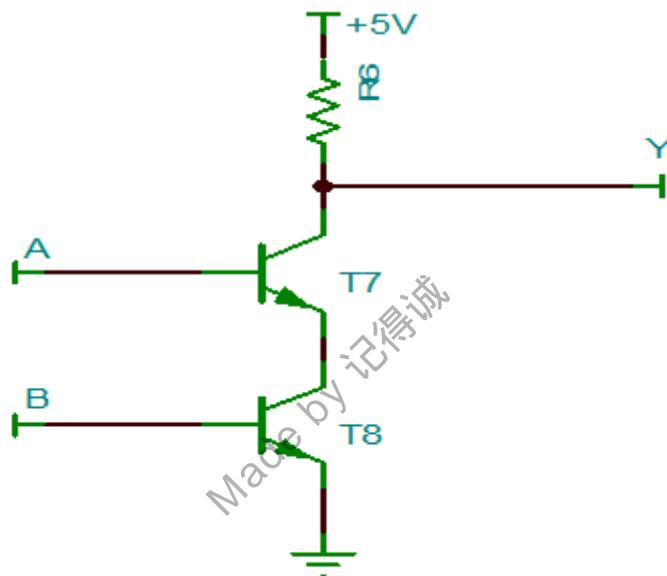
3.9.2.3 三极管或门

在二极管或门基础上，可以加一个NPN三极管，也可以组成或门，A和B只要有一个高电平，T5就会导通，Y会由低电平变为高电平；当A和B都为低电平时，T5才截止，Y为低电平。



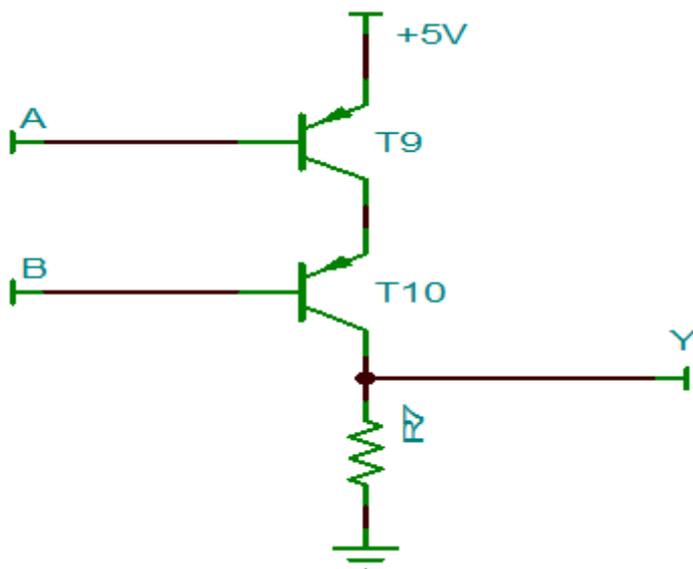
3.9.2.4 三极管与非门

与非门由与门和非门组成，在三极管与门基础上稍作修改，可以变为三极管与非门。



3.9.2.5 三极管或非门

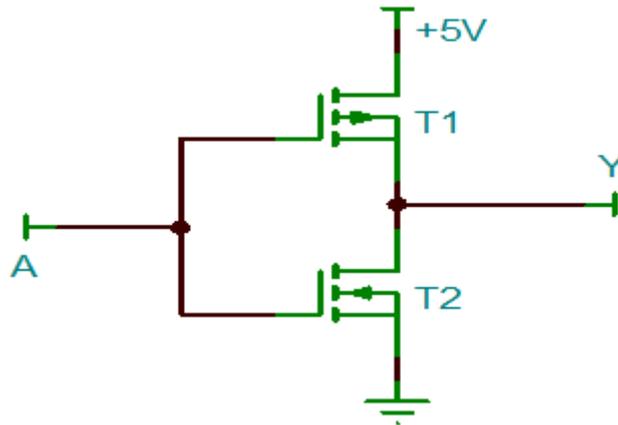
用2个PNP三极管搭建的或非门，A和B只要有一个高电平，Y就为低电平；当A和B都为低电平时，T9和T10均导通，Y为高电平。



3.9.3 MOS管

3.9.3.1 MOS管非门

用1个NMOS和1个PMOS搭建的非门；当A为高电平时，T1截止，T2导通，Y为低电平；当A为低电平时，T1导通，T2截止，Y为高电平。



3.9.3.2 MOS管与非门

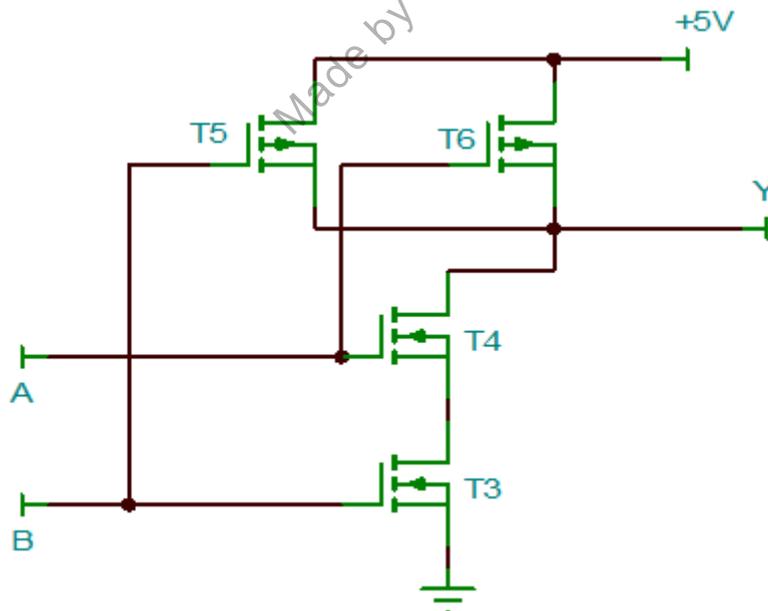
如下图，T3和T4为NMOS，T5和T6为PMOS；

A=0, B=0时，T5和T6导通，T3和T4截止，Y=1；

A=1, B=0时，T3和T6截止，T4和T5导通，Y=1；

A=0, B=1时，T3和T6导通，T4和T5截止，Y=1；

A=1, B=1时，T5和T6截止，T3和T4导通，Y=0；



3.9.3.3 MOS管或非门

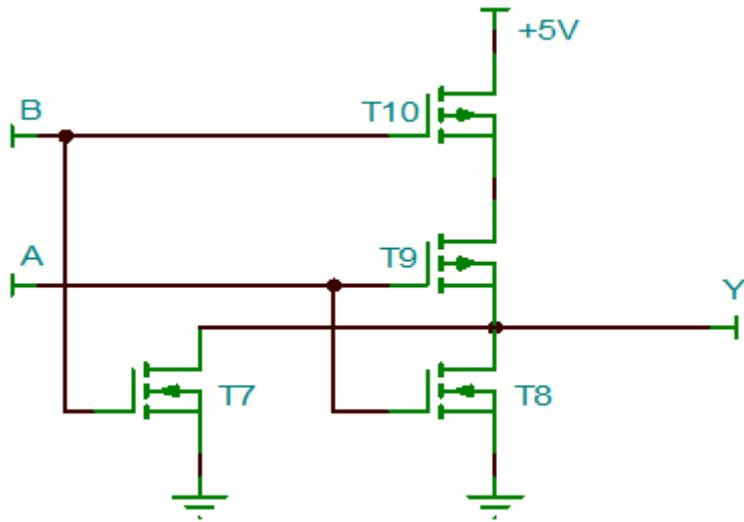
如下图，T7和T8为NMOS，T9和T10为PMOS；

A=0, B=0时，T9和T10导通，T7和T8截止，Y=1；

A=1, B=0时，T7和T9截止，T8和T10导通，Y=0；

A=0, B=1时，T7和T9导通，T8和T10截止，Y=0；

A=1, B=1时，T9和T10截止，T7和T8导通，Y=0；



3.9.4 真值表

通过真值表能反映一个电路的功能，给出了如下门电路的真值表，小伙伴们可以巩固下各个门电路的功能。

3.9.4.1 与门

与门功能：输入都为1，输出才为1，只要有一个0，输出就为0，记作 $Y = A * B$ 或 $Y = AB$;

A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1

3.9.4.2 或门

或门功能：输入只要有一个1，输出就为1，记作 $Y = A + B$;

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	1

3.9.4.3 非门

非门：非门也叫反相器，即输入1，输出0，输入0，输出1，记作 $Y = \overline{A}$ 或 $Y = A'$;

A	Y
0	1

A	Y
1	0

3.9.4.4 与非门

与非门: 与非门是与门与非门的结合, 先与后非, 记作 $Y = \overline{AB}$ 或 $Y = (AB)'$;

A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

3.9.4.5 或非门

或非门: 或非门是或门与非门的结合, 先或后非, 记作 $Y = \overline{A + B}$ 或 $Y = (A + B)'$;

A	B	Y
0	0	1
0	1	0
1	0	0
1	1	0

3.9.5 小结一下

用晶体管绘制常见的逻辑门电路, 会让我们对晶体管的特性更加熟悉, 在电路设计时更加的从容淡定, 也常出现在硬件工程师的笔试题中, 总之一句话, 会了这些, 你就是街上最靓的GAI。

今天的文章到这里就结束了, 希望对你有帮助, 我们下一期见。

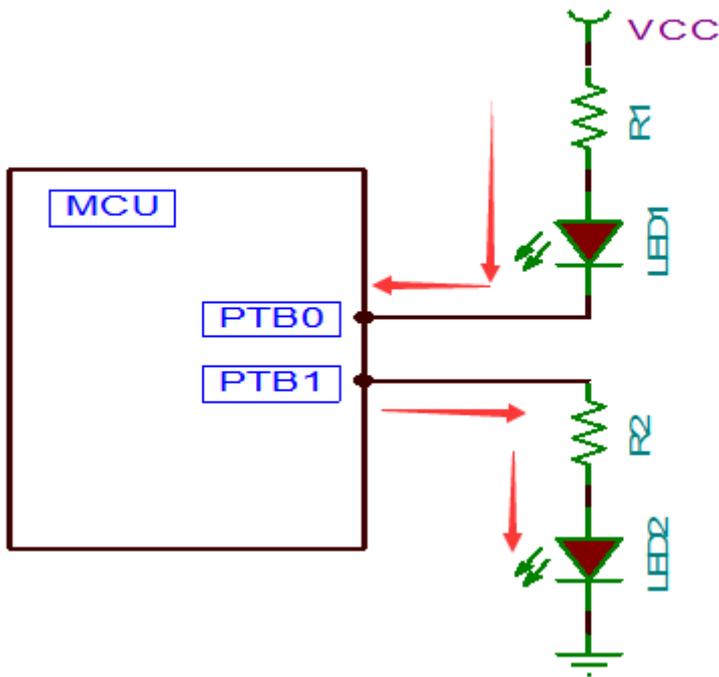
3.10 用图示及公式讲清楚灌电流和拉电流的区别

灌电流和拉电流的概念在电路中经常出现, 不管是单片机的GPIO, 还是一般的上下拉电路, 了解后可以更好地理解 and 设计电路。

3.10.1 如何理解

灌电流(sink current)被动输入电流, 是从输出口流入电流, 下图, 当PTB0输出低的时候, LED亮, 电流的方向就是从VCC流进PTB0管脚。

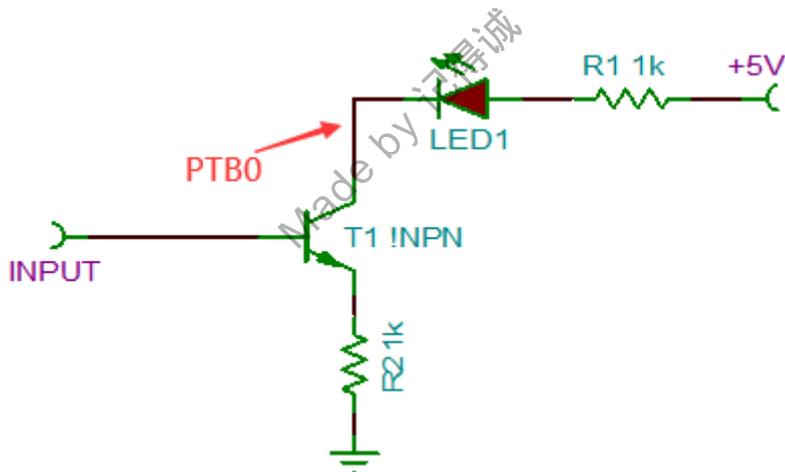
拉电流(sourcing current)主动输出电流, 是从输出口输出电流, 下图, 当PTB1输出高的时候, LED亮, 电流的方向就是从PTB1流进地。



灌电流和拉电流

3.10.2 灌电流

如下图所示，画出PTB0的内部结构。



灌电流举例电路

当INPUT输出高电平时，LED亮。当三极管在饱和状态，CE之间近似一个开关，PTB0上电压就是：

$$U = \frac{5V * R2}{R1 + R2} \quad (1)$$

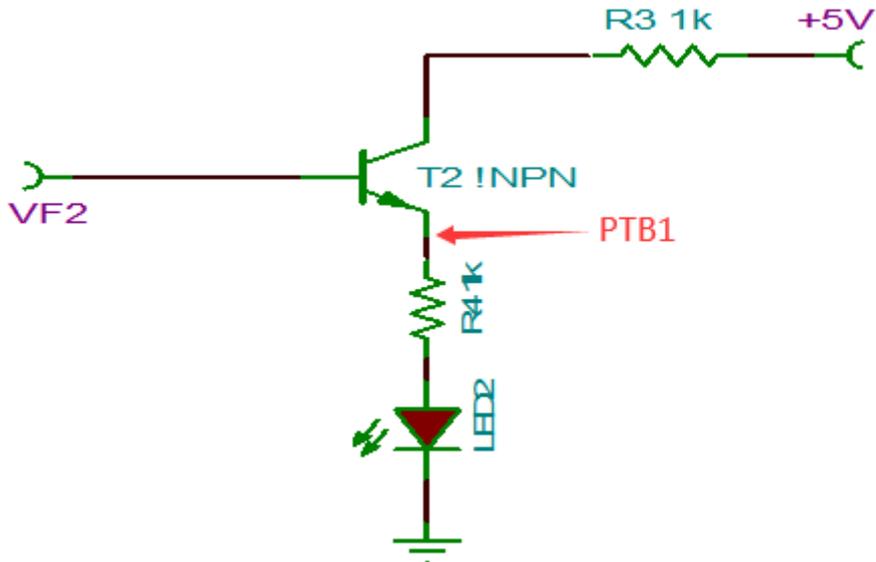
对于公式 (1) 可以得到如下两点：

R1越小，灌电流越大，PTB0电压越大；

当灌电流越大时，三极管的饱和压降越大，PTB0的低电平就越大。逻辑门的低电平有一个 U_{ILmax} ，当高于这个值的时候，就无法识别为逻辑0，所以灌电流是有一个上限的。

3.10.3 拉电流

如下，简易画出PTB1的内部结构。



拉电流举例电路

当VF2输出高电平时，LED亮。三极管在饱和状态，CE之间近似一个开关，PTB1的电压为：

$$U_2 = \frac{5V * R_4}{R_3 + R_4} \quad (2)$$

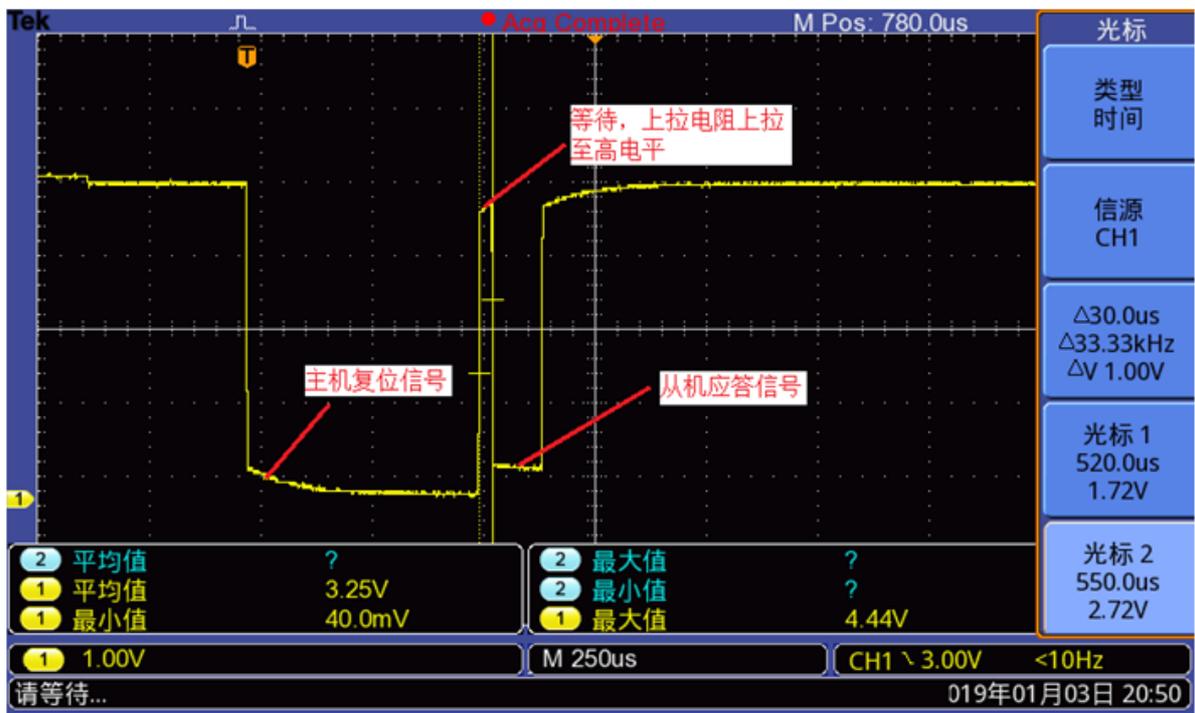
对于公式 (2) 可以得到如下两点：

R3越小，拉电流越大，PTB1电压越大；

当拉电流越大时，输出端的高电平就越低。逻辑门的高电平有一个 U_{IHmin} ，当低于这个值的时候，就无法识别为1，所以拉电流也是有一个上限的。

3.10.4 实际问题

如下是一个单总线的复位应答信号，可以看出，在主机发送复位信号拉低总线，然后释放，再由上拉电阻上拉至VDD高电平，然后从机拉低总线应答，发现从机的低电平比较高，电压并没有拉低到0V，这个原因就是上面说到的，灌电流过大，说明这个上拉选得比较小，如果这个从机的低电平再高一些，可能就无法被主机识别，导致通信失败。

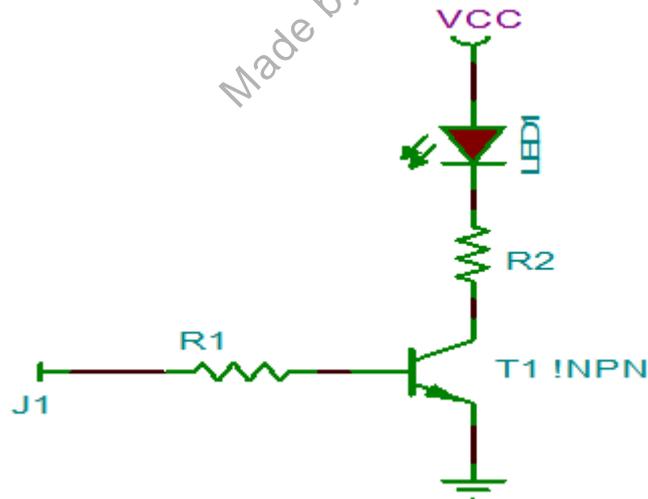


今天的文章内容到这里就结束了，希望对你有帮助，我们下一期见。

3.11 NPN和PNP三极管驱动LED电路

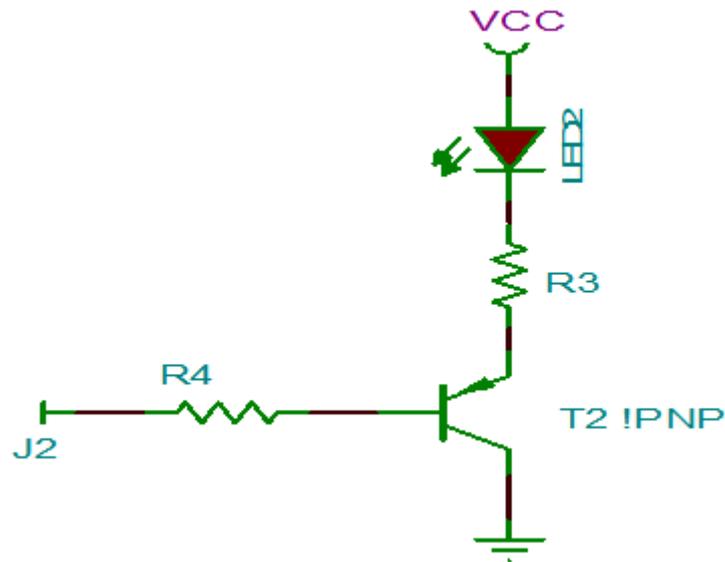
分享硬件工程师常考笔试题，用NPN和PNP三极管设计LED电路。

笔试原题：用NPN、PNP三极管搭建LED控制电路，并说明控制信号高低电平对应的LED亮和灭？



T1是NPN型三极管，R2是LED限流电阻，R1是基极电阻，J1是控制信号，原理如下：

- J1高电平，三极管导通，LED亮；
- J1低电平，三极管截止，LED灭；



T2是PNP型三极管，R3是LED限流电阻，R4是基极电阻，J2是控制信号，原理如下：

- J2高电平，三极管截止，LED灭；
- J2低电平，三极管导通，LED亮；

在硬件笔试中，画出上面形式就可以了，电阻的阻值可以不用标注，在实际应用中，阻值如何选取？点击查看文章：[一文搞懂三极管开关电路，基极电阻如何选择？](#)

今天的文章内容到这里就结束了，希望对你有帮助，我们下一期见。

3.12 3.3V和5V串口通信电平转换电路

大家好，我是记得诚。

两个单片机由于电平不同，串口通信可能会失败，这时候需要通过电平转换电路来解决，本文给出了两种方法，一种是通过三极管搭建，另一种是MOS管搭建，在硬件工程师的笔试中也经常会出现这样的题目。

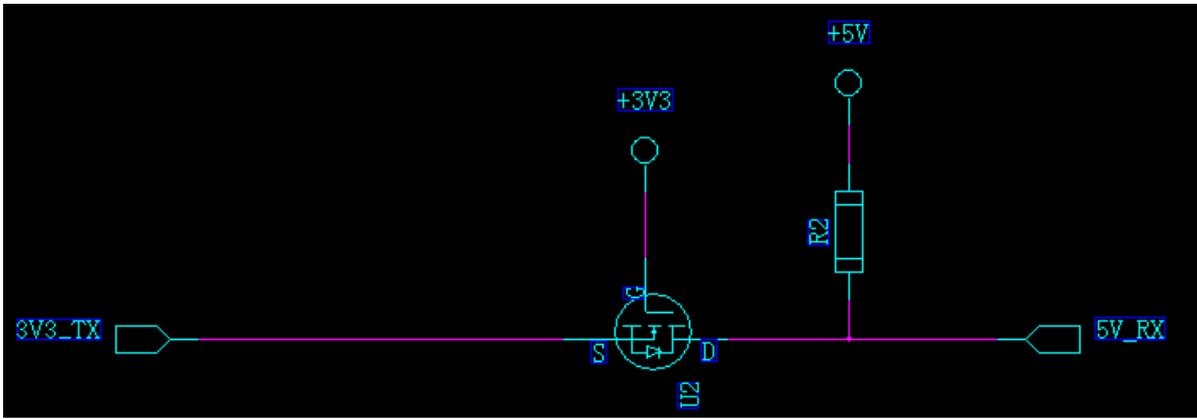
3.3V单片机和5V单片机通信的思路

3.3V单片机	通信方向	5V单片机
发送逻辑1（对应电压3.3V）	→	接受逻辑1（对应电压5V）
发送逻辑0（对应电压0V）	→	接受逻辑0（对应电压0V）
接受逻辑1（对应电压3.3V）	←	发送逻辑1（对应电压5V）
接受逻辑0（对应电压0V）	←	发送逻辑0（对应电压0V）

3.12.1 MOS管转换电路

工作原理：

- 1、当3V3单片机发送逻辑1，即3V3_TX=3.3V， $U_{gs}=0V$ ，MOS管截止，5V_RX通过R2上拉到+5V，5V_RX=5V；
- 2、当3V3单片机发送逻辑0，即3V3_TX=0V， $U_{gs}=3V$ ，MOS管导通，5V_RX会被拉低，5V_RX=0V；



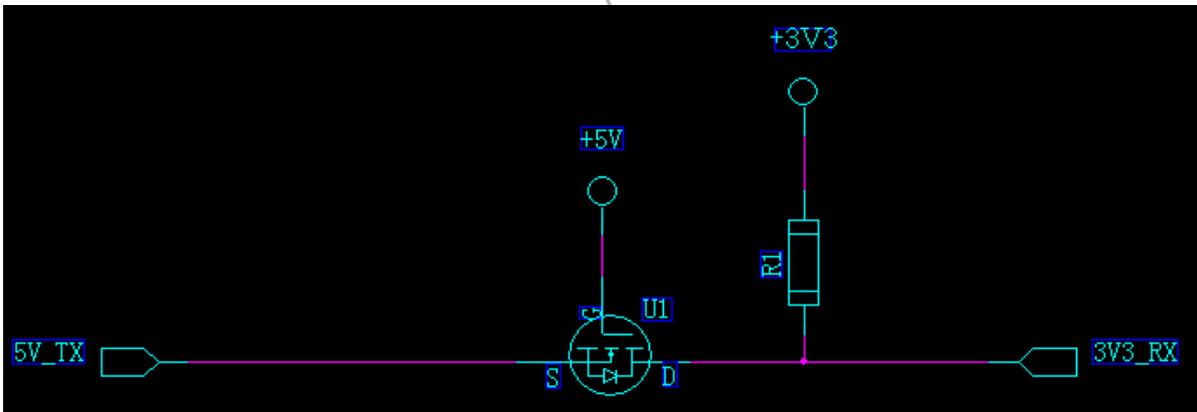
3V3_TX发送给5V_RX

那有人说了，5V的数据怎么发送给3V3单片机呢？是不是将信号方向及电源更换即可，我们来看一下。

工作原理：

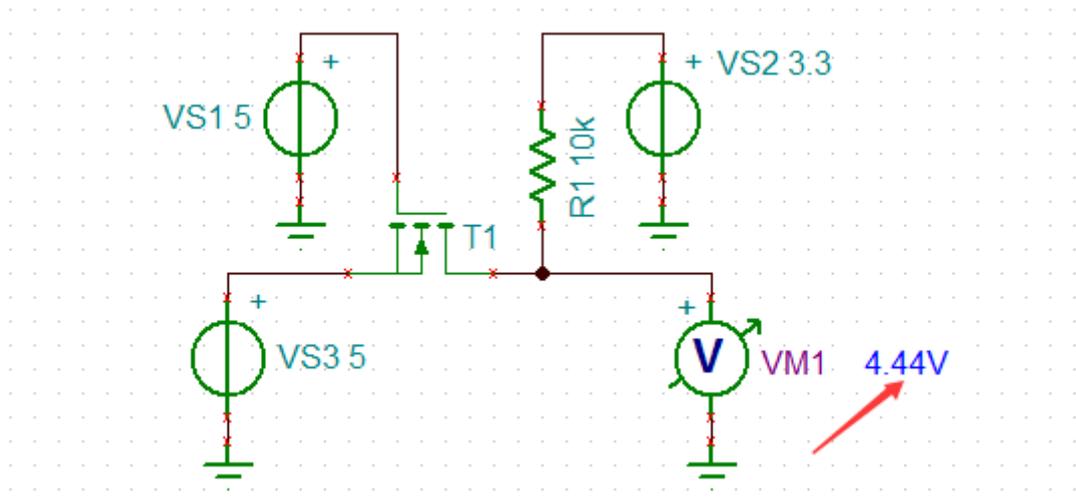
- 1、当5V单片机发送逻辑1，即 $5V_TX=5V$ ， $U_{gs}=0V$ ，MOS管截止，3V3_RX通过R1上拉到3V3，3V3_RX=3.3V；
- 2、当5V单片机发送逻辑0，即 $5V_TX=0V$ ， $U_{gs}=5V$ ，MOS管导通，3V3_RX被拉低，所以3V3_RX=0；

以上分析似乎合情合理，**其实如下电路不可用**，上面的第2点其实是没有问题的，主要是第1点，当MOS管截止时，5V_TX的5V电压会经过MOS管的体二极管到达3V3_RX，使3V3_RX的电压高于3.3V（4V多，取决于体二极管的导通压降）。这样的话，一方面4V多的电压与3.3V有压差，经过R1电阻会有耗电；另一方面，4V多的电压也可能损坏3.3V单片机的RX管脚。



此电路不可用

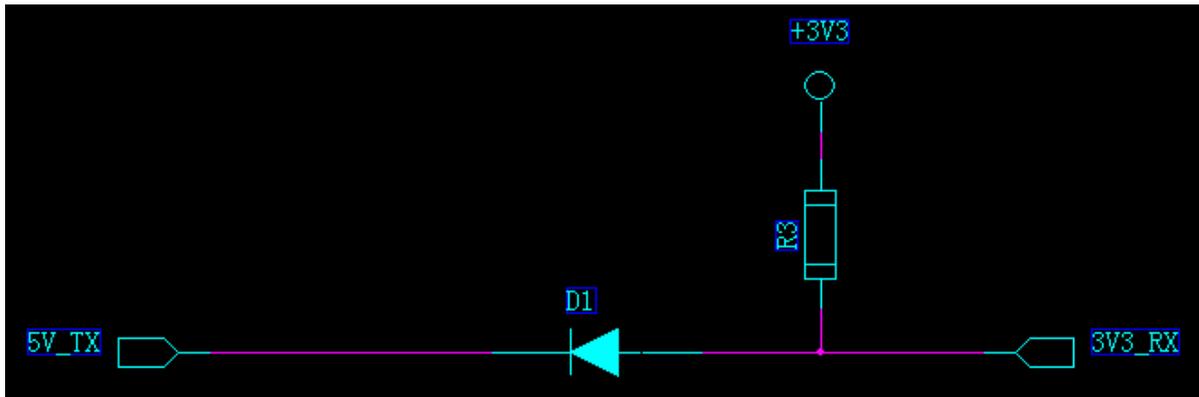
利用仿真软件仿真，可以看到MOS管截止时，输出是4.44V，明显高于3.3V，验证了上述的观点。



仿真上述不可用电路

那如何设计5V发送到3.3V单片机呢？其实也简单，两个器件搞定，如下是电路图。

- 1、5V_TX=5V时，二极管D1截止，3V3_RX=3.3V；
- 2、5V_TX=0V时，二极管D1导通，3V3_RX≈0.6V；实际3V3_RX是多少，取决于D1的正向导通压降，因为要得到更低的电压，一般D1选择肖特基二极管，肖特基优点就是导通压降小。

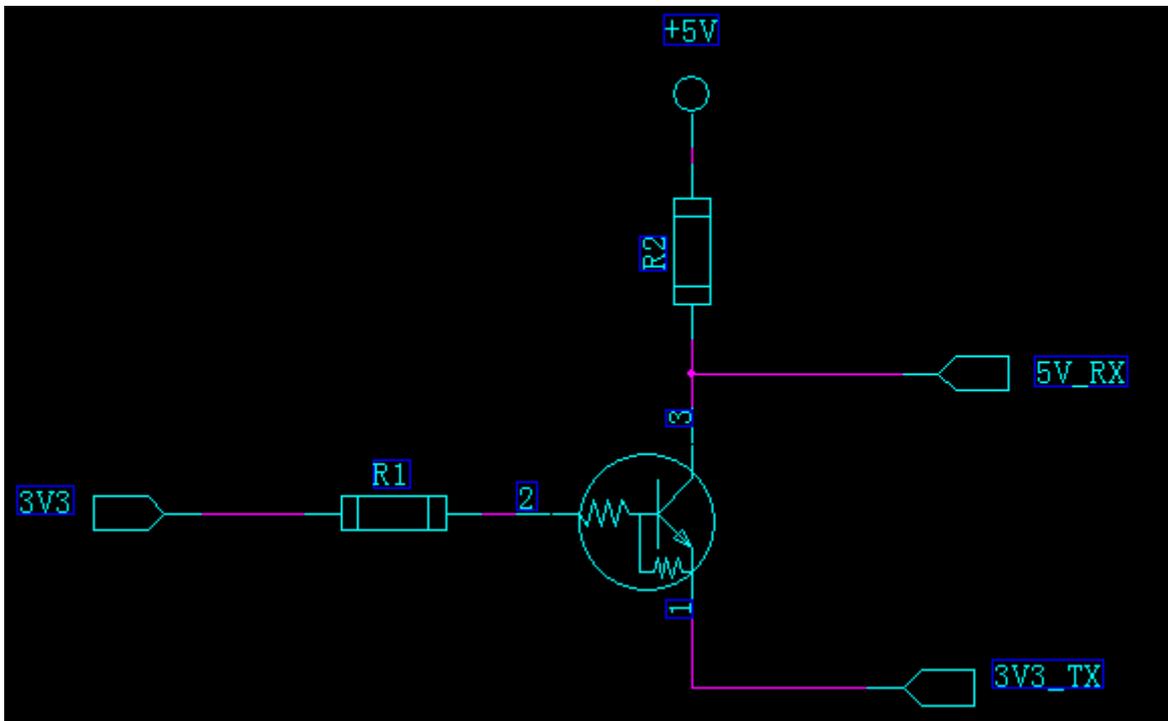


5V_TX发送给3V3_RX

3.12.2 三极管转换电路

工作原理：

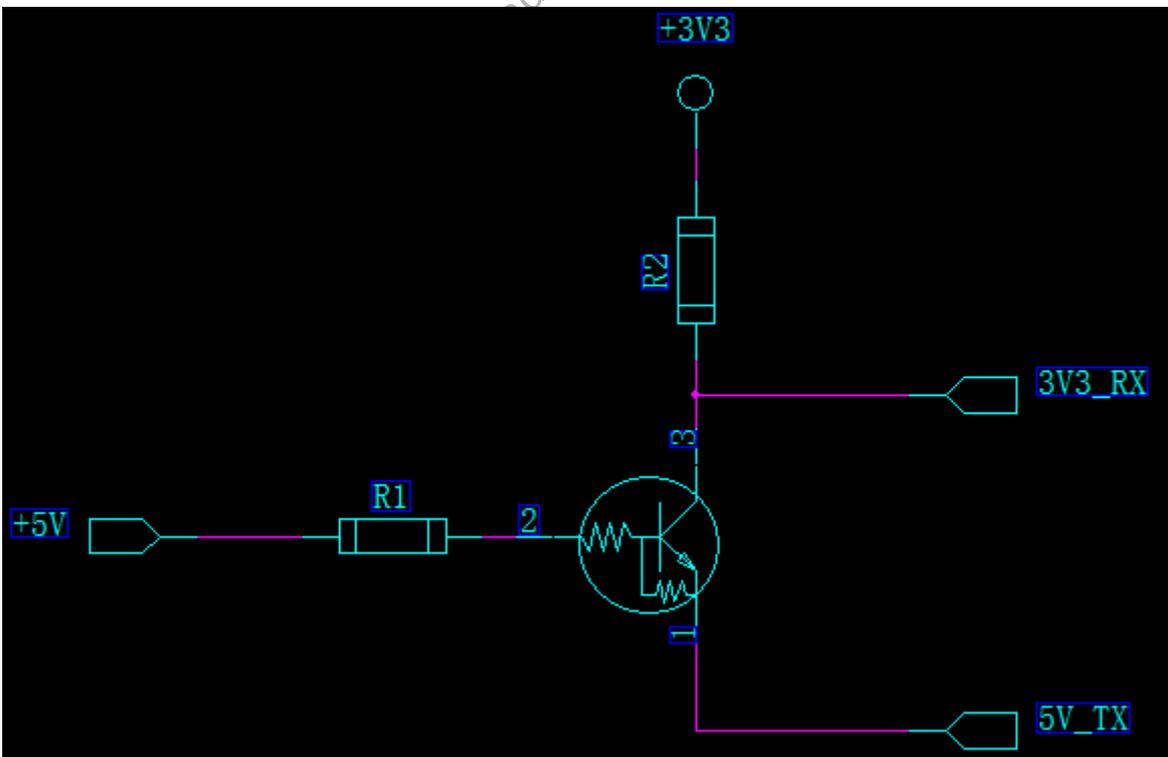
- 1、当3V3单片机发送逻辑1，即3V3_TX=3.3V，NPN三极管截止，5V_RX通过R2上拉到+5V，5V_RX=5V；
- 2、当3V3单片机发送逻辑0，即3V3_TX=0V，NPN三极管导通，5V_RX会被拉低，所以5V_RX=0V；



3V3_TX发送给5V_RX

利用三极管，5V单片机发送给3.3V单片机，是不是电源和信号互换就可以，和MOS管电路一样，如下电路同样不能用。

原因是当5V_TX为5V时，发射极反偏，但是5V通过电阻R1由三极管的基极到达三极管的集电极，造成集电极正偏，和MOS管电路一样，使3V3_RX电压高于3.3V（4V多），大家可以仿真一下，这里我就不仿真了。

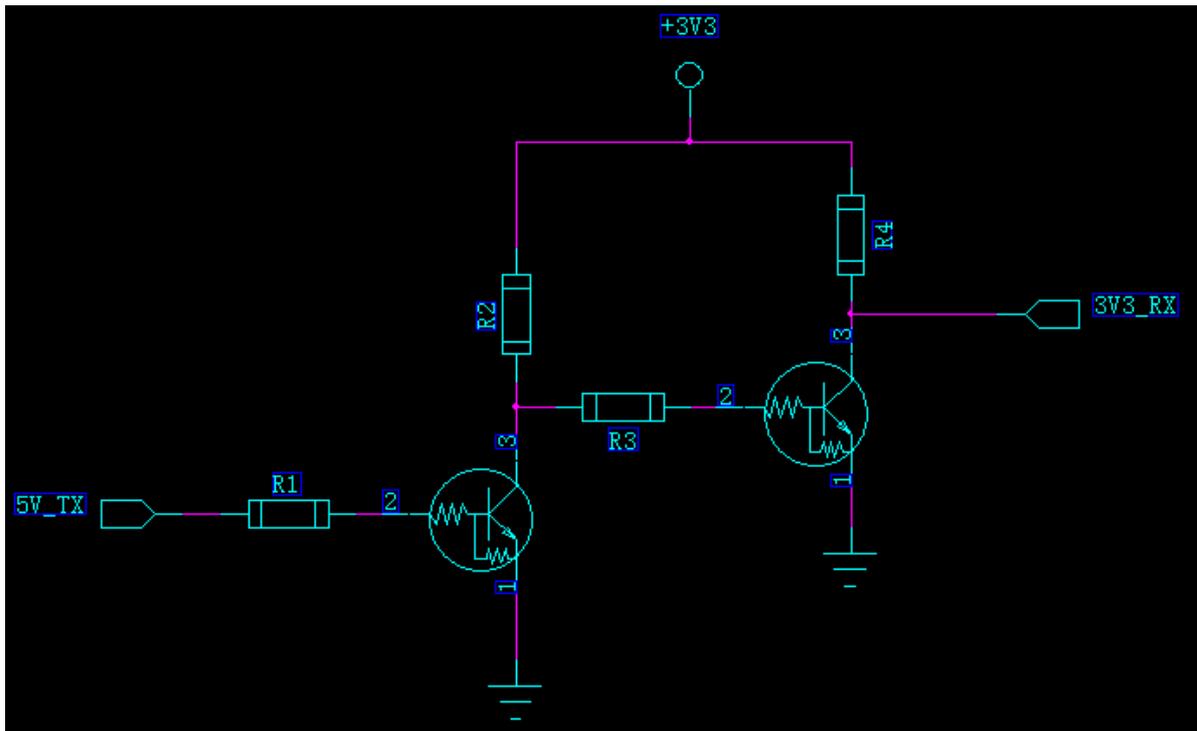


此电路不可用

如下，给出了5V单片机向3.3V单片机发送的电路图，用两个NPN三极管搭建。

工作原理:

- 1、当5V单片机发送逻辑1，即 $5V_TX=5V$ ，Q1导通，Q2的基极被拉低，Q2截止，所以 $3V3_RX=3.3V$;
- 2、当5V单片机发送逻辑0，即 $5V_TX=0V$ ，Q1截止，Q2导通，所以 $3V3_RX=0V$;



5V_TX发送给3V3_RX

可以看到，我并没有画两个NMOS管搭建5V单片机向3.3V单片机发送的电路，其实将上图中的三极管换成NMOS管，就能实现，在实际的电路设计中，为减少成本，应尽量考虑用较少的器件搭电路，所以一般就用二极管方案。

今天的文章内容到这里就结束了，希望对你有帮助，我们下一期见。

3.13 双电源自动切换电路

写在前面：在这里分享一个双电源切换电路，在电子设计中经常会用到，如果觉得对你有帮助，帮忙点个赞。

工作原理:

1. 有BAT1 3.8V，没有VIN_5V时:

电压从U1的D极经过MOS管的体二极管到达S极， $S \approx 3.6V$ （假设体二极管压降为0.2V），因为VIN_5V没有，所以 $G=0V$ ， $U_{gs}=-3.6V$ ，MOS管会导通，MOS管导通后，因为导通压降很小，体二极管会截止，S电压等于3.8V;

2. 有VIN_5V，没有BAT1 3.8V时:

U1是截止的， $V_{OUT}=VIN_5V-V_{df}$ （ V_{df} 是二极管D1的导通压降），需要注意，R1尽量选择大一点的阻值，VIN_5V通过R1对地会有耗流;

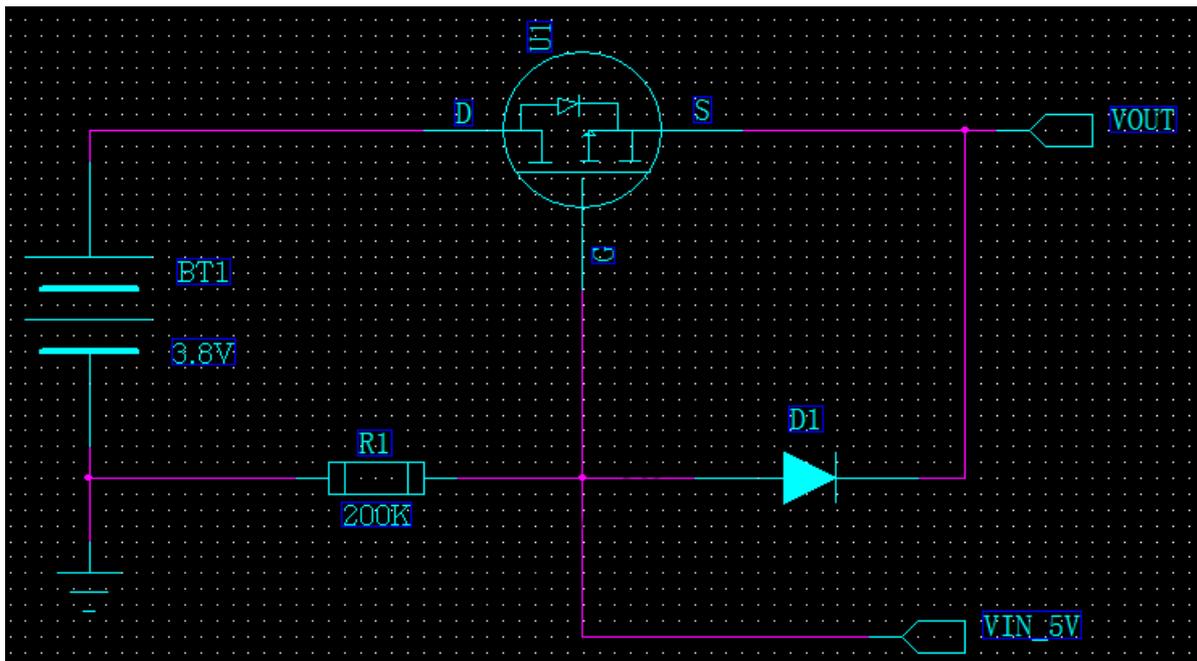
3. BAT1 3.8V和VIN_5V都有时:

假设U1体二极管的压降为0.2V，二极管D1的导通压降为0.3V，3.8V经过体二极管，S为3.6V，VIN_5V经过D1，使S极变为4.7V， $U_{gs} > 0$ ，MOS管截止，所以最终 $V_{OUT} = 4.7V$ ，也就是 V_{OUT} 使用的是VIN_5V的电源；

也就是说，在电池BAT和VIN_5V都有时，会优先使用VIN_5V的电。那我们再想一下，当VIN_5V突然断电时，PMOS的G极会变为0V， $U_{gs} = 0 - 3.6V = -3.6V$ ，MOS管导通， $V_{OUT} = 3.8V$ ，所以这个电路优点就是VIN_5V断电时，BAT1的电会上，保证 V_{OUT} 不掉电。

此电路需要注意的几个点：

- 1、MOS管选择合适的开启电压；
- 2、D1的正向导通压降需要考虑；
- 3、 V_{OUT} 后端负载的工作电压确认好，以免造成电压偏大或偏小。



双电源自动切换电路

今天的文章内容到这里就结束了，希望对你有帮助，我们下一期见。

3.14 MOS管防电源反接电路

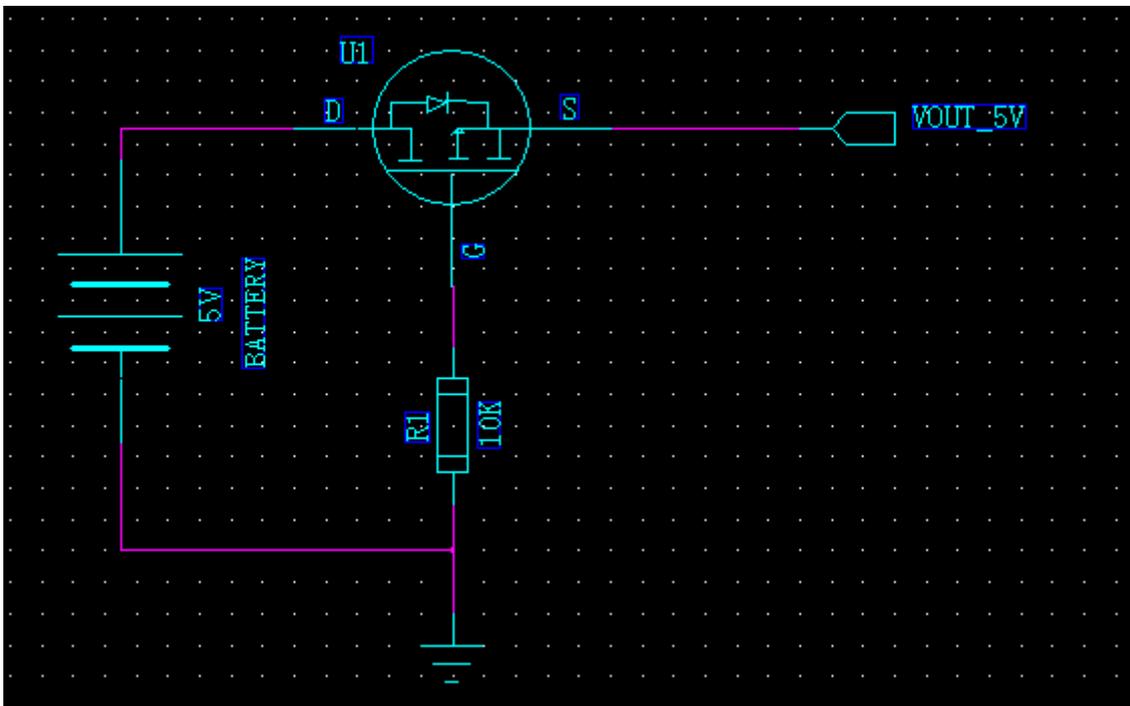
写在前面：看网上很多MOS管防反接电路都是不太对，写的不够详细，如下博主用NMOS和PMOS各画了一个，非常详细。

3.14.1 PMOS管防反接

防电源反接原理：

电源正常接时，5V电压从U1的D极经过体二极管到达S极，因为有一个压降，S极电压约4.3V， $U_{gs} = -4.3V$ ，所以MOS管导通，MOS管导通之后，D和S之间的导通压降很小，体二极管也就截止了，所以输出 $V_{OUT_5V} \approx 5V$ ；

当电源接反时，此时G极电压为5V， $U_{gs} > 0$ ，所以PMOS管不会导通，也就保护了后端电路。



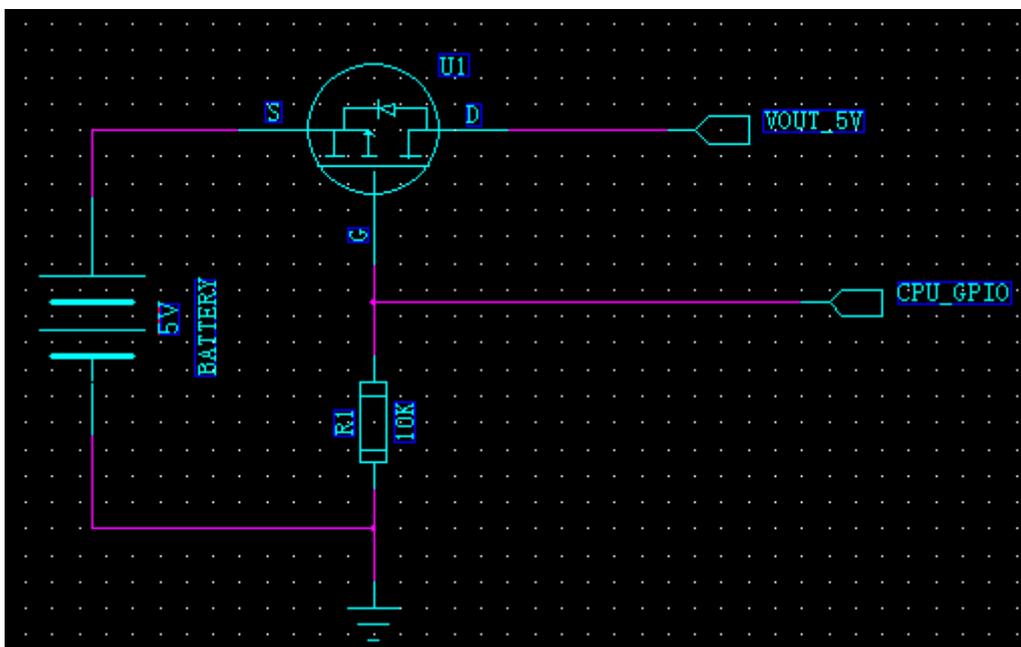
PMOS管防电源反接电路示意

使用此电路需要注意如下几点：

- 1、这个电路适用于低压的场合，MOS管的导通内阻很小（小的一般是mΩ级别），所以输出电压几乎输入电压，如果用二极管防反接，会有一个比较大的导通压降，之前写过二极管防反接保护电路，可参考[二极管防电源反接电路](#)
- 2、MOS管选择合适的导通电压，如果输入电压很低，MOS管可能无法导通，而是直接走的体二极管，导致输出电压更低。
- 3、5V输入端可以加MLCC滤波，切记不能加有极性的器件，防止反接时损坏。

3.14.2 PMOS管开关电路

又有人会问了，为什么上图中的D和S方向和我们平时用的不一样，下图是我们经常用的PMOS管开关电路。



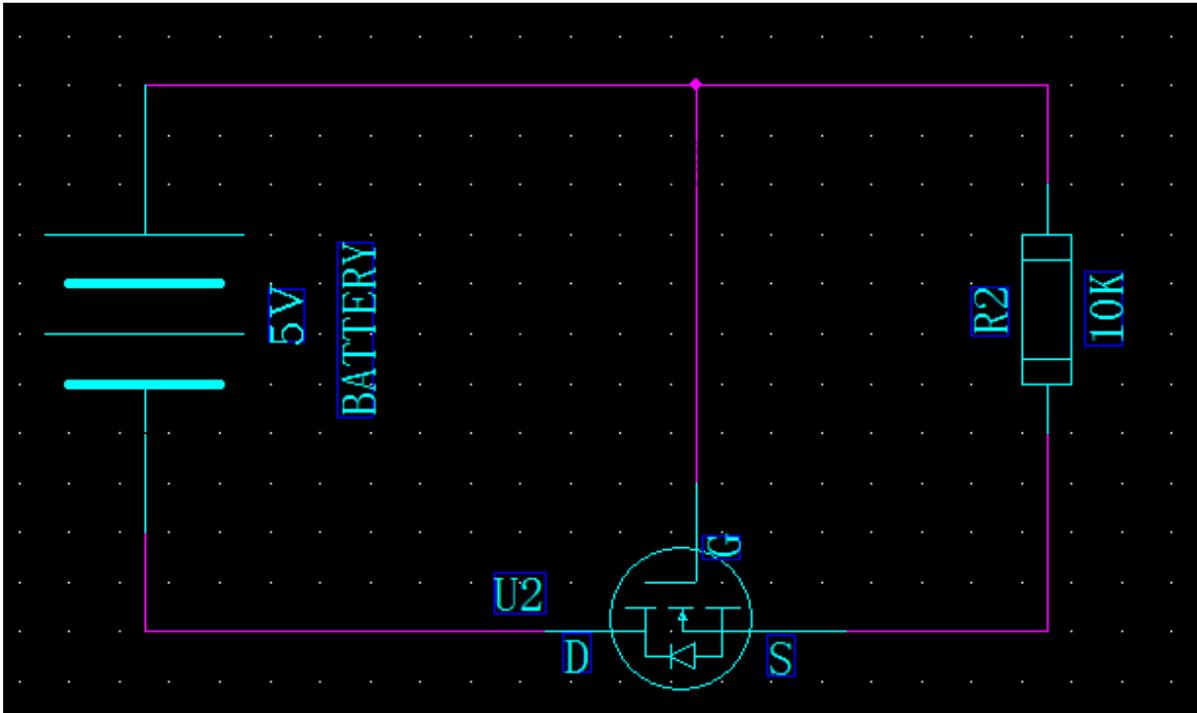
工作原理:

电源正接时, $U_{gs} < 0$, MOS管导通, D极电压就等于5V;
 当5V电源反接时, $S=0$, $G=5V$, $U_{gs} > 0$, MOS管是关闭状态的, 看到这里, 似乎是合理, 也能防止反接, 但是 $S=0$ 时, PMOS的体二极管会导通, 会将VOUT_5V钳位在0.7V左右, 那又有人说了, 为什么MOS管的体二极管会导通, S和D都为0啊, 那是因为在实际电路中, VOUT_5V后端可能有很多负载, 如果有串电流, 体二极管可能就会导通, 这就是为什么S和D需要调换。

3.14.3 NMOS管防反接

防电源反接原理:

当5V电源正接时, MOS管的 $G=5V$, $D=0V$, MOS管的体二极管会导通, 将S电压钳在0.7V左右, 需要注意, 图中的R2看做是一个负载, 并不单单是一个电阻, $U_{gs} > 0$, 所以MOS管导通, MOS管导通之后, 因为导通压降很低, 体二极管截止了, S电压等于0V, 负载正常工作。
 当5V电源反接时, $G=0$, $S=0$, $U_{gs}=0$, MOS管是截止状态, 并且体二极管也不通, 电路中是没有电流回路的, 保护了后端负载。



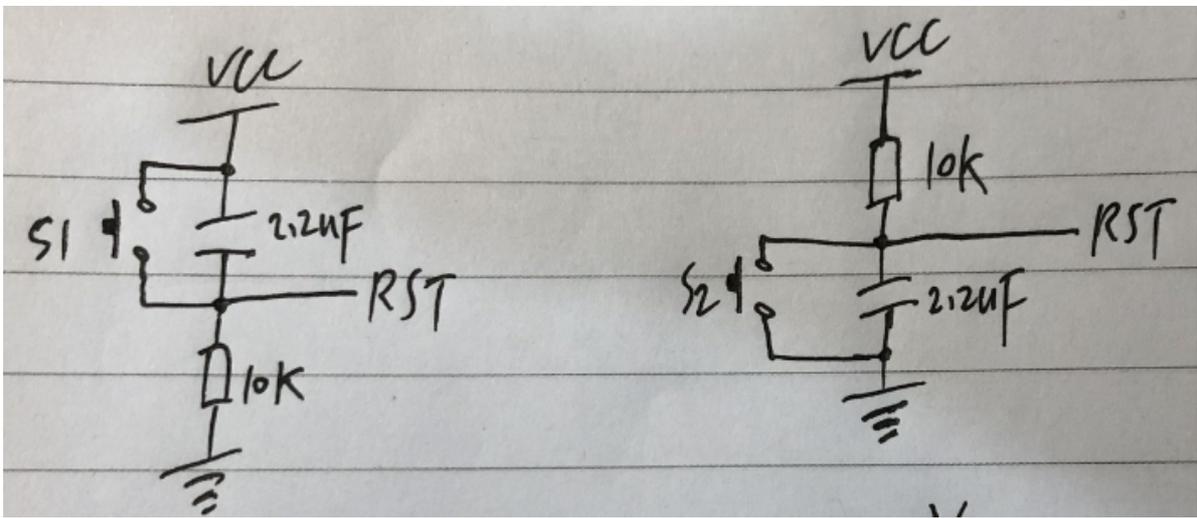
NMOS管防电源反接电路示意

今天的文章内容到这里就结束了, 希望对你有帮助, 我们下一期见。

3.15 高电平和低电平复位电路

对初学51单片机的人来说, 可能不太能理解复位电路, 复位电路有高电平复位和低电平复位两种, C51是高电平复位, 现在一般的MCU都是低电平复位。

左图是高电平复位, 右图是低电平复位。一个电路看是高电平还是低电平复位, 看开关S按下RST的状态, 左图中S1按下, RST是高电平, 即高电平复位; 右图S2按下, RST是低电平, 即低电平复位。



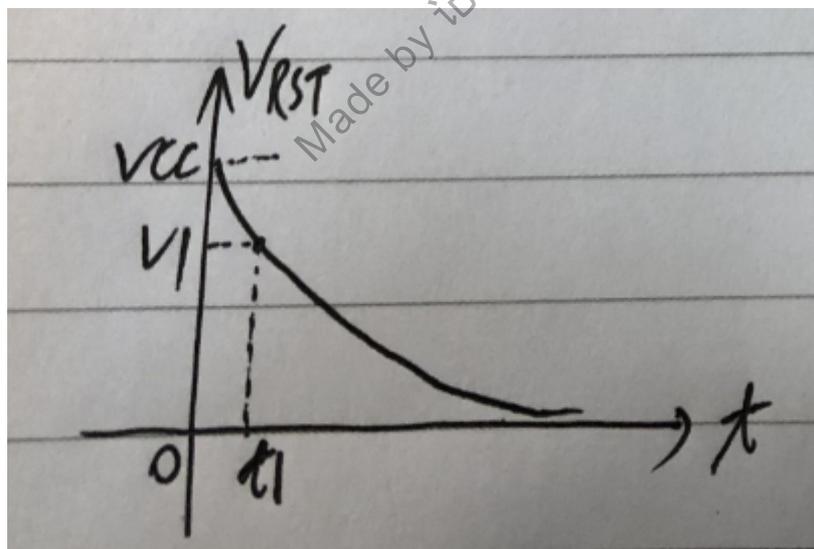
左高电平复位 右低电平复位

高电平复位分析

对左图来说，单片机上电，因为电容两端电压不能突变特性，RST会维持一段时间高电平，所以单片机复位，随着RST上的电压经过10K电阻对地放电，RST电压逐渐减低，单片机进入正常的工作状态，最后RST电压变为0V。

当开关S1按下时，电容两端相当于短路，RST为5V，所以单片机复位，松开S1后，RST的电压变化就和上面描述一样了。

下图是RST电压随时间t的变化曲线，在0~t1时间内，单片机是复位状态，随着RST上电压降低，单片机进入正常工作状态，最后RST变为0V。



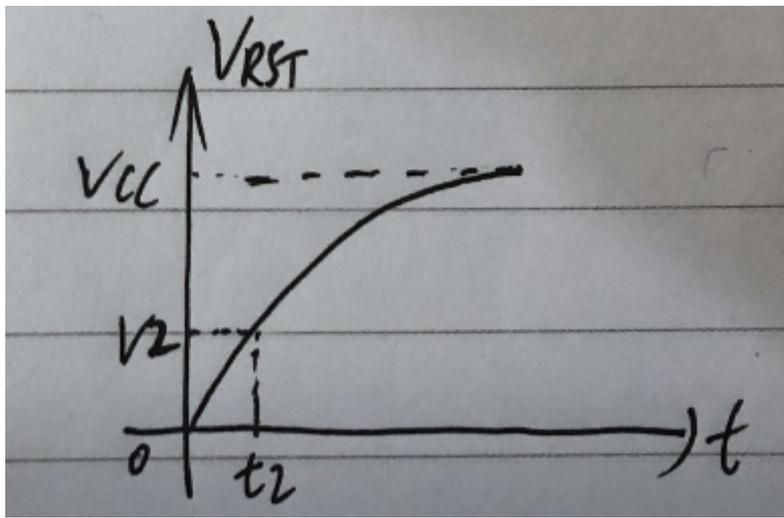
RST电压随时间t的变化曲线

低电平复位分析

对上右图来说，单片机上电，由于电容两端电压不能突变，RST的电压会维持一段时间低电平，单片机进行复位，VCC通过10K电阻对电容进行充电，RST电压会逐渐升高，单片机进入正常工作状态，最后RST电压等于VCC。

当开关S2按下时，电容两端短路，RST为0，单片机会复位，松开S2后，RST的变化就和上面描述一样了。

下图是RST电压随时间变化的曲线，0~t2时间内，单片机是复位状态，随着RST电压升高，单片机进入正常工作状态，最后RST电压等于VCC。



RST电压随时间t的变化曲线

今天的文章内容到这里就结束了，希望对你有帮助，我们下一期见。

3.16 稳压二极管串并联

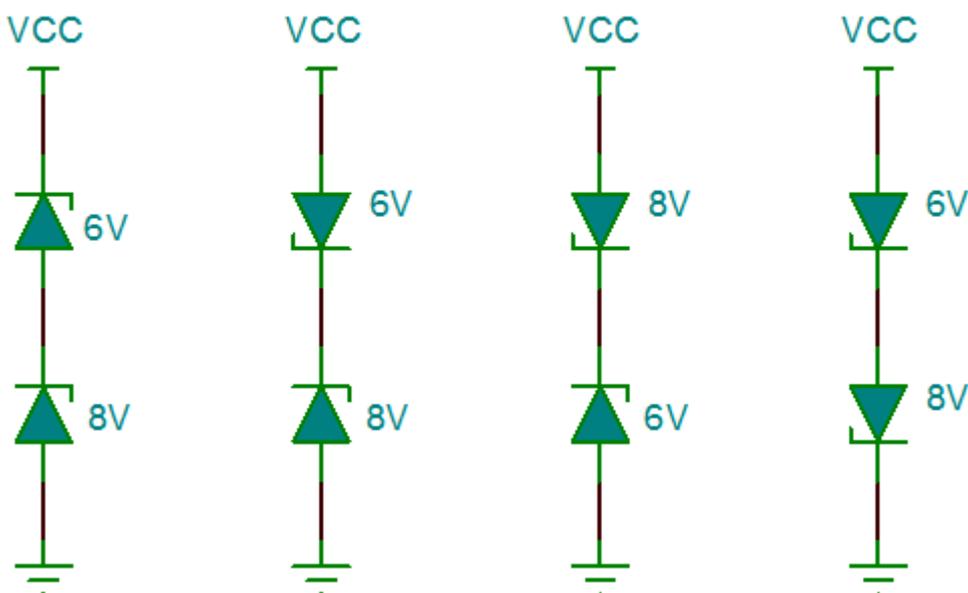
如下是6V稳压管和8V稳压管的几种串联方式

图1，6V和8V稳压管均击穿，VCC为两者稳压值和， $V_{CC}=6+8=14V$ ；

图2，6V稳压管正向导通，8V稳压管反向击穿稳压，VCC为8V稳压值加上6V稳压管的正向导通压降0.7V， $V_{CC}=8+0.7=8.7V$ ；

图3，8V稳压管正向导通，6V稳压管反向击穿稳压，VCC为6V稳压值加上8V稳压管的正向导通压降0.7V， $V_{CC}=6+0.7=6.7V$ ；

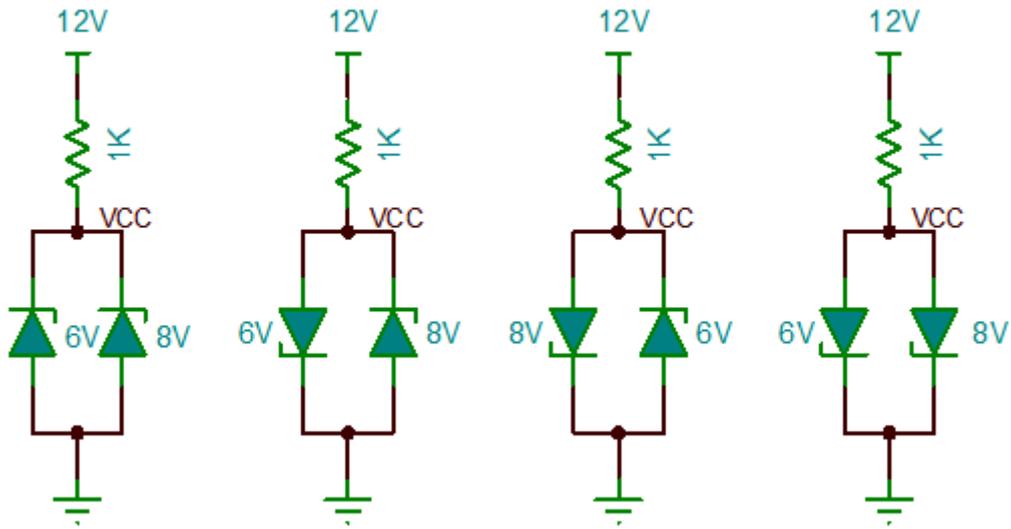
图4，6V和8V稳压管均正向导通，VCC为两者正向导通压降和， $V_{CC}=0.7+0.7=1.4V$ ；



如下是6V和8V稳压管的几种并联方式

图1，稳压值低的6V稳压管先击穿，8V稳压管处于开路状态，所以 $V_{CC}=6V$ ；

图2，图3和图4，至少有一个稳压管正向导通，所以VCC都为0.7V



今天的文章到这里就结束了，希望对你有帮助，我们下一期见。

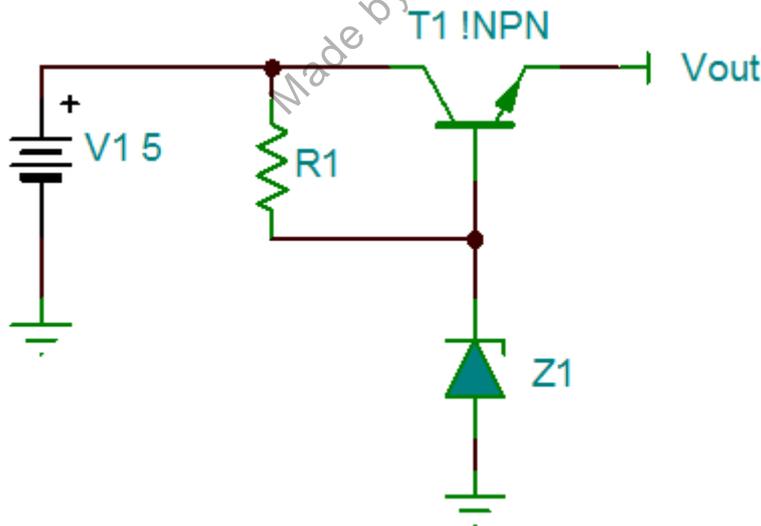
3.17 三极管稳压电路仿真分析

大家好，我是记得诚。

利用三极管和稳压管可以构成一个稳压保护电路，这个电路经常用来作过压保护。

3.17.1 稳压的原理

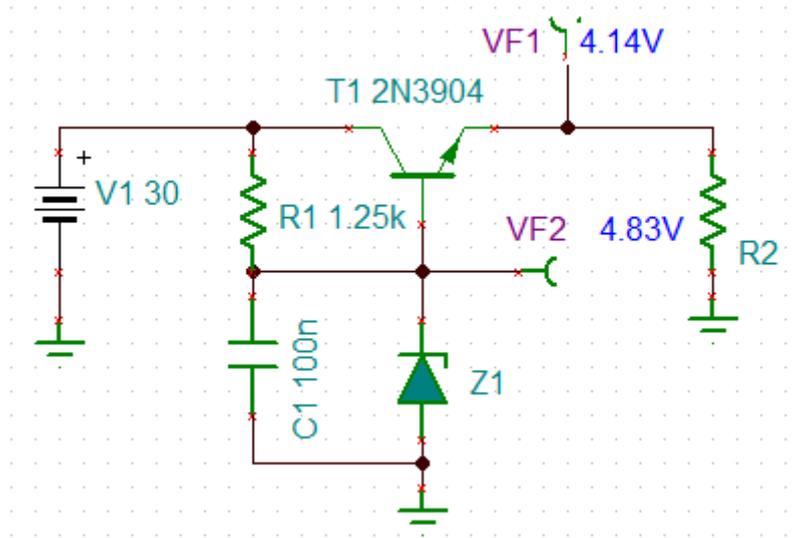
R1和Z1构成简单的稳压电路，当VIN (V15) 的电压高于Z1的稳压值Vz时，Z1的负极被稳压在Vz。



Z1的负极连接到三极管的基极，三极管发射极E是输出，形成了一个射极跟随器，也就是说，E极的电压随着B电压变化而变化，但BE之间有一个压降，一般硅管0.7V左右，假设B极是6.7V，那E极就是6.7-0.7=6V，所以就有一个公式 $V_{OUT}=V_z-V_{be}$ ，可以根据VOUT来选择合适的稳压管。

3.17.2 用Tina-TI仿真验证

Z1是5.1V稳压管，限流电阻R1是1.25K，输入V1=30V，仿真结果VF1=4.14V，我们发现这个电路是可以用的。那又有人会说了，三极管导通之后，30V会直接从CE到VF1，为什么输出还是4.14V呢？

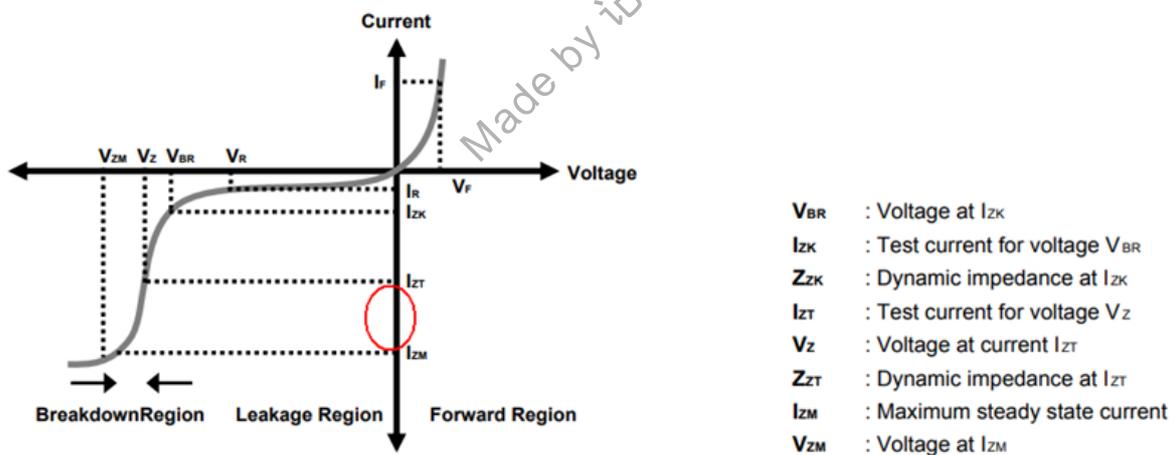


三极管导通之后，E点电压会升高，当升高到 $V_{be} < 0.7V$ ，三极管会关闭，IC电流急剧下降，E点的电压急剧下降，当E点的电压下降到 $V_{be} = 0.7V$ ，此时三极管再次导通，E点的电压往上升，当 $V_{be} < 0.7V$ 时，三极管再次关闭，如此的循环，使得E点的电压会一直稳定在4.14V。

3.17.3 R1的阻值如何确定

如下是稳压二极管的特性曲线，结合图形，更好的可以理解参数，稳压管的Breakdown区域是 $I_{zt} \sim I_{zm}$ ，在这个范围内，稳压管的稳压效果最佳。

从稳压管的SPEC中我们可以看到， $V_z @ I_{zt}$ 这个参数，指在 $I_{zt} = 20mA$ 时，稳压管的稳压值 $V_z = 5.1V$ ，也就是说流过稳压管的电流在20mA以上，稳压效果最佳。



再看上面的仿真图，忽略流入三极管基极的电流，那可以算出： $R1 \leq (30 - 5.1) / 20mA = 1.245K$ 。

但是R1的下限又是多少呢？

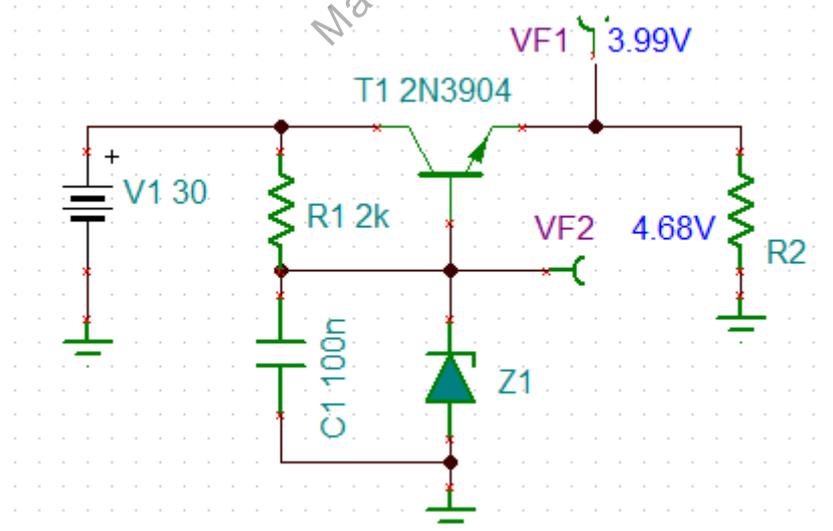
Type Number	Code	Zener Voltage Range (Note 2)				Maximum Zener Impedance (Note 4)			Maximum Reverse Current	
		V _Z @I _{ZT}		Max(V)	I _{ZT} mA	Z _{ZT} @I _{ZT} Ω	Z _{ZK} @I _{ZK} Ω	I _{ZK} mA	I _R	V _R
		Nom(V)	Min(V)						uA	V
MMSZ5221B	C1	2.4	2.28	2.52	20	30	1200	0.25	100	1.0
MMSZ5223B	C3	2.7	2.57	2.84	20	30	1300	0.25	75	1.0
MMSZ5225B	C5	3.0	2.85	3.15	20	30	1600	0.25	50	1.0
MMSZ5226B	G1	3.3	3.14	3.47	20	28	1600	0.25	25	1.0
MMSZ5227B	G2	3.6	3.42	3.78	20	24	1700	0.25	15	1.0
MMSZ5228B	G3	3.9	3.71	4.10	20	23	1900	0.25	10	1.0
MMSZ5229B	G4	4.3	4.09	4.52	20	22	2000	0.25	5	1.0
MMSZ5230B	G5	4.7	4.47	4.94	20	19	1900	0.25	5	2.0
MMSZ5231B	E1	5.1	4.85	5.36	20	17	1600	0.25	5	2.0
MMSZ5232B	E2	5.6	5.32	5.88	20	11	1600	0.25	5	3.0

R1的下限取决于I_{Zm}，稳压管有一个参数耗散功率P_d，正常工作状态稳压管不能超过这个值，因为稳压值5.1V不变，所以流过稳压管的电流最大I_{Zm}=500/5.1=98mA，所以R1最小值为：(30V-5.1V)/98mA=0.25K。

Maximum Ratings @T_A=25°C unless otherwise specified

Characteristic	Symbol	Value	Unit
Forward Voltage (Note 2) @ I _F = 10mA	V _F	0.9	V
Power Dissipation (Note 1)	P _d	500	mW
Thermal Resistance, Junction to Ambient Air	R _{θJA}	250	°C/W
Operating and Storage Temperature Range	T _J , T _{STG}	-65 to +150	°C

再次仿真，将R1改为2K，加在稳压管上的电流减小了，VF2变为4.68V，VF1变为3.99V，稳压效果没有R1=1.25K好，验证了上面的理论。



电阻R1的功率怎么算呢？

按照R1=1.25K，稳压管击穿电流I_{Zt}=20mA计算，那加在R1上的功率为：

$$P = 0.02 * 0.02 * 1250 = 0.5W$$

所以R1的功率需要0.5W以上，否则电阻可能会损坏。

今天的文章内容到这里就结束了，希望对你有帮助，我们下一期见。

3.18 极点和零点

3.18.1 定义

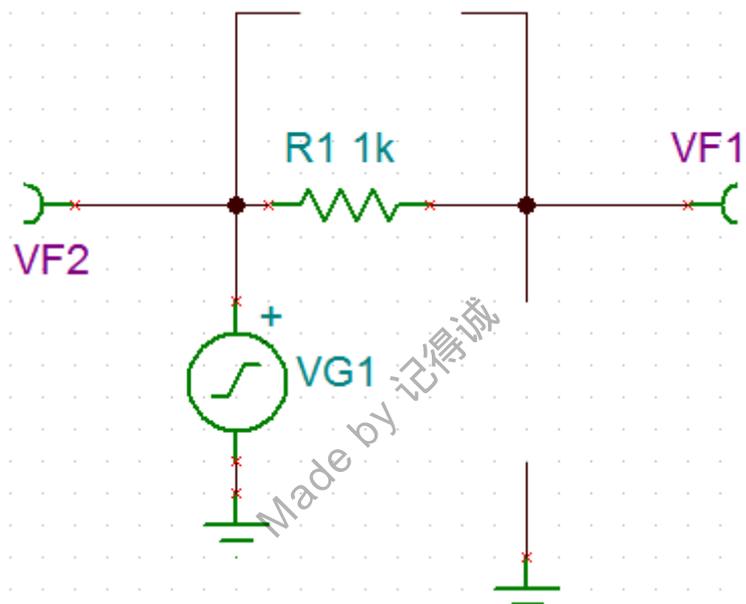
在信号与系统中，零点的定义:为当系统输入幅度不为零且输入频率使系统输出为零时，此输入频率值即为零点；极点的定义为：当系统输入幅度不为零且输入频率使系统输出为无穷大（系统稳定破坏，发生振荡）时，此频率值即为极点。

3.18.2 仿真理解

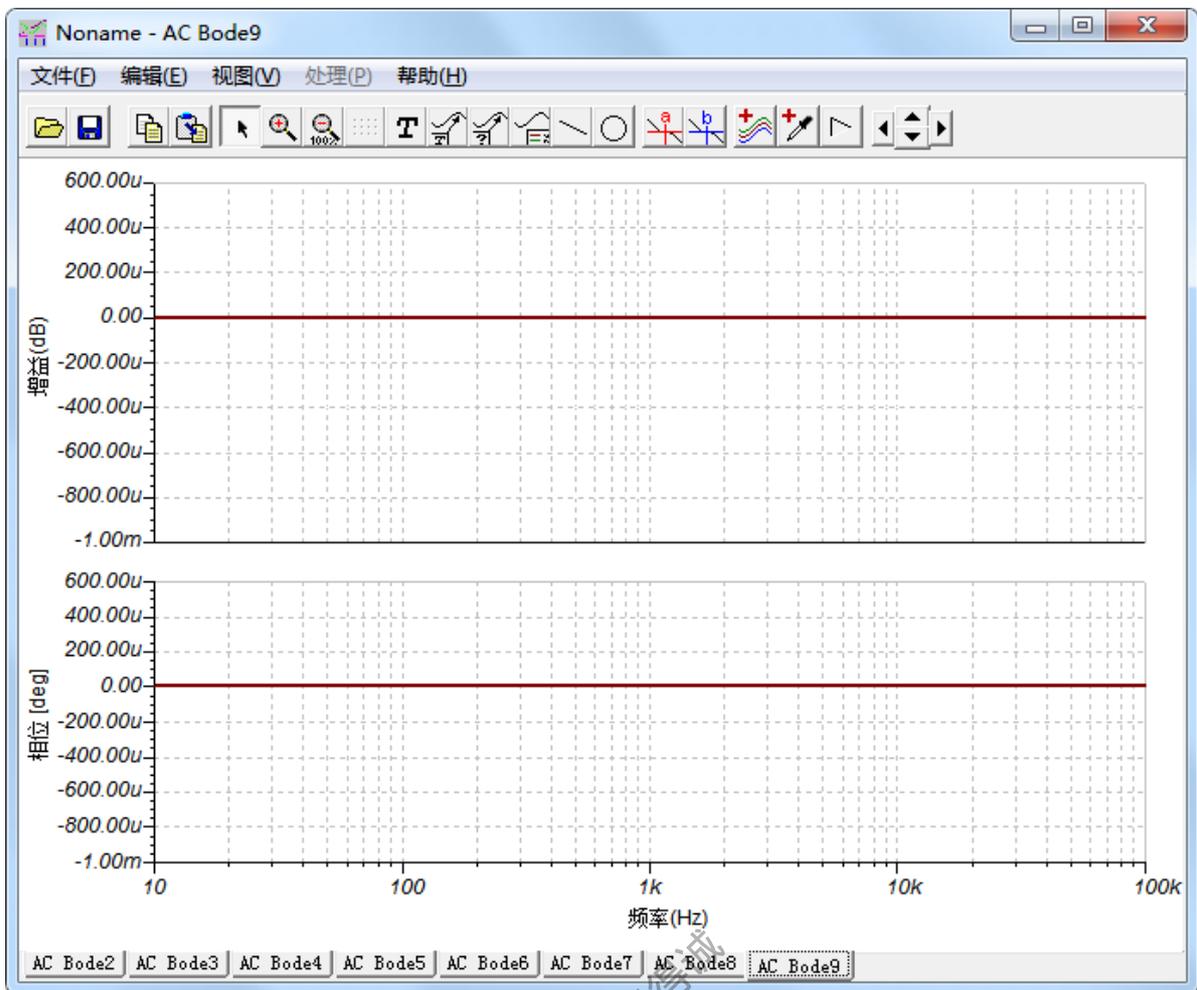
如下是用Tina-TI的仿真，通过仿真对极点和零点进行理解。

3.18.2.1 串1个电阻

对一个系统来说，只要有输入输出，就会有对应的幅频和相频特性，如下输入输出之间串一个电阻，进行的仿真实验，因为是交流特性，在输入VF2上添加1个VG1阶跃信号。

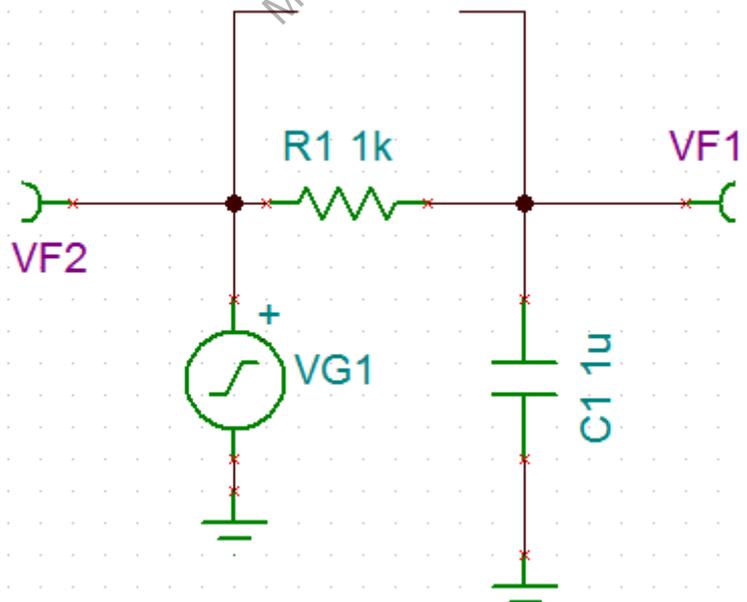


如下是仿真得到的波特图，0dB也就是增益为1；



3.18.2.2 极点

接着在仿真图中加入一个电容，这就构成了一阶RC低通滤波器。



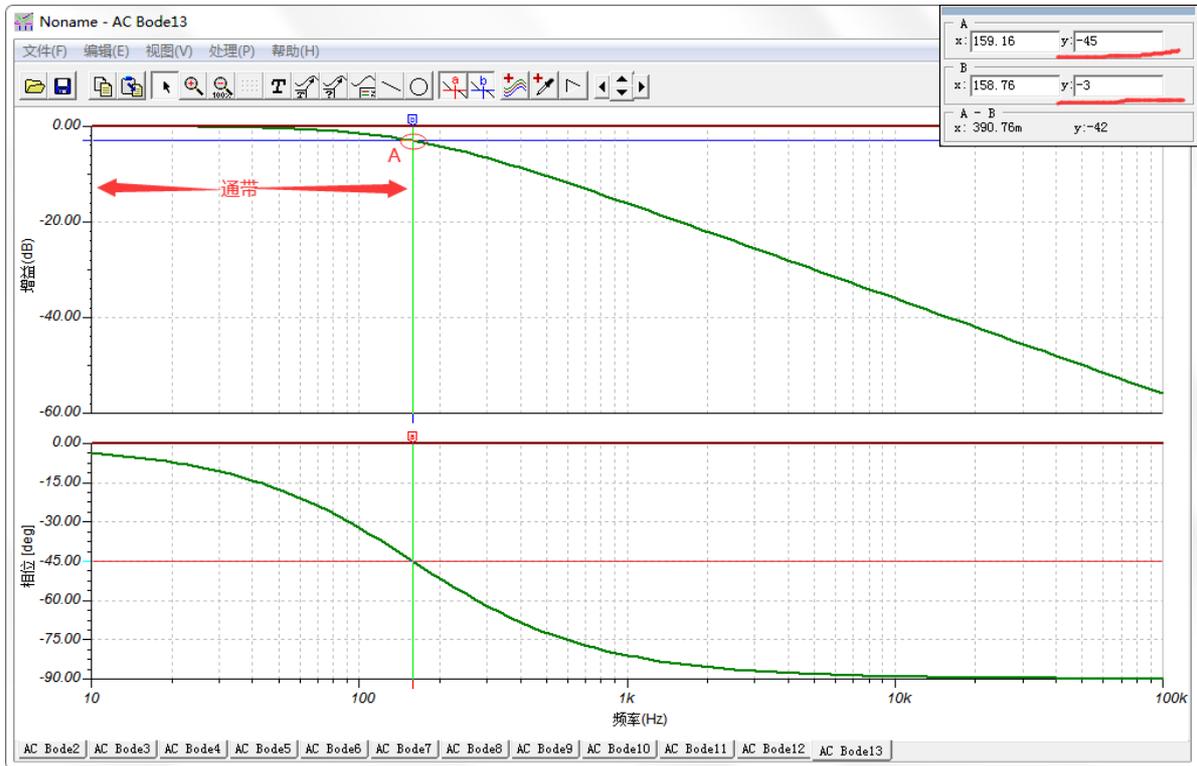
仿真得到的波特图如下，图中棕色的是输入，因为严格意义上波特图是输出与输入之比，即绿色的即为输出的波特图，因为输入输出增益是0dB)

图中的A就是一个极点，极点频率是 $F=1/2\pi RC$ ，这个频率也被称为截止频率。在截止频率时，幅度降低3dB，所以截止频率也叫做-3dB频率。

当通过滤波器的频率小于截止频率时，幅值是直线，基本上是无衰减的。

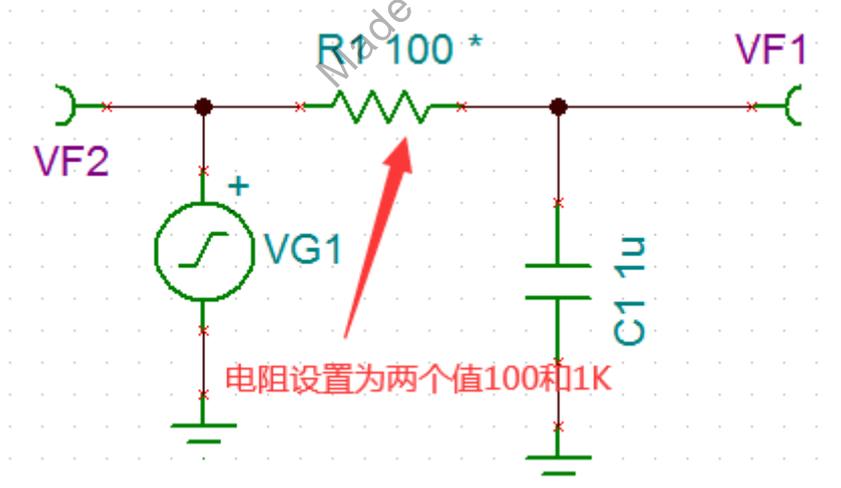
当通过滤波器的频率等于截止频率时，相位滞后45度。

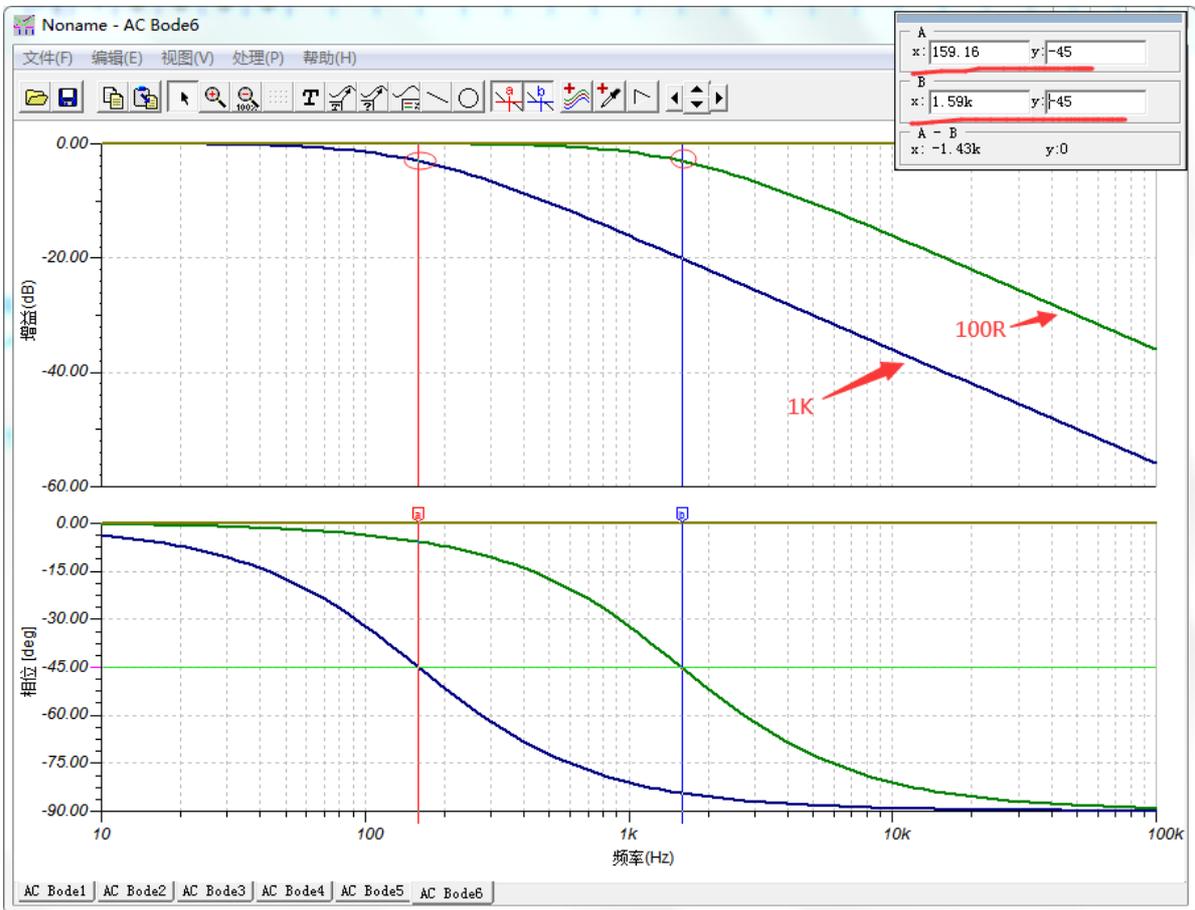
当通过滤波器的频率大于截止频率时，斜率很大，相位的滞后接近90度。



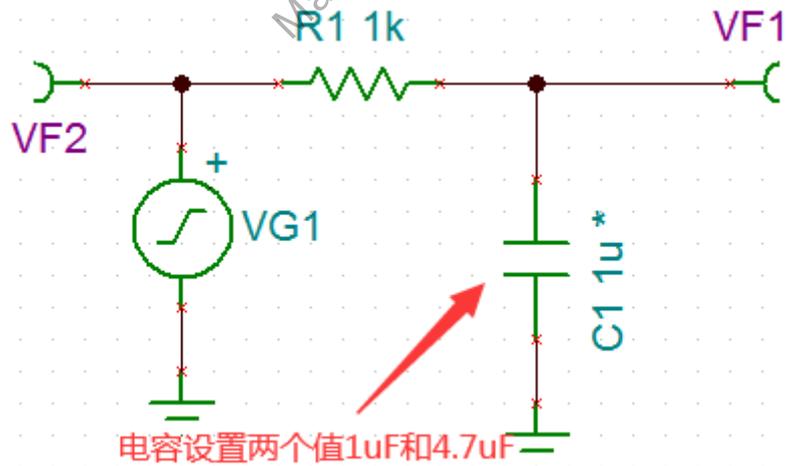
总结：仿真发现，加了一个电容，bode plot就出现了相移，而且这个相移是不超过90度的。

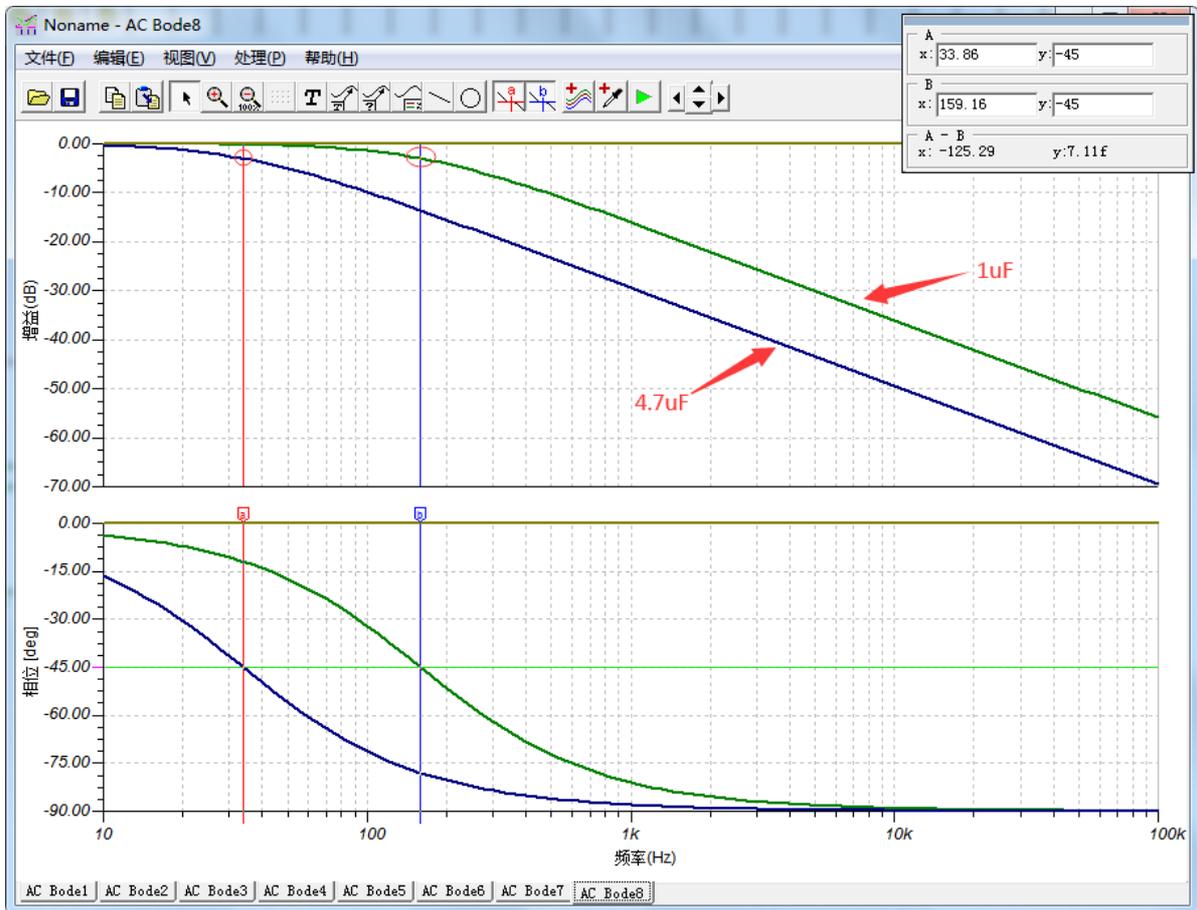
90度的相移指的是电容的电压会滞后电流90度相位，并且电容上电压的变化量和电流是呈正比的，尝试将R1减小到100R，看幅频和相频特性，发现100R的相频曲线比1K的要平缓，因为在电容量一定的情况下，电流和电容上电压的变化量是呈正比的，电流越大，电压变化量越大。





如下，将C1设置为两个值1uF和4.7uF，得到的bode plot如下所示。会发现在1K电阻不变的情况下，增加了电容量，导致相移比1uF的严重，因为电流一定的时候，电容量越大，充电时间越长，电压的变化量 dv/dt 越小。



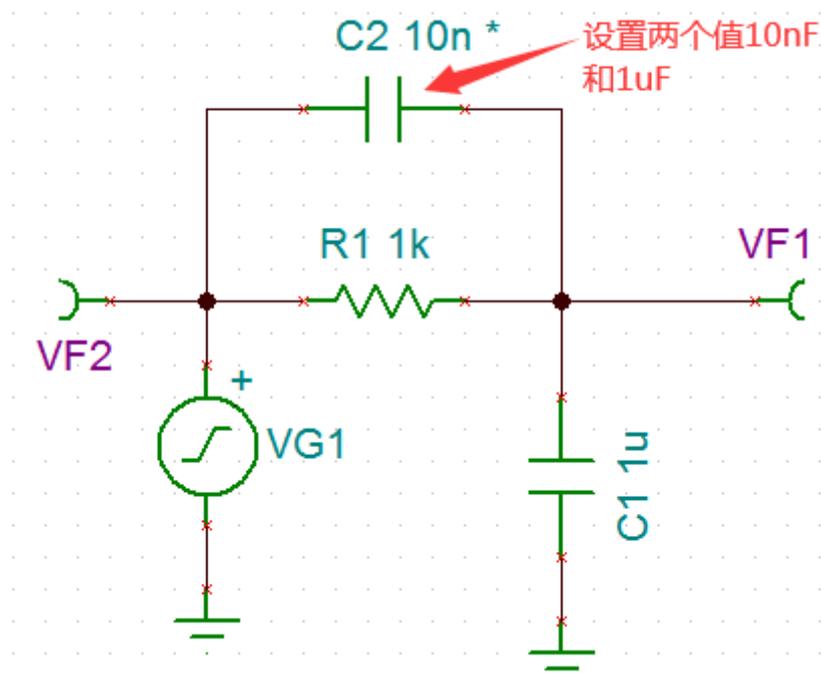


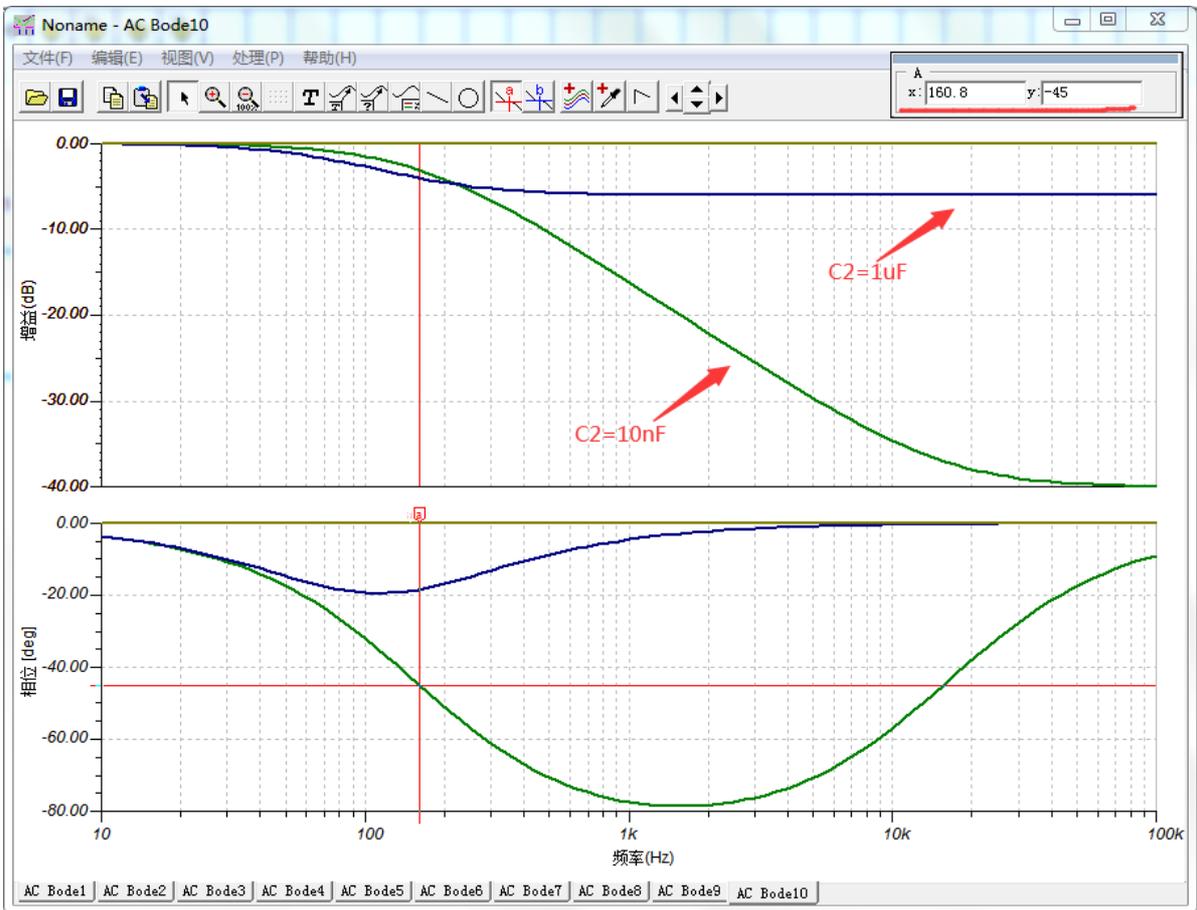
3.18.2.3 单极点加单零点

如下在R1上并一个C2，将C2的值取10nF和1uF，发现得到的bode图如下所示。

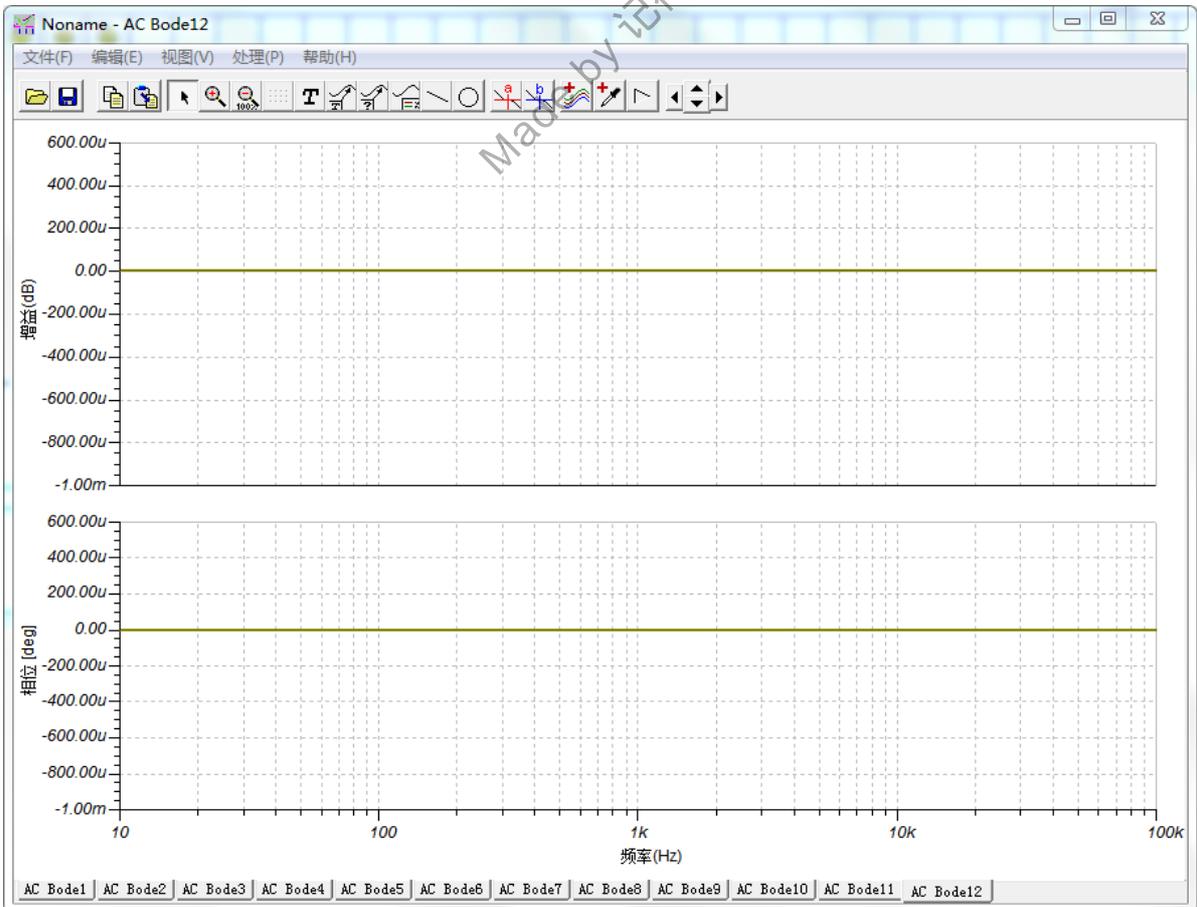
C2=10nF时，曲线开始是平直的，达到极点时增益-3dB、相位-45度，然后增益以-20dB/dec的速度下降、相位趋向与-90度。但达到后面的零点后，增益的下降被零点的增益上升补偿，又成为平直，同时相位也会恢复到0度。

C2=1uF时，曲线几乎是接近于0的直线，相当于C1和C2进行分压，因为电阻R1的存在，所以还不是完美的直线。





将R1改为0R后，仿真得到如下的直线。

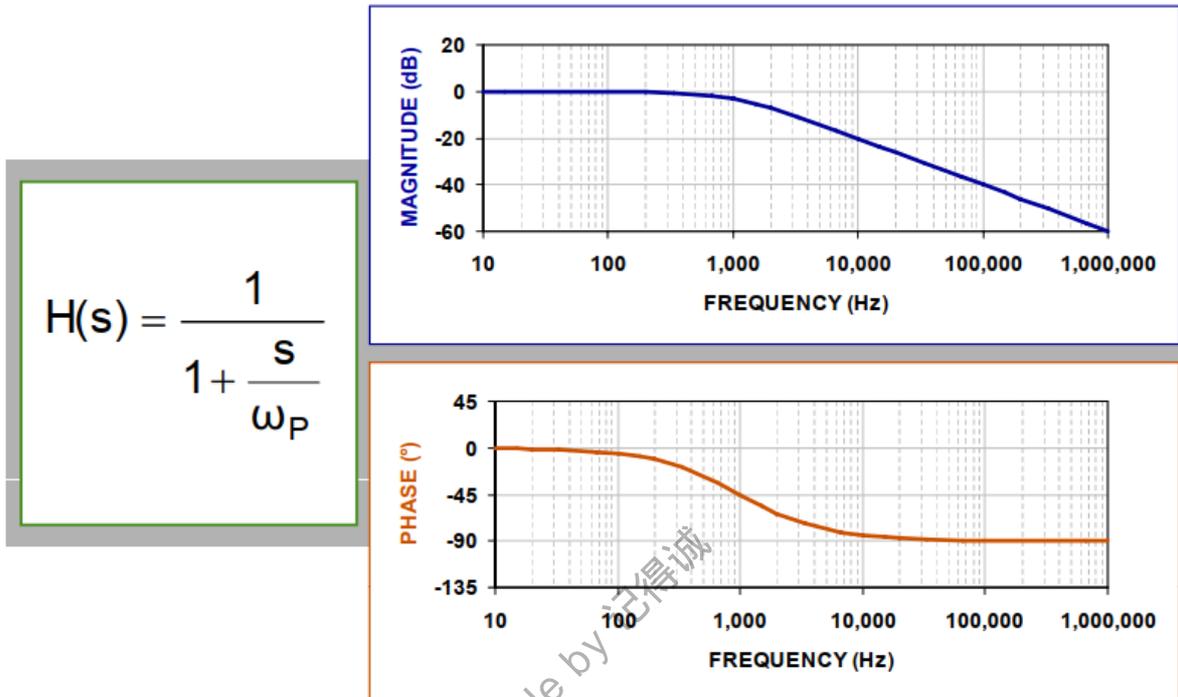


3.18.3 小结一下

从上面我们知道了单极点和单零点的波形：

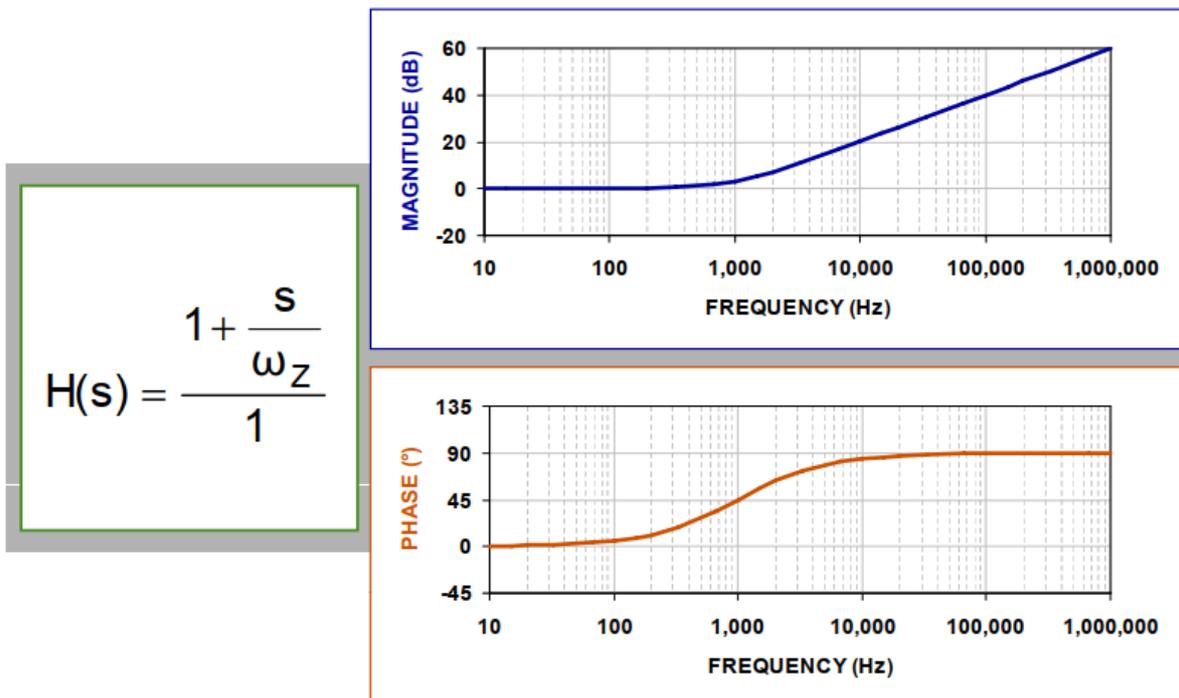
- 1、单极点是，曲线开始是平直的，达到极点时增益-3dB、相位-45度，然后增益以-20dB/dec的速度下降、相位趋向与-90度。
- 2、单零点是，即开始增益为平，零点频率过后增益以+20dB/dec的速度增加；相位曲线开始是0度，达到零点频率时相移45度，随后继续超前直到接近90度。

网上有人把极点比喻成男人，刚开始热情似火，随着时间推移，热情满满消失。



典型的单极点图形

把零点比如成女人，刚开始冷若冰霜，随着时间的长久，热情慢慢被点燃。



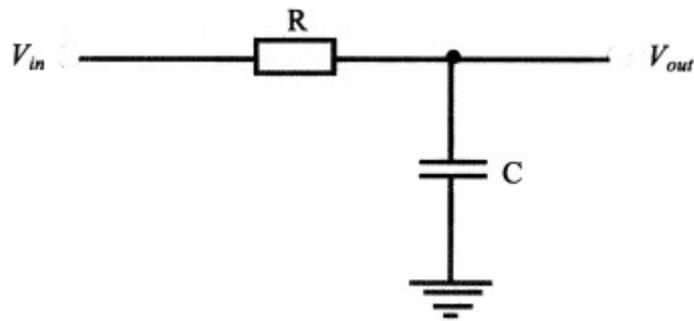
典型的单零点图形

今天的文章到这里就结束了，希望对大家有所帮助，我们下一期见。

3.19 RC积分电路和微分电路

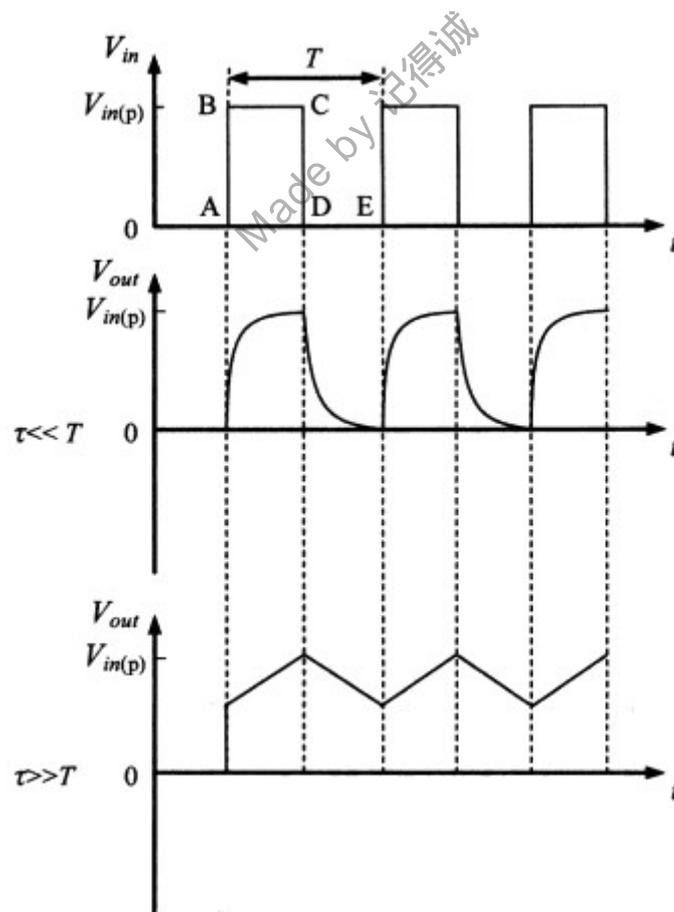
3.19.1 RC积分电路介绍

预备知识：把电阻和电容的乘积称为RC时间常数，用 τ 表示， $\tau=RC$ ；1个 τ 表示电容两端电压从0V上升到 $1-1/e=1-37\%=63\%$ 所需的时间，为什么是63%，我的下一篇博客会介绍。



RC积分电路

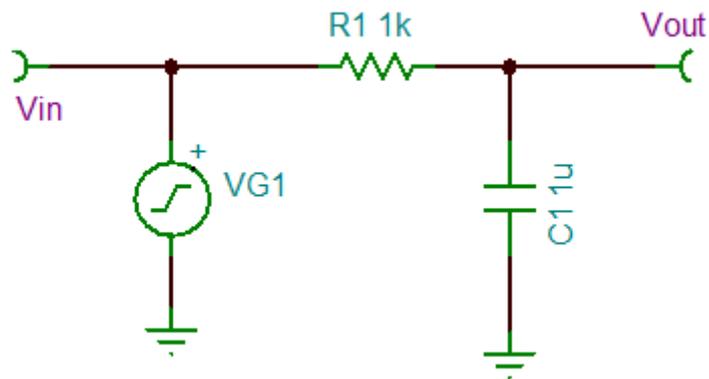
在积分电路中，当 $\tau \ll T$ 时， T 指的是 V_{in} 方波的周期，此时 V_{in} 通过电阻 R 对电容 C 的充电速度快，所以输出 V_{out} 的波形越接近于输入 V_{in} 的波形；当 $\tau \gg T$ 时，此时 V_{in} 通过电阻 R 对电容 C 的充电速度很慢， V_{out} 的波形无法跟随上 V_{in} 的波形，呈现的是类似三角波的波形。



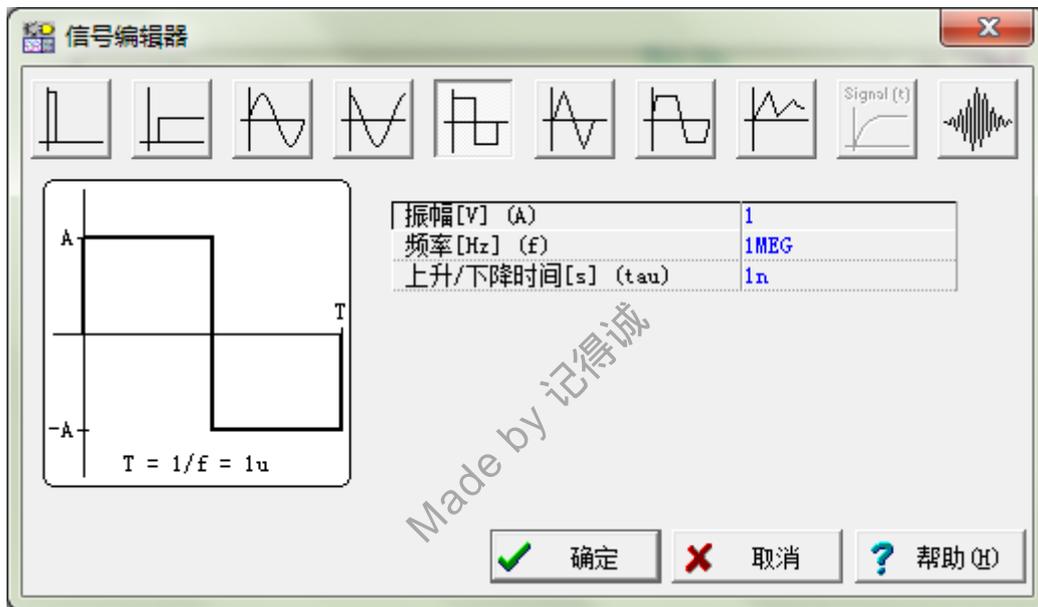
输入和输出对应波形

3.19.2 RC积分电路仿真

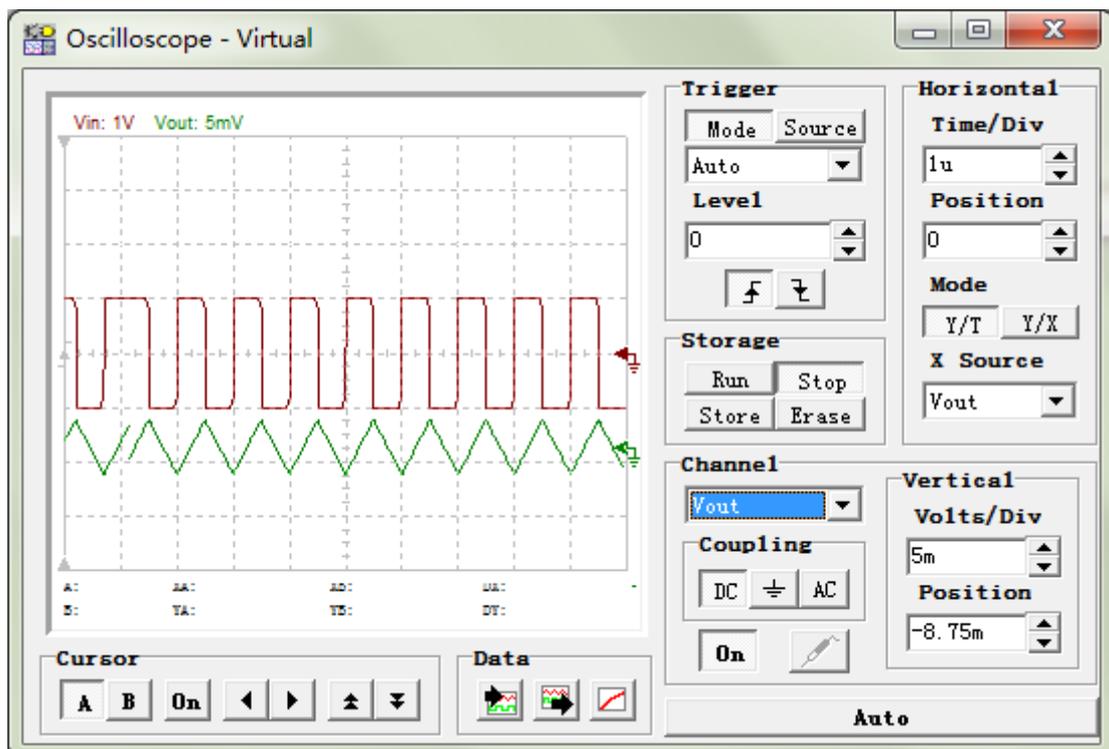
如下利用Tina-TI对积分电路进行仿真，其中R1=1K, C1=1uF;



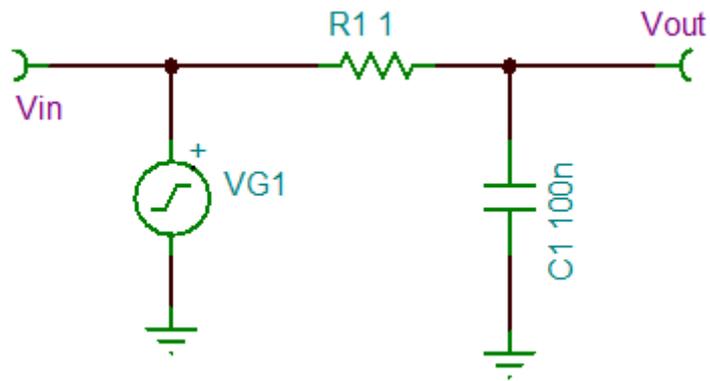
VG1是电压发生器，设置成一个方波信号，振幅设置为1V，频率设置为1MHz;



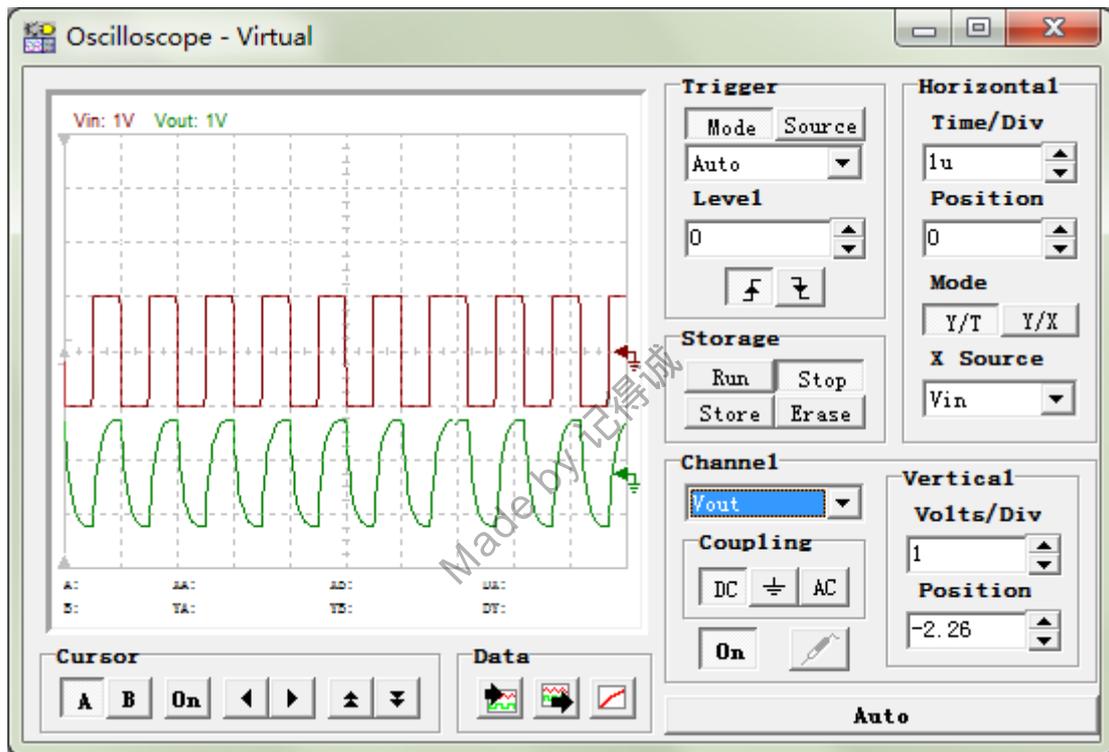
用示波器同时抓取Vin和Vout的波形，发现Vout的幅度比较小，在5mV左右;

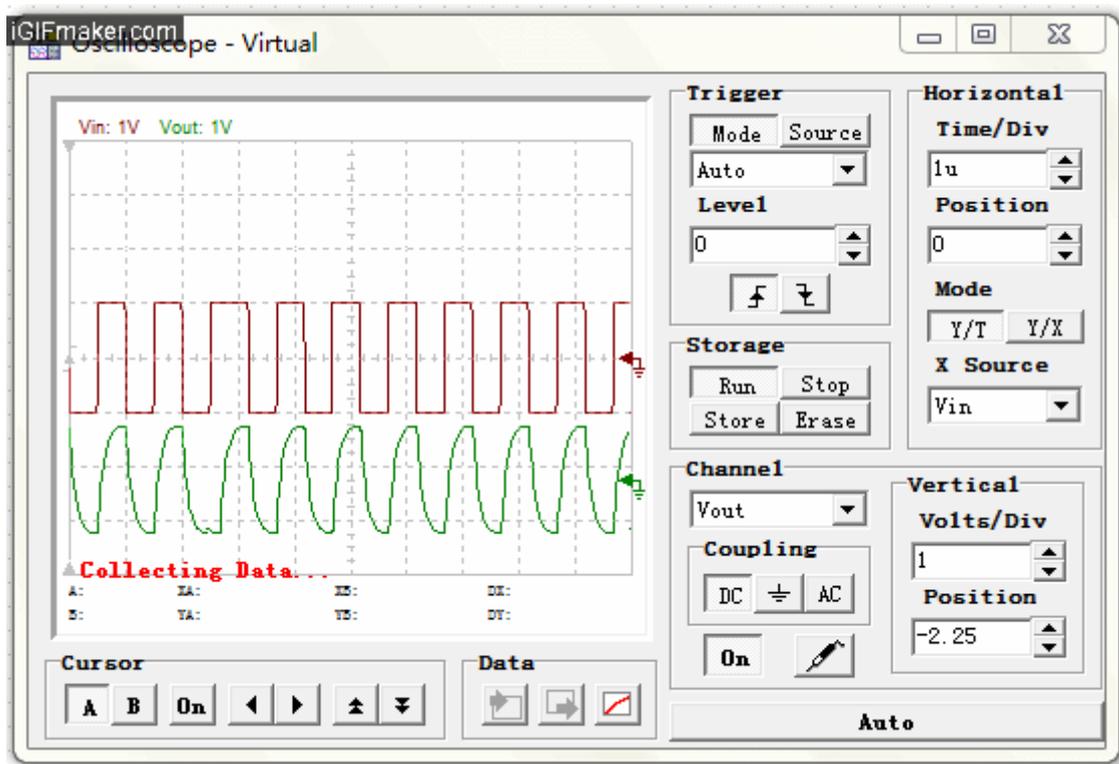


将R1的阻值由1K改为1R后，时间常数 $T=RC$ 相当于之前的千分之一；

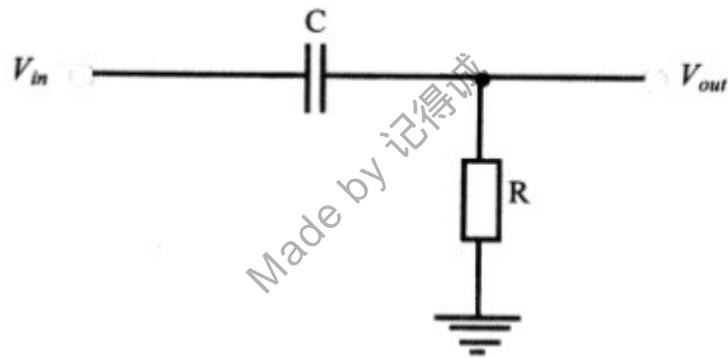


再次仿真，我们发现，Vout的振幅在1V左右，Vout的波形更接近于Vin波形，这是因为对电容的充电速度变快了（流过电容C的电流变大了）；





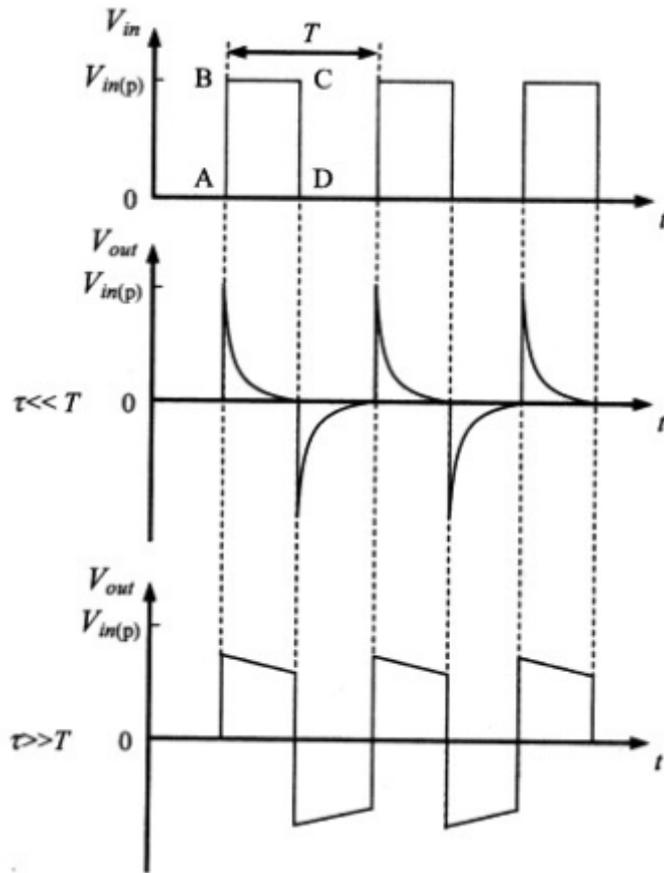
3.19.3 RC微分电路介绍



RC微分电路

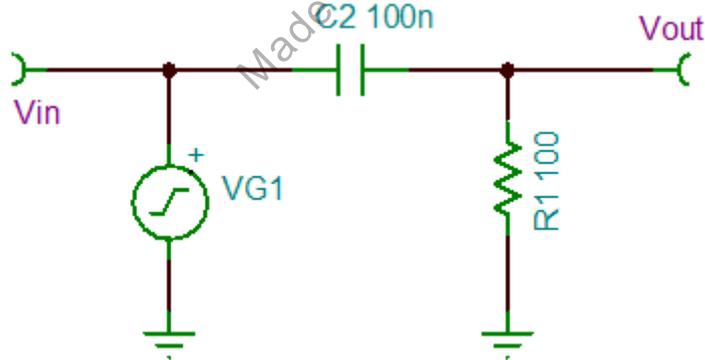
在微分电路中，当 $\tau \ll T$ 时，得到如下中间图所示急剧变化的 V_{out} 波形；当 $\tau \gg T$ 时，得到最下方所示缓慢变化的 V_{out} 波形。

在AB段， V_{in} 由0到最大值，因为电容 C 两端电压不能突变特性，所以 V_{out} 也是一条直线；在BC段， V_{in} 对电容 C 进行充电，这时候 V_{out} 电压会减小，减小的速度和 τ 有很大的关系， τ 越小，波形越急剧；CD段， V_{in} 由最大值到0V，此时电容 C 开始放电， V_{out} 上产生一个负向的尖峰。

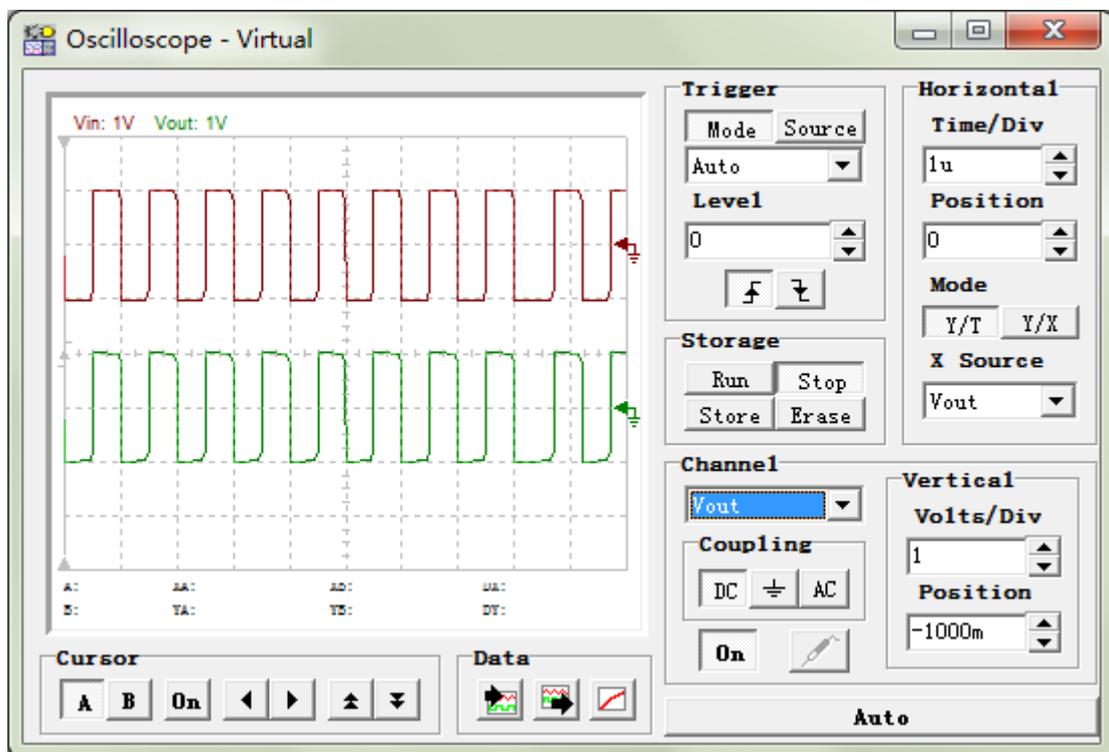


3.19.4 RC微分电路仿真

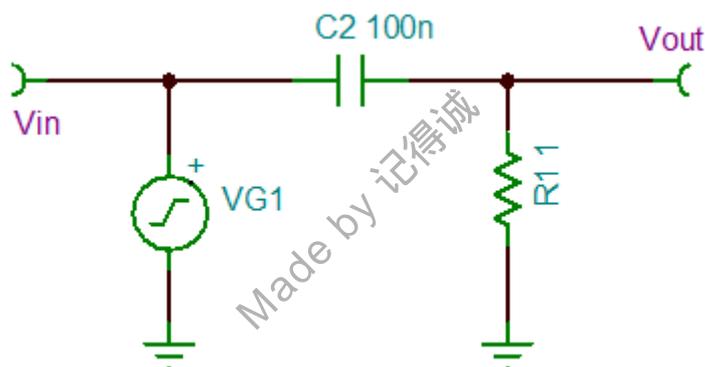
如下是用Tina-TI对微分电路进行仿真， $C_2=100\text{nF}$ ， $R_1=100\text{R}$ ；



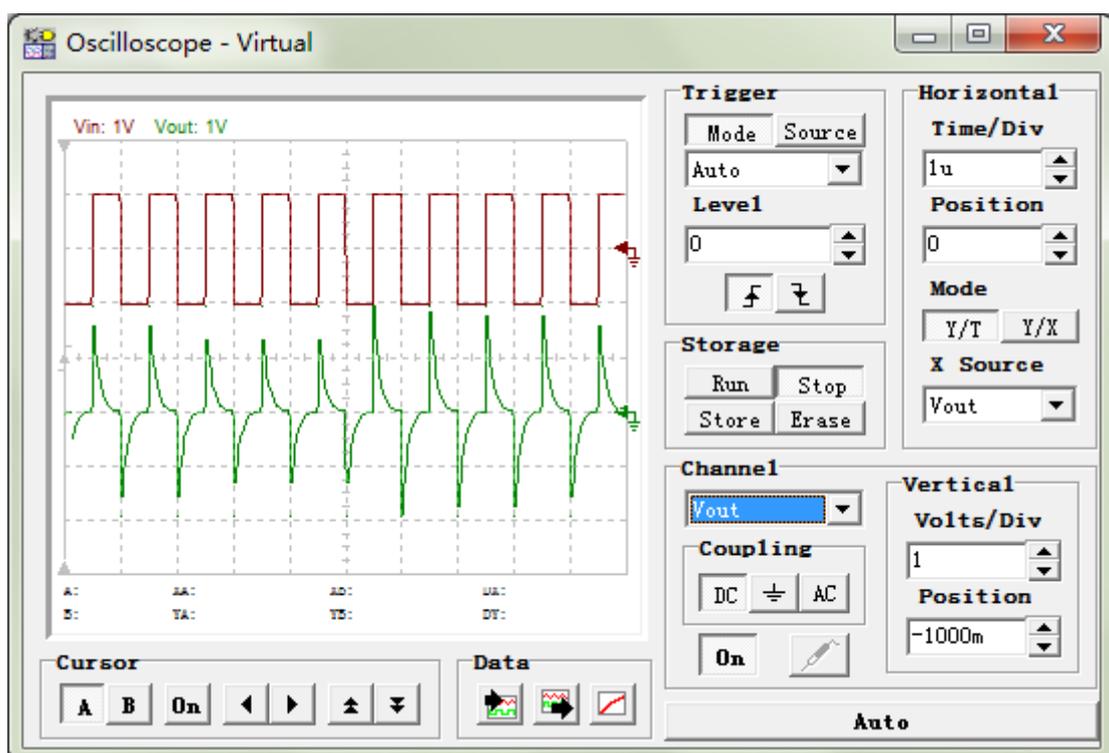
用示波器抓取的 V_{in} 和 V_{out} 的波形，可以看到， V_{out} 和 V_{in} 跟随很好，说明这时候时间常数 τ 是比较大的。

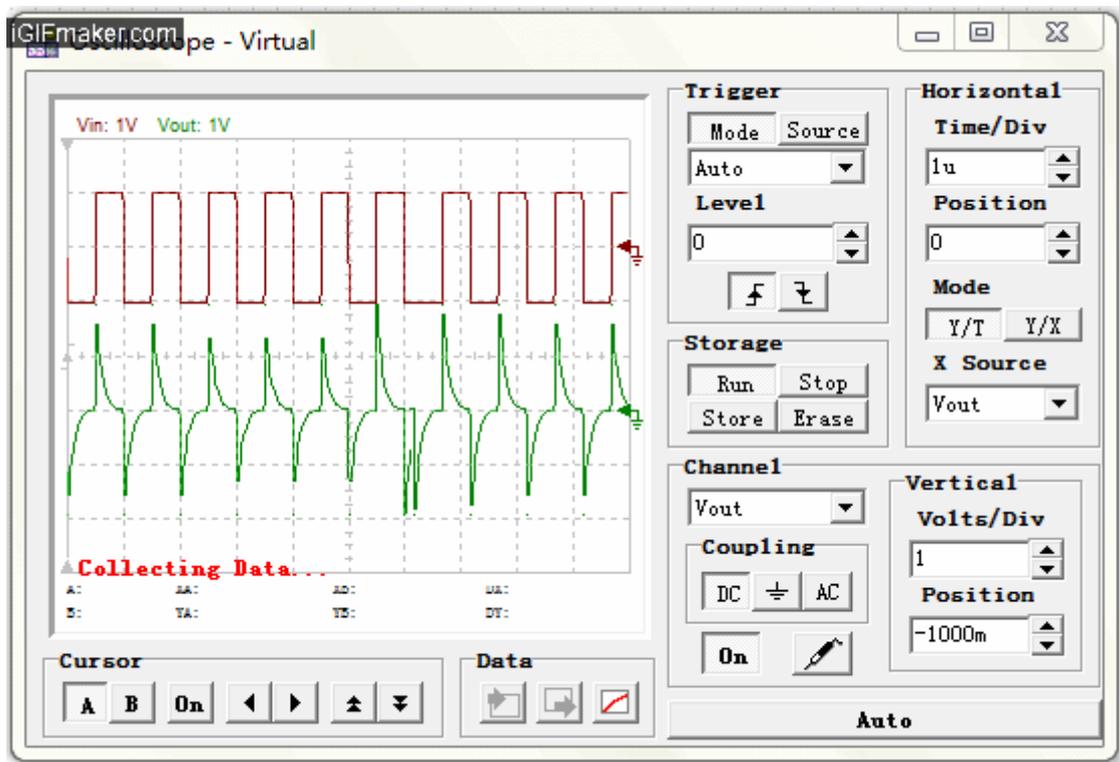


如下，将R1由100R改为1R，相当于时间 τ 变为之前的百分之一。



再次仿真，发现Vout的波形变得更加急剧，这是因为 τ 变小的缘故。





今天的文章到这里就结束了，希望对大家有所帮助，我们下一期见。

4 PCB设计

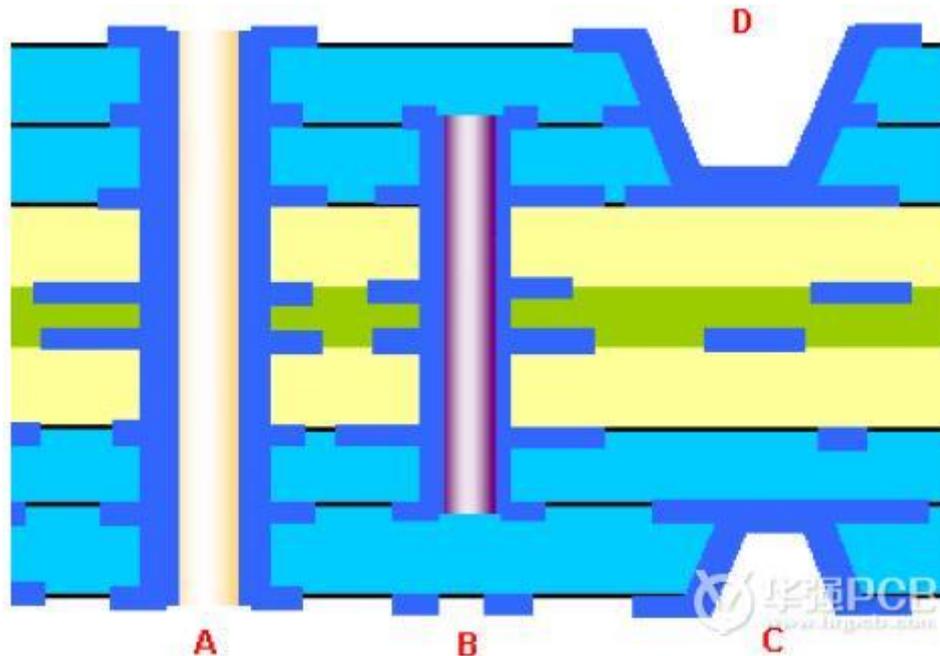
4.1 盲孔、埋孔、通孔、一阶HDI、二阶HDI概念

4.1.1 盲孔和埋孔

HDI板是高密度互连（High Density Interconnector）的缩写，是生产印制板的一种技术，使用微盲埋孔技术的一种线路分布密度比较高的电路板，也被称为盲埋孔板，下图就是一个6层HDI板，其中C和D就是盲孔，B是埋孔，A是通孔。

1. 盲孔（Blind Via）指连接外层到内层的金属化孔，D是V13孔，连接顶层和第3层，C是V56孔，连接第5层和底层。
2. 埋孔（Buried Via）指连接内层到内层的金属化孔，B是V25孔，连接第2层到第5层。
3. 通孔，指贯穿PCB的孔，A是V16孔，1~6层都是通的。

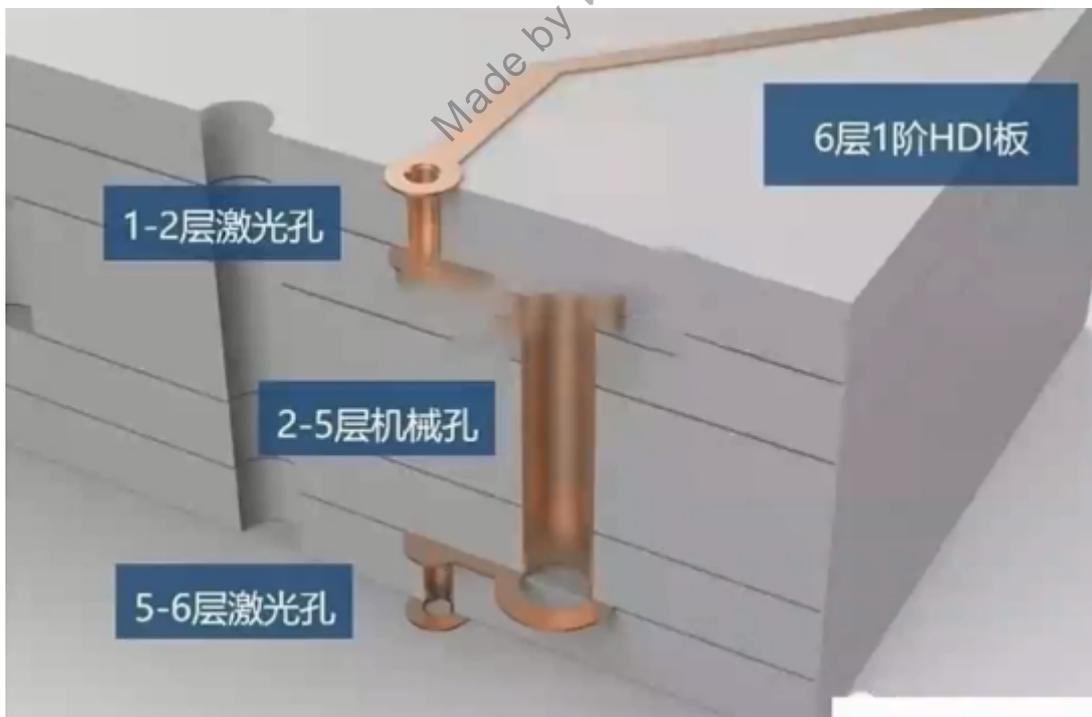
盲埋孔板(Blind & Buried Vias PCB)



盲埋孔板HDI示意图

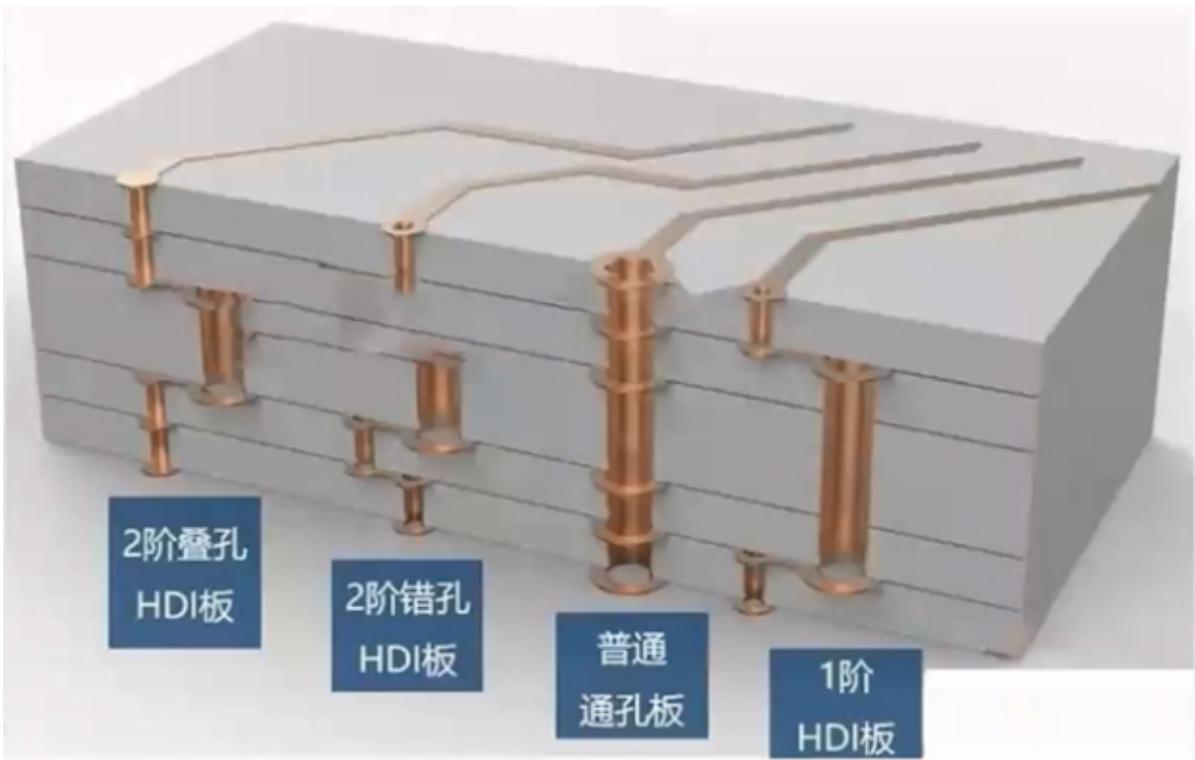
4.1.2 一阶、二阶HDI

区别一阶，二阶的方法就是看激光孔的个数，PCB芯板压合几次，打几次激光孔，就是几阶。下图是一个6层一阶HDI板（1+4+1），可以看出有V12激光孔，V25机械孔，V56激光孔。首先会打V25盲孔，接着压合1~6层，再打V12和V56的激光孔，压合和打激光孔的次数都是一次，所以是一阶板。



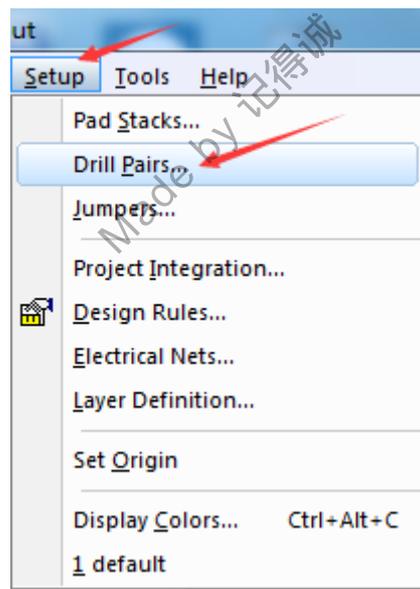
一阶和二阶HDI示意图

下图最左边是6层2阶HDI板，类似于两个1阶，有V12，V56激光孔，还有V23，V45激光孔。需要打两次激光孔，首先钻V34的埋孔，接着压合2~5层，然后会钻V23和V45的激光孔，再压合1-6层，然后钻V12和V56的激光孔，如果有通孔，最后再钻通孔，可见，2阶HDI板是会经历两次激光打孔，两次压合。2阶又有叠孔和错孔，看图就能明白了。

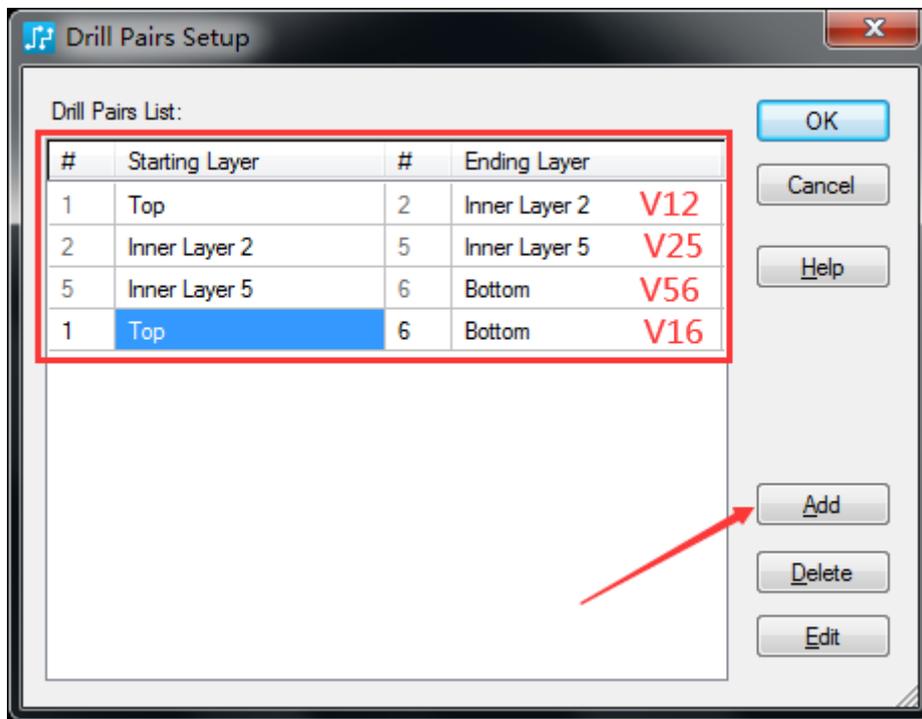


4.1.3 PADS软件设置盲埋孔

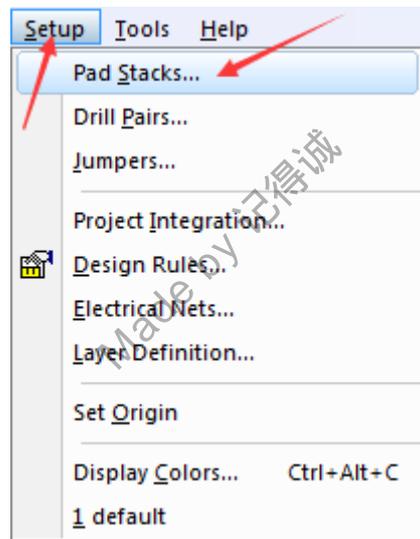
1、设置钻孔对 (Drill Pairs)



以一阶6层板为例，利用**Add**添加钻孔对，共有V12孔，V25孔，V56孔，V16孔四组。

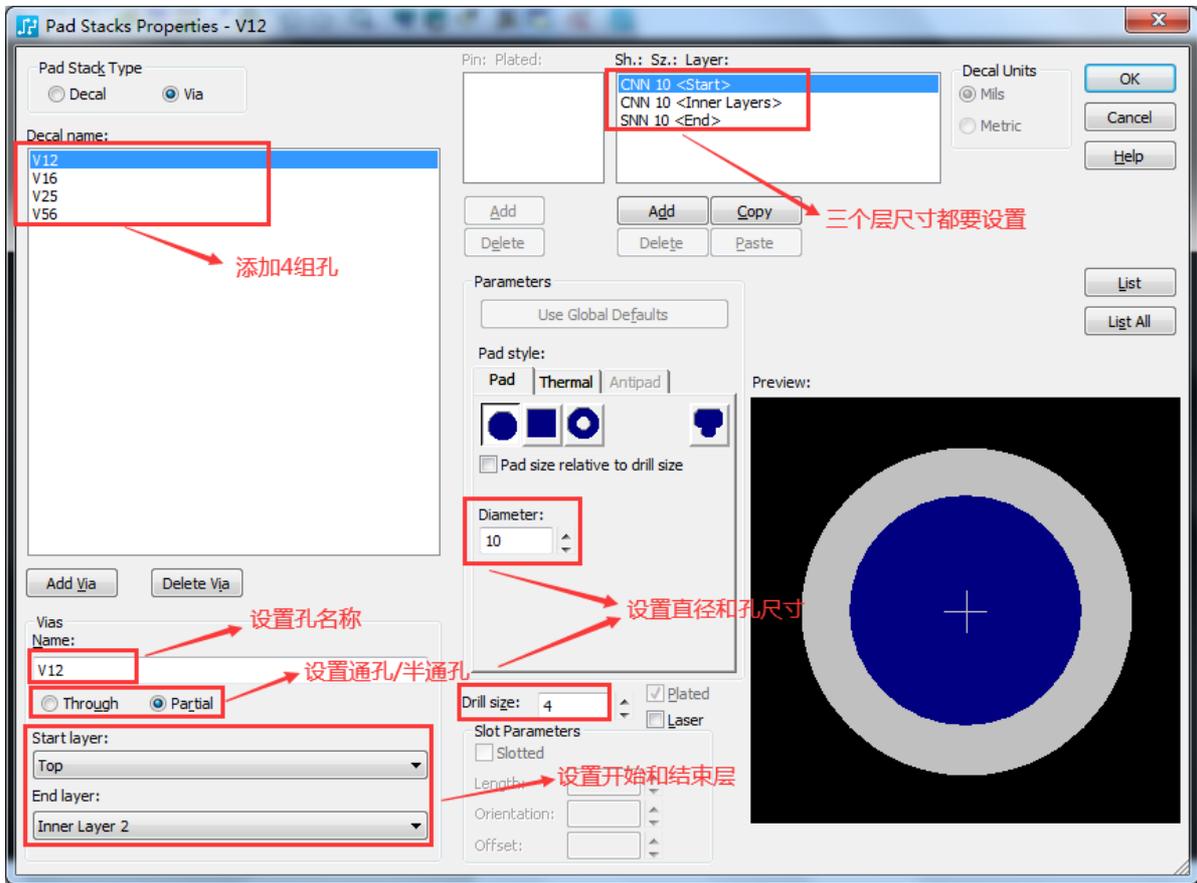


2、孔尺寸设置



根据以下图片提示进行孔尺寸设置即可，其中需要注意几点：

1. V16是通孔，需要设置为**Through**，其他的均是半通孔，设置为**Partial**；
2. 一般V16通孔尺寸是最大的，直径可以设置为16mil，钻孔尺寸设置为8mil；V25是埋孔直径设置为14mil，钻孔尺寸设置为8；V12和V56都是激光盲孔，直径设置为10mil，钻孔设置为4mil；当然这个大小是根据板子的空间以及板厂的制程能力，因为越小的孔占用更小的PCB空间。
3. 起始和结束层设置，V12代表起始是TOP层，结束是第2层，其他同理；



PADS中孔尺寸设置

今天的文章到这里就结束了，希望对你有帮助，我们下一期见。

4.2 DC-DC PCB layout 指导

DC-DC 的电路比 LDO 会复杂很多，噪声也更大，布局和 layout 要求更高，layout 的好坏直接影响 DC-DC 的性能，所以了解 DC-DC 的 layout 至关重要。

4.2.1 Bad layout

EMI, DC-DC 的 SW 管脚上面会有较高的 dv/dt ，比较高的 dv/dt 会引起比较大的 EMI 干扰；地线噪声，地走线不好，会在地线上面会产生比较大的开关噪声，而这些噪声会影响到其它部分的电路；布线上产生电压降，走线太长，会使走线上产生压降，而降低整个 DC-DC 的效率；

4.2.2 一般原则

开关大电流回路尽量短；
信号地和大电流地（功率地）单独走线，并在芯片 GND 处单点连接；

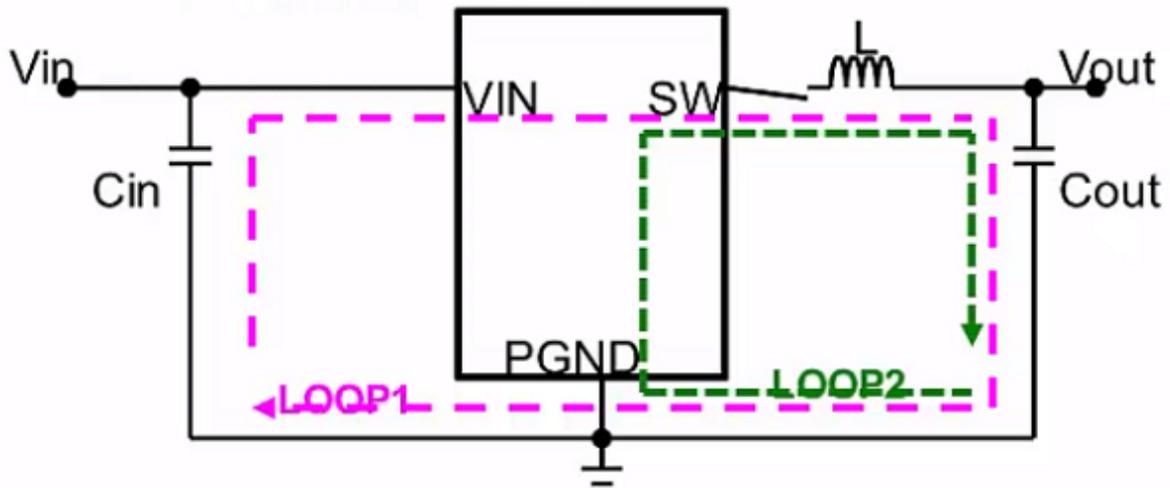
4.2.2.1 开关回路短

下图中红色 LOOP1 为 DC-DC 高边管导通，低边管关闭时的电流流向；绿色 LOOP2 的为高边管关闭，低边管开启时的电流流向。

为使这两个回路尽量小，引入更少的干扰，需要遵从如下几点原则：

电感尽量靠近 SW 管脚；
输入电容尽量靠近 VIN 管脚；
输入输出电容的地尽量靠近 PGND 脚；

使用铺铜的方式走线;



为什么要这么做?

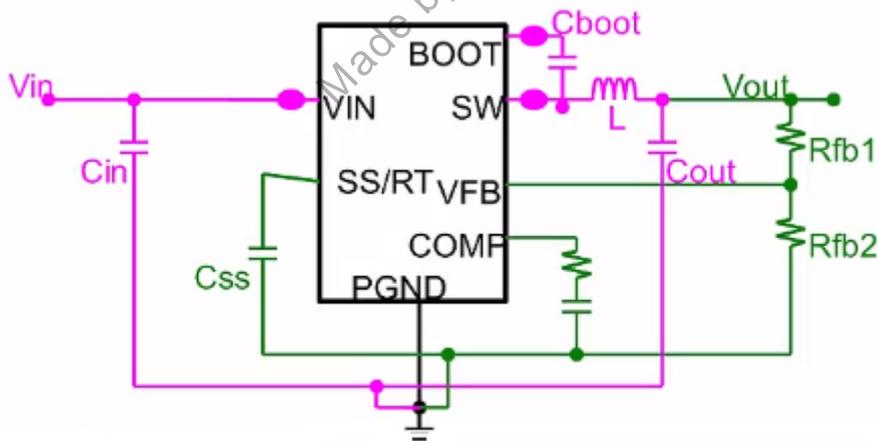
走线过细过长会增大阻抗, 大电流在此大阻抗上会产生比较高的纹波电压;
走线过细过长会增大寄生电感, 此电感上耦合开关噪声, 影响 DC-DC 稳定性, 造成 EMI 问题;
寄生电容和阻抗会增大开关损耗和导通损耗, 影响 DC-DC 效率;

4.2.2.2 单点接地

单点接地, 指的是信号地和功率地进行单点接地, 功率地上会有比较大的开关噪声, 所以需要尽量避免对敏感小信号造成干扰, 如 FB 反馈管脚。

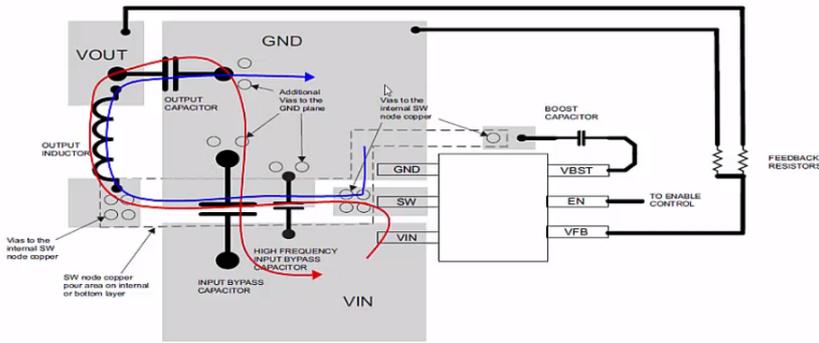
大电流地: L , C_{in} , C_{out} , C_{boot} 连接到大电流地的网络; :

小电流地: C_{ss} , R_{fb1} , R_{fb2} 单独连接到信号地的网络;



下图是 TI 的一个开发板的 layout, 红色为上管开时的电流路径, 蓝色为下管开时的电流路径; 如下的 layout 有如下比较好的优点:

- ① 输入输出电容的 GND 用铜皮进行连接, 摆件时, 两者的地尽量放一起;
- ② DC-DC T_{on} 和 T_{off} 时的电流路径都很短;
- ③ 右边小信号是单点接地, 距离比较远, 免受左边大电流开关噪声的影响;



如左图所示，大电流环路路径尽可能短。

输入输出电容的接地端用 GND 铜皮连接，这样相当于缩短了其距离。

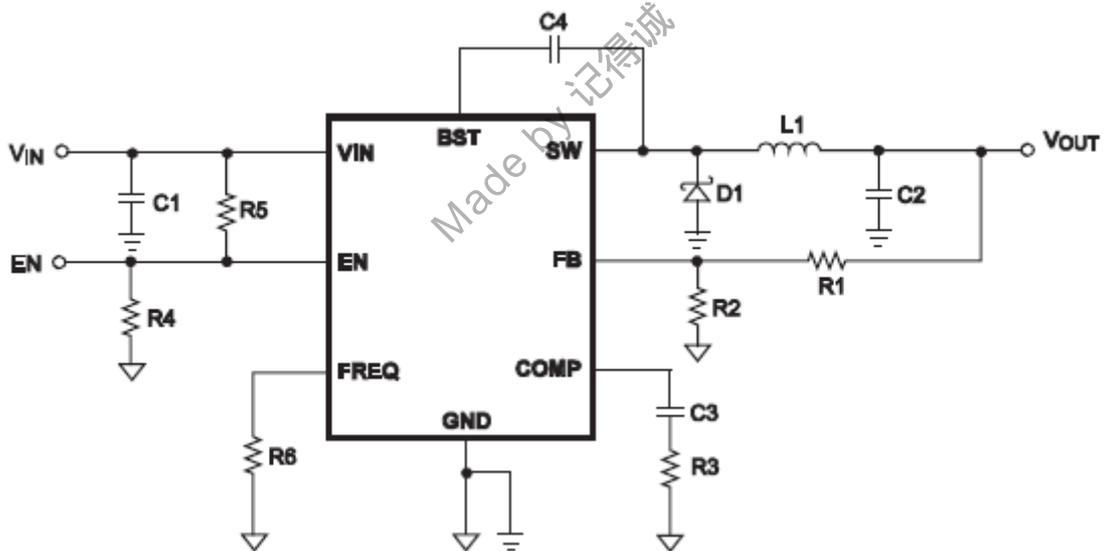
为达到最好的滤波效果，输入电容要尽可能靠近 VIN 脚

TI某开发板的DC-DC PCB layout

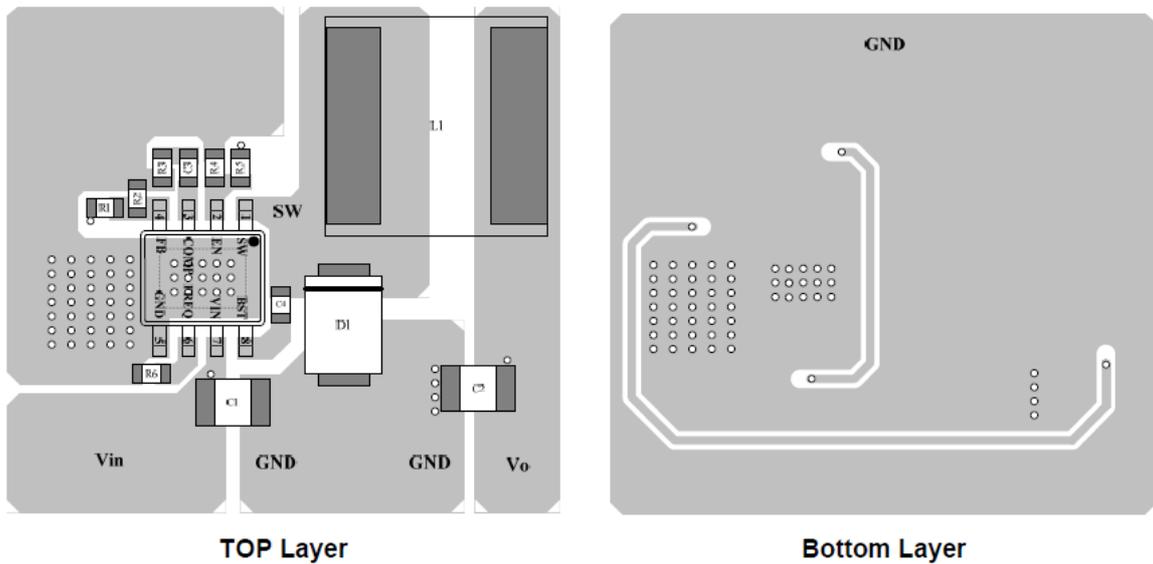
4.2.3 实例

如下给出一个典型 DC-DC BUCK 电路的 layout，SPEC 中给出如下几点：

- 输入电容，高边 MOS 管，和续流二极管形成的开关回路尽可能小和短；
- 输入电容尽可能靠近 Vin Pin 脚；
- 确保所有反馈连接短而直接，反馈电阻和补偿元件尽可能靠近芯片；
- SW 远离敏感信号，如 FB；
- 将 VIN、SW、特别是 GND 分别连接到一个大的铜区，以冷却芯片，提高热性能和长期可靠性；



DC-DC BUCK典型电路



layout指导

4.2.4 小结一下

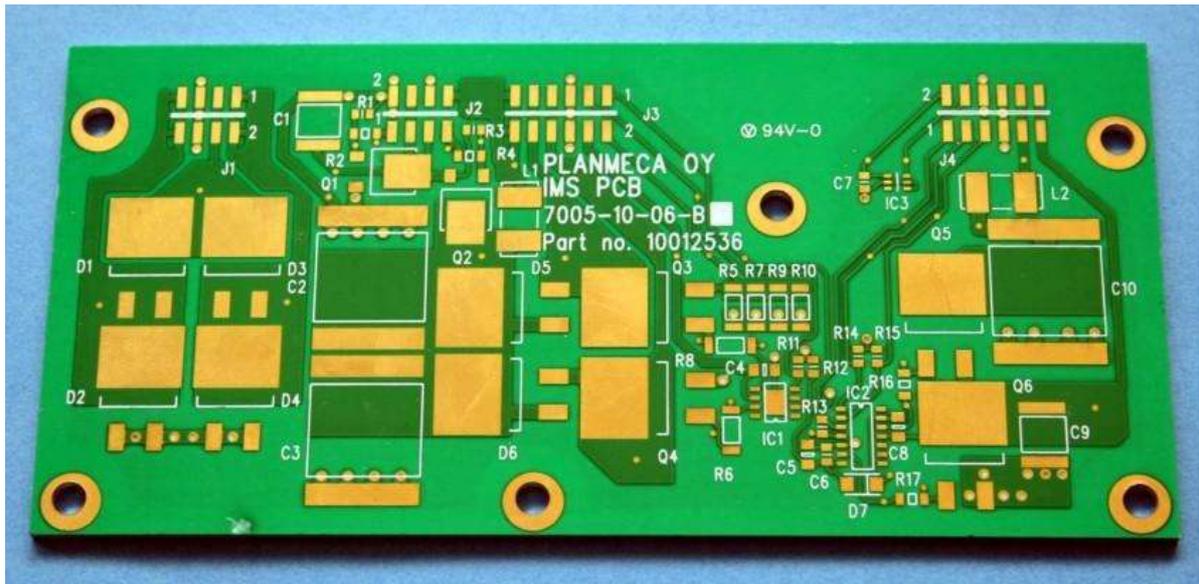
DC-DC 电路的 layout 至关重要，直接影响到 DC-DC 的工作稳定性和性能，一般 DC-DC 芯片的 SPEC 都会给出 layout 指导，可参考进行设计。

今天的文章内容到这里就结束了，希望对你有帮助，我们下一期见。

4.3 PCB板材基础知识及层压结构

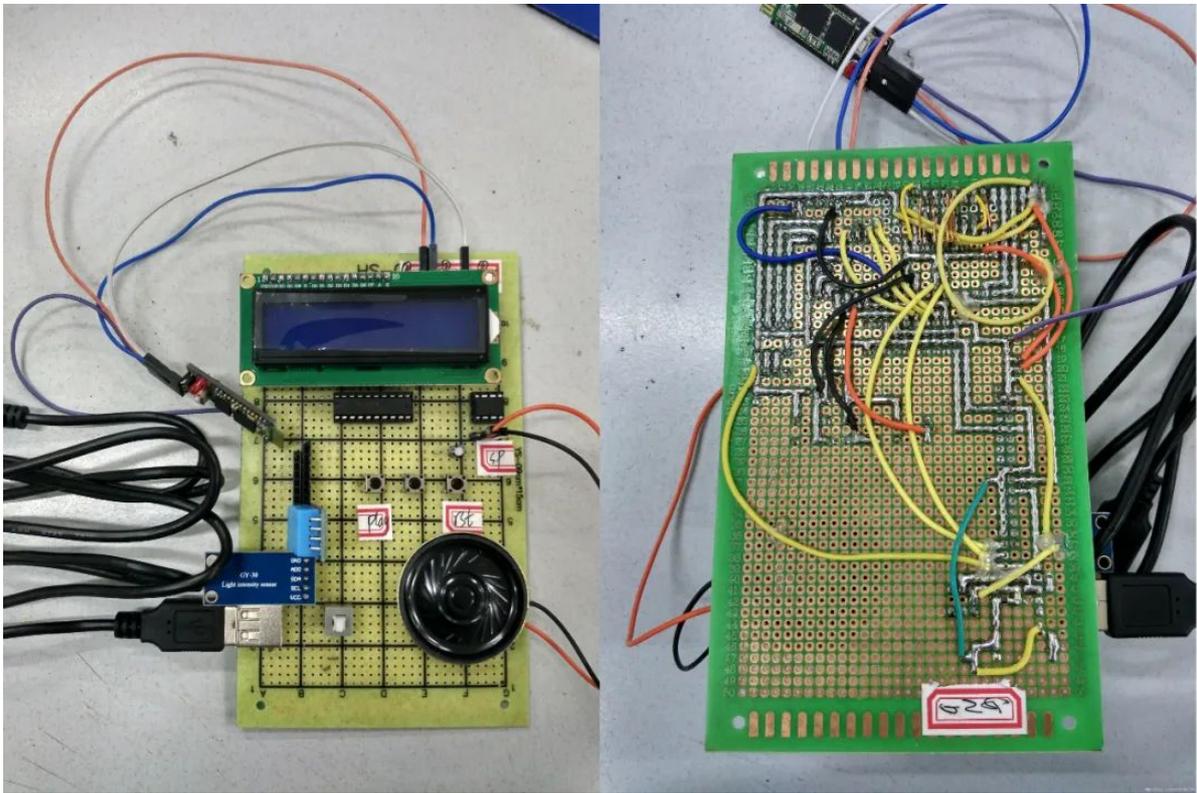
我们经常拿到的开发板，上面贴满了器件，在没有外壳的情况下，准确来讲，那个叫PCBA。

而我们今天讲的是PCB，中文印刷电路板，是电子元器件电气连接的载体，是还没有进行SMT贴片的空板。



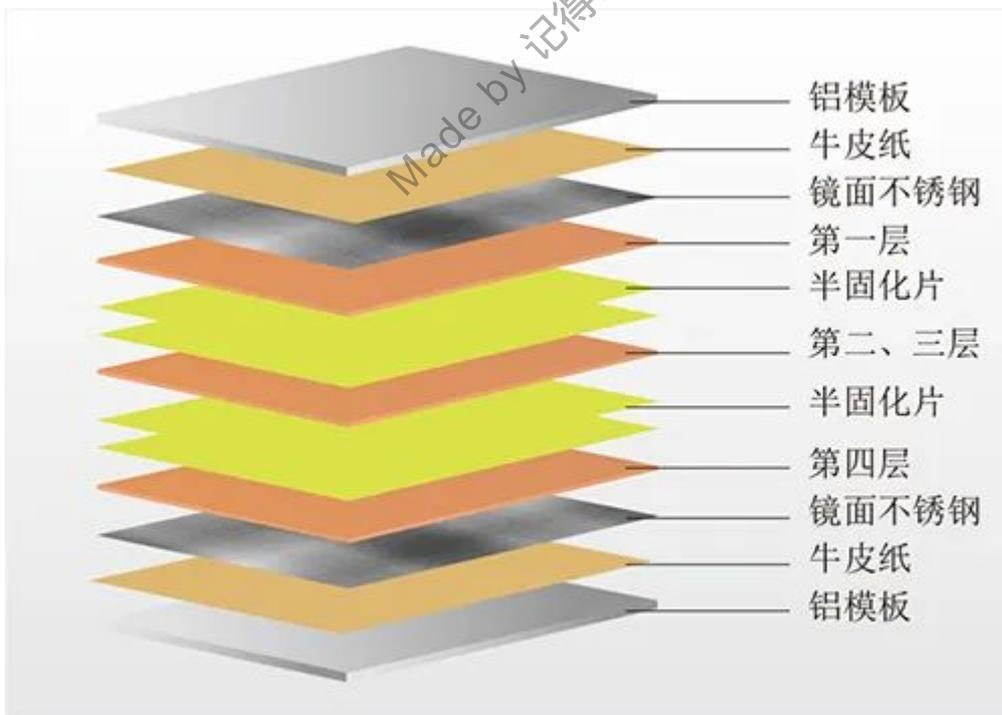
PCB的好处就是稳定，在贴上电子元器件之后，由线路板内部承载着电气连接，而且随着板子层数的增加，线路可以更复杂，也就是可以增加更多的功能电路。

而我们自己用面包板拉线焊的，也就学生自己做做小项目，实验室学习。



我们拿到PCB板，你会发现，厚度大约就在1mm左右，仔细观察，在这个1mm的厚度下，会看到很多分层，PCB的制作不是一块完整裸板制作，而是由很多材料一层一层压合而成。

下图是一个4层板的层压图示，可以看到，其实内部是有很多材料的。



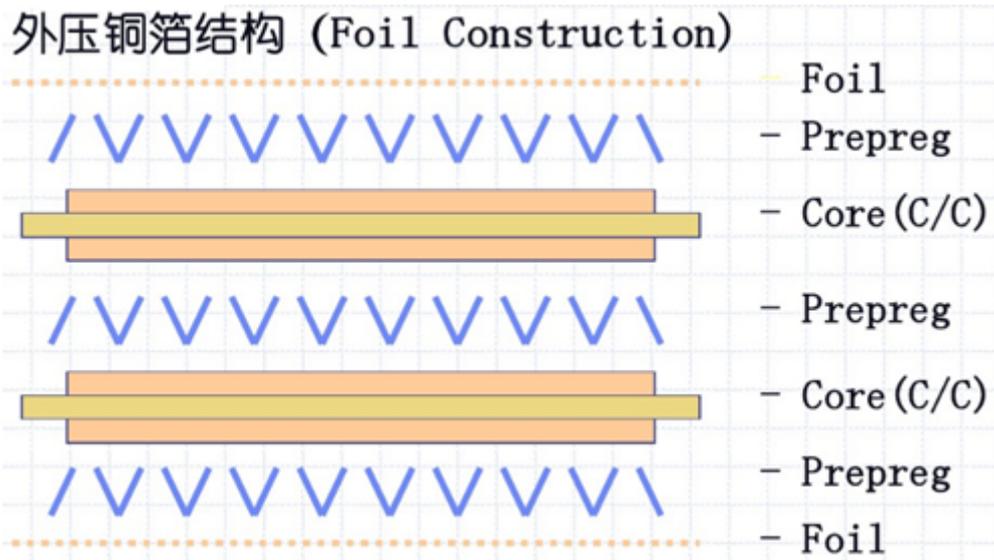
在PCB板的层压结构中，有几个比较重要的概念。

Prepreg，中文半固化片，又称PP片，是多层板生产中的主要材料之一，主要由树脂和增强材料组成。增强材料又分为玻纤布、纸基、复合材料等几种类型，而制作多层印制板所使用的半固化片（黏结片）大多是采用玻纤布做增强材料。

半固化片，又被称为预浸材料，在层压时，半固化片的环氧树脂融化、流动、凝固，将各层电路压合在一起，形成可靠的绝缘层。

Core，中文芯板，芯板是一种硬质的、有特定厚度的、两面包铜的板材，是构成印制板的基础材料。

多层板的压合材料主要是Prepreg和Core。



OZ, PCB铜箔的厚度是以OZ为单位, 1OZ意思是重量1OZ的铜均匀平铺在1平方英尺 (FT²) 的面积上所达到的厚度。

1OZ=35um=0.035mm。



看了以上内容, 其实你在内心里已经有了PCB层压的画面了, 那可以再看看下面的PCB板制作介绍视频, [PCB板材基础知识及层压结构 \(内附视频\)](#)

介电常数, 介质在外加电场时会产生感应电荷而削弱电场, 原外加电场 (真空中) 与最终介质中电场比值即为介电常数。

介电常数又称诱电率, 与频率相关。介电常数是相对介电常数与真空中绝对介电常数乘积。如果有高介电常数的材料放在电场中, 电场的强度会在电介质内有可观的下降, 理想导体的相对介电常数为无穷大。

如下是华强PCB对介电常数的解释。

介电常数是指每单位体积的绝缘物质, 在每一单位之电位梯度下所能储蓄静电能量(Electrostatic Energy)的多寡而言。

此词尚另有同义字“透电率”(Permittivity日文称为诱电率)，由字面上较易体会其中含义。当绝缘板材之“透电率”愈大(表示品质愈不好)，而两逼近之导线中有电流工作时，就愈难到达彻底绝缘的效果，换言之就愈容易产生某种程度的漏电。

故绝缘材料的“介质常数”(或透电率)要愈小愈好。目前各板材中以铁氟龙(PTFE)，在 1MHz频率下所测得介质常数的2.5为最好，FR-4 约为 4.7。

PP片类型

如下是几种常见的PP片的类型，现在常用的有2116、1080和7628。

B片类型	B片厚度		不同工作频率的介电常数	
			1MHZ	1GHZ
106	1.97 mil	50 um	4.02	3.54
1080	2.9 mil	74 um	4.20	3.70
2116	4.8 mil	122 um	4.38	4.00
2116H	5.3 mil	135 um	4.30	3.90
7628	7.3 mil	185 um	4.52	4.16
7628H	9.0 mil	228 um	4.42	4.04
LDP1080	2.9 mil	74 um	4.10	3.70

推荐几种常见的PCB层压结构

如下是华强PCB几个常见的层压结构，每个板厂的层压可能有所不同，在投版时，需要和板厂进行详细的沟通。

4层板，成品板厚0.8mm



6层板，成品板厚1.2mm



6层板, 成品板厚1.6mm



8层板, 成品板厚1.2mm

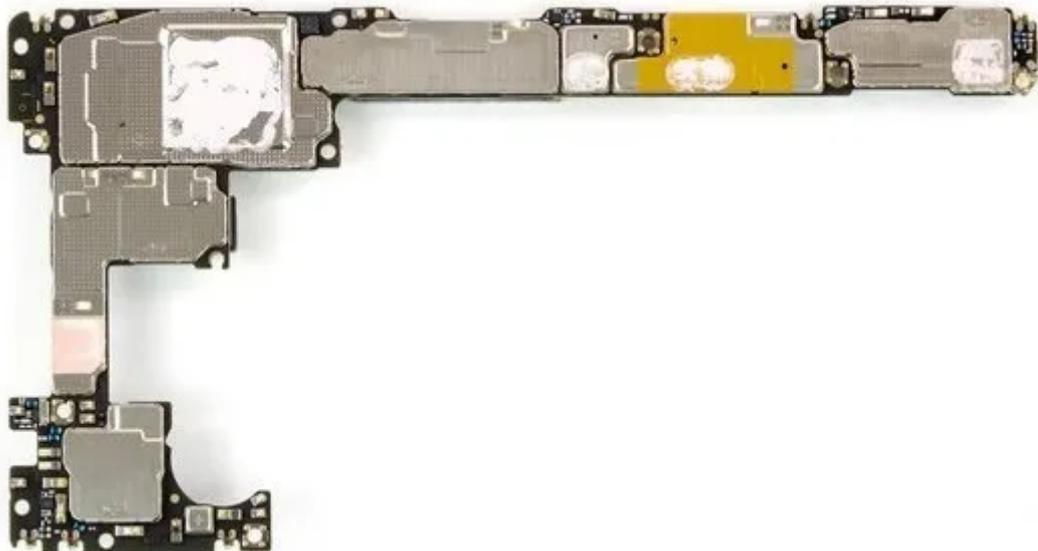


今天的文章到这里就结束了, 希望对大家有所帮助, 我们下一期见。

4.4 小小的屏蔽罩，大大的门道

做项目时，在屏蔽罩上吃过亏，今天的文章简单科普一下。

我们经常在很多PCB上看到屏蔽罩，尤其是手机等消费类电子产品里面。



某手机的PCB上面满是屏蔽罩

屏蔽罩多见于手机PCB，主要是因为手机上有GPS，BT，Wifi，2G/3G/4G/5G等多种无线通信电路，有的如敏感的模拟电路，DC-DC开关电源电路，一般都需要用屏蔽罩隔离，一方面是为了不影响其他电路，另一方面是防止其他电路影响自己。

这是其中一个作用，**防止电磁干扰**；屏蔽罩另外一个作用是**防止撞件**，PCB SMT后会进行分板，一般相邻板子之间需要隔开，防止离得太近，在后续测试或者其他运输过程中导致撞件。



屏蔽罩的原材料一般有洋白铜、不锈钢、马口铁等，目前大多数的屏蔽罩用的都是洋白铜。

洋白铜的特点是屏蔽效果稍差，较软，价格比不锈钢贵，易上锡；不锈钢的屏蔽效果好，强度高，价格适中；但上锡困难（在没做表面处理时几乎不能上锡，镀镍后有改善，但还是不利于贴片）；马口铁屏蔽效果最差，但上锡好，价格便宜。

屏蔽罩可以分为固定式和可拆卸式。

4.4.1 单件式屏蔽罩

固定式一般也叫单件式，直接SMT贴在PCB上，英文一般称**Shielding Frame**。

设计注意事项：

1. 单件式屏蔽罩因为是直接SMT贴在PCB上，建议材料选择洋白铜**Cu-7521 (R-1/2H or R-OH)**，焊接性能好。
2. **屏蔽罩注意开孔。**
3. 屏蔽罩的高度建议是0.25mm+内部器件最大高度。

屏蔽罩开孔的作用：

一方面是为了工作时内部器件的散热，开孔自然会牺牲一部分的屏蔽效果。

另一方面在回流焊时，以降低屏蔽罩内外的温差，保证焊接的可靠性，可以试想一下，在回流焊的高温下，如果屏蔽罩密封效果好且未开孔，很有可能出现**内爆（屏蔽罩炸裂，内部器件损坏）**，这个是有实际案例的。

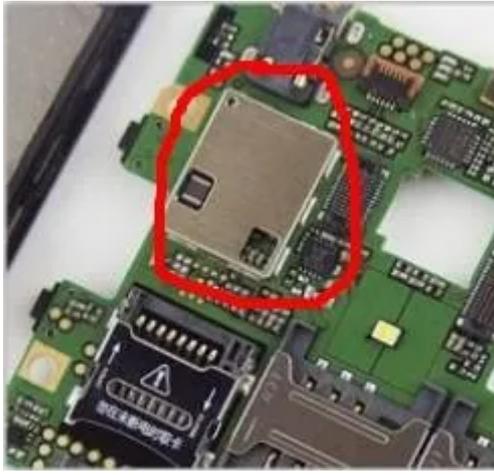
PS：在MTK的一些文档中，有屏蔽罩开孔和未开孔的焊接性能比较，开孔明显优于未开孔。

如下是几种常见单件式屏蔽罩的处理方式：

- 1、某些发热量大的IC如BB、PA、电源芯片PMU等，可以直接将对应部分挖空以充分散热，或者方便添加散热材料。

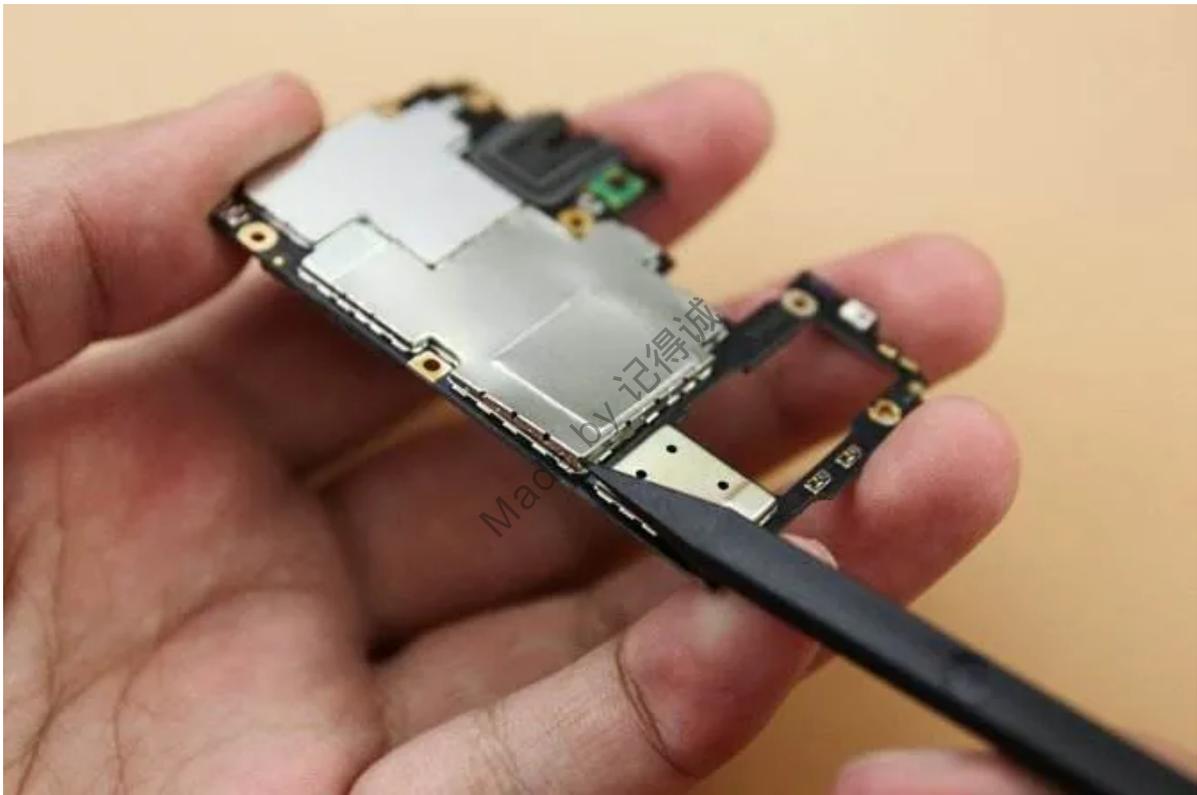


- 2、屏蔽罩内部个别器件很高时，为了不整体提高屏蔽罩高度，可以将对应部分挖空处理，以减少占用PCB的空间；某些挖空是为了后期的方便调试，方便示波器万用表等的测量。



4.4.2 双件式屏蔽罩

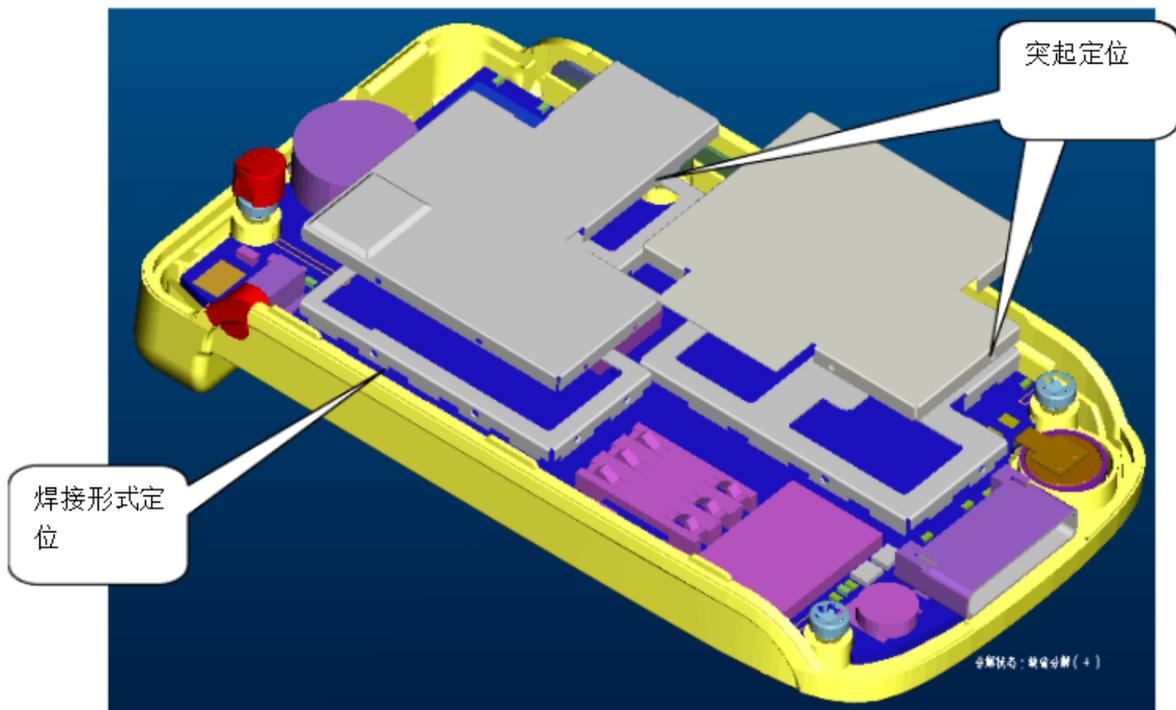
可拆卸式一般也叫双件式，双件式屏蔽罩可以直接打开，不用借助热风枪工具。



价格比单件式贵，底下的SMT焊接在PCB上，称为**Shielding Frame**，上面的称为**Shielding Cover**，直接扣在Shielding Frame上，方便拆卸，一般把下面的Frame称为屏蔽框，上面的Cover称为屏蔽罩。

Frame建议采用洋白铜，上锡好；Cover可以采用马口铁，主要是便宜。

双件式可以在项目初期采用，方便调试，等待硬件调试稳定之后，再考虑采用单件式以降低成本。



shielding Frame和shielding Cover的结合紧密依靠四周突起的小孔

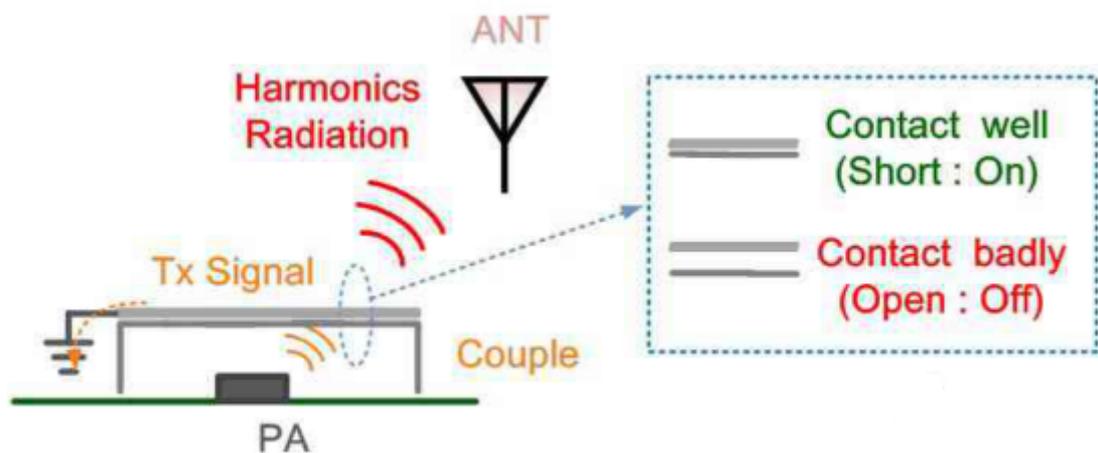
双件式需要注意Frame和Cover的接触可靠性

Frame和Cover接触要可靠，否则跌落测试不容易过，在某些场合Shielding Cover发生掉落后，容易产生隐患。

另一方面，结合不紧密会引起一些RF问题，如辐射传导问题，**其实本质就是接地不良**，Frame是直接焊接在PCB上的，属性为GND，Frame和Cover接触不良，即是接地不良。

PA的Tx会耦合到上方的屏蔽罩，即屏蔽罩上会有残留的Tx信号，若Frame和Cover接触良好，即屏蔽罩是接地良好的，残留的Tx信号会流通到GND。反之，Frame和Cover接触不良，且概率性接触不良，残留的Tx信号会产生谐波，谐波透过屏蔽罩的共振腔结构，辐射到天线，再透过天线辐射出去，那么辐射杂散就会变大。

PS：上面的这部分文字摘录至网上一个实际案例，说的是双件式屏蔽罩接触不良导致的RF问题，链接<https://www.docin.com/p-1694883831.html>

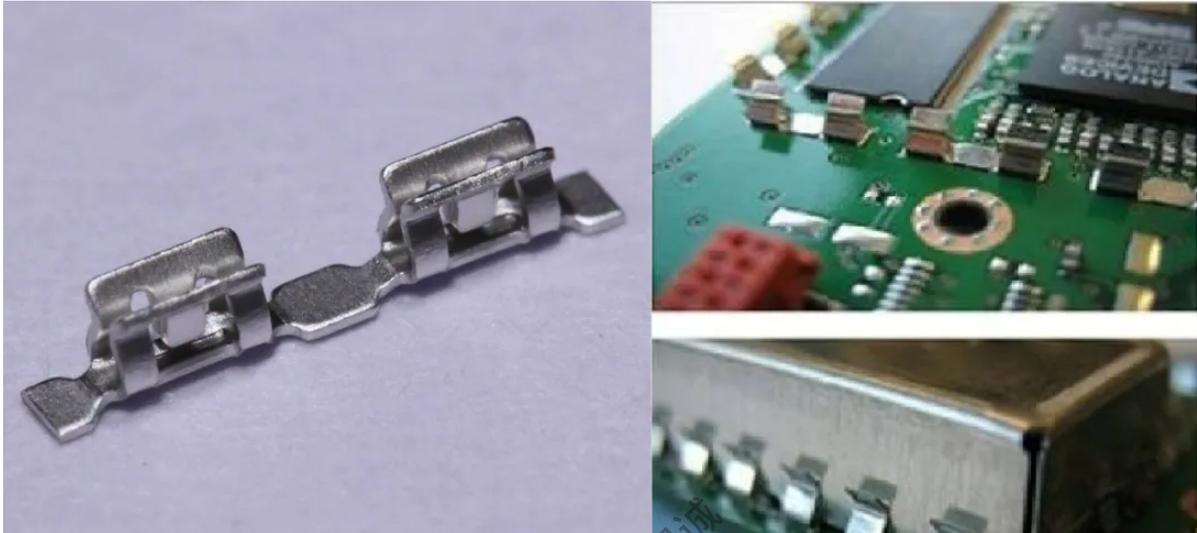


4.4.3 屏蔽罩夹子

不管是单件式屏蔽罩还是双件式屏蔽罩，都需要进行开模，有一些聪明的厂家推出了**屏蔽罩夹子**，英文称为**Shielding Clip**，用来替代屏蔽框。

Shielding Clip的优点是：

1. 可以直接SMT，体积小不易变形，维修方便一些。
2. 某些场合可以直接取代屏蔽框，节省一个屏蔽框开模的费用。
3. 当夹子被焊接在电路板之后，再直接把屏蔽罩安装在这些夹子中间夹住就可以了，焊接平整度相对于屏蔽框会好一些。



屏蔽罩夹子示意图

一般1个屏蔽框需要用4~8个屏蔽夹子代替，需要注意的是，采用屏蔽夹子的抗干扰效果肯定没有屏蔽框好，而且比较占用PCB板的空间大，目前在手机未见有使用屏蔽罩夹子的情况，**对集成度和空间要求不高的应用可以采用屏蔽罩夹子来降低成本。**

今天的文章内容到这里就结束了，希望对你有帮助，我们下一期见。

4.5 单点接地 or 多点接地？

地的处理在电源完整性中起着至关重要的一环，低速电路中，大家对电源完整性和信号完整性不是很在意，但是在高速电路中，电源完整性（PI）和信号完整性（SI）虽说是两个不同概念，但却是相辅相成的关系，都很重要。

本文主要聊一聊电子设备中接地的一些概念。

4.5.1 接地的含义

电子设备中一般有两种地，一种叫“大地”，也被称为安全地，另一种是“系统基准地”，也被称为信号地。

“接大地”指的是以地球的电位为基准（以大地作为零电位），把电子设备的金属外壳、电路基准点与大地相连接，我们家里很多大功率电器都是三角插头，其中一个就是用来接大地。

接大地的主要的作用就是**泄放静电**，泄放静电一个是提高设备电路工作的稳定性，还有一个是给操作者提高安全保障。

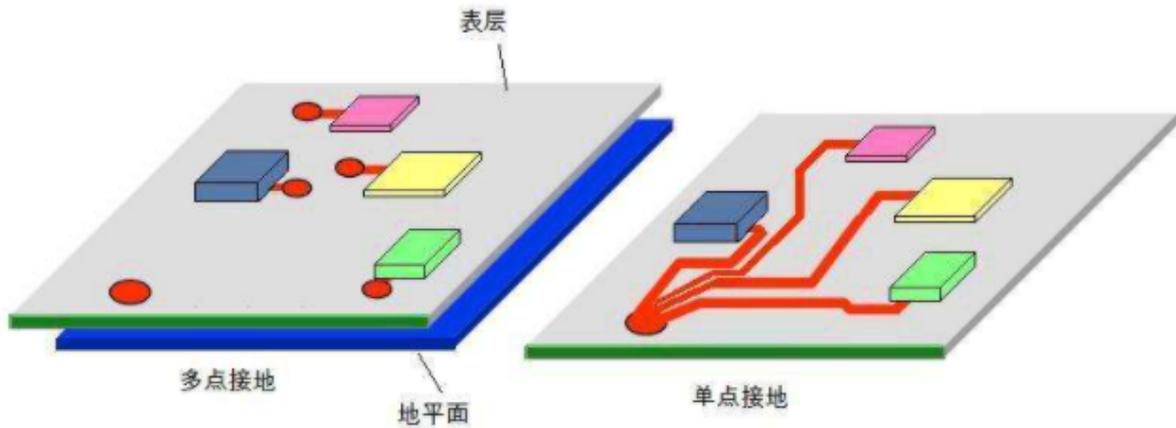
一些电子设备电路中，虽说没有直接接大地，但是也有系统基准地（信号地），以假设的一个点来作为基准0电平，对电源来说，就是负极，这部分地没有处理好，同样也会影响系统的正常工作。

4.5.2 接地的目的

在电子设备中良好的接地是抑制电磁干扰、提高电子设备EMC性能的重要手段之一，提高抗干扰能力，并能减少对外的EMI发射，可以称之为屏蔽地，上面接大地说的泄放静电，可以称之为保护地/防静电接地。

4.5.3 接地的方式

接地的方式主要有四点：单点接地、多点接地、浮地和混合接地。



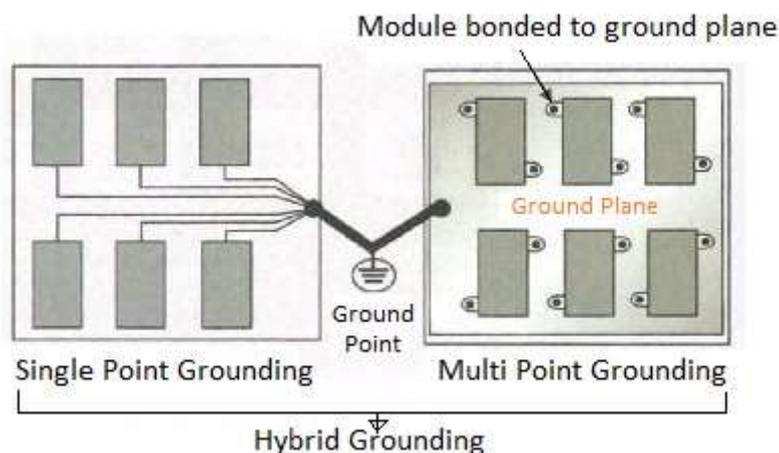
1、**单点接地**：如上右图所示，系统只有一个物理点被定义为接地参考点，电路上需要接地的部分都连接到这一点。单点接地适用于低频电路，一般频率小于1MHz，主要是因为**低频电路对地阻抗敏感度不高**。

数字地和模拟地、DC-DC的功率地和信号地通常都采用单点接地，此单点接地的物理点多用0欧姆电阻或者磁珠连接至主地。

2、**多点接地**：系统工作频率变高之后，一般10MHz以上，建议采用多点接地。如上左图所示，多点接地是将各个接地点直接连接到距离它最近的接地平面上。

3、**浮地**：其有一个重要的应用是交流电源地和直流电源地分开，交流电源的零线一般接地，采用浮地技术，避免了零线上的干扰影响到直流电源。

4、**混合接地**：指单点接地和多点接地的组合，下图所示，两个系统的接地点都组合到一个公共点，多见于复杂的电路系统中，既有模拟/数字电路，也有高频/低频电路。



4.5.4 接地的原则

采用单点接地还是多点接地，是一个复杂的问题，各有利弊，所以不同的电路场合选择也不一样。

理想的地线其实是零电位、零阻抗的，实际的地线会有电阻和电抗分量，一旦有电流流过时，就会在上面产生电压降。当信号线与地线构成回路，**可变磁场耦合到此回路时，会在回路中产生感应电动势，并由地回路耦合到负载，构成潜在的EMI威胁。**

DC-DC功率低和信号地采用单点接地还是多点接地好，其实是一个折中选择，采用单点接地，避免了DC-DC脏的功率地影响其他的地，但是单点接地，这部分地阻抗相应的会增加，如果没有一个相对好的回流路径，也是会影响DC-DC的正常工作，从而也会辐射出一些干扰。

系统的工作频率变高之后，工作波长与接地引线的长度可比拟时，单点接地会有问题。当地线的长度接近于1/4波长时，它就像一根终端短路的传输线，地线的电流、电压呈驻波分布，地线变成了辐射天线，而不能起到“地”的作用（这句话的意思是地的基准电平会改变，不是0）。

多点接地电路简单，高频驻波会减少，**缺点是电路中会增加很多接地环路**，一定程度上会降低外界磁场的抵御能力。

所以接地的一般选取规则为：

1. 低频电路 (<1MHz) ， 建议采用单点接地。
2. 高频电路 (>10MHz) ， 建议采用多点接地。
3. 高低频混合电路，采用混合接地。

那么如何确定一个电路是高频还是低频电路呢？

高频一般多见于无线通信领域，包括常见的：

BT/WiFi: 2.4GHz/5GHz

GPS L1频段: 1575.42±1.023MHz

GPS L2频段: 1227.60±1.023MHz

GPS L5频段: 1176.45±1.023MHz

GSM 850/900/1800MHz、WCDMA、LTE等

今天的文章内容到这里就结束了，希望对你有帮助，我们下一期见。

4.6 PCB上10A的电流需要走多宽的线？需要几个过孔？

4.6.1 前言

还记得上大学时，参加飞思卡尔智能车比赛，做的一块板子，因为电源走线过细，导致一上电线直接烧断了，只能外部飞线代替。

上班了，公司的PCB一般都是6层、8层、10层，摆件密，空间非常有限，有时候为了能走粗一点，不断的压缩空间；有时候空间实在不够，在layout的淫威下，只能酌情降低走线宽度。

按照经验，一般1A的电流需要走1mm的宽度，那是不是10A就得走10mm宽？

PCB空间足够，当然可以这么走，某些情况下而且大电流走线越粗越好。但是在多层PCB中，空间有限的情况下，10mm可能根本就走不下去。

4.6.2 基础知识

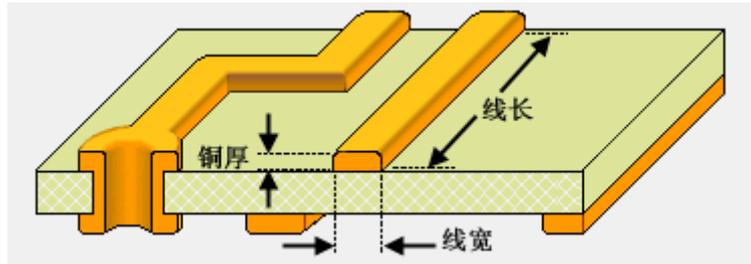
PCB铜箔的厚度是以OZ为单位，1OZ意思是重量1OZ的铜均匀平铺在1平方英尺（FT²）的面积上所达到的厚度， $1\text{OZ}=35\mu\text{m}=0.035\text{mm}$ 。

一般PCB铜厚有三个尺寸，0.5OZ、1OZ和2OZ，主要用在消费类和通讯类产品上，3OZ属于厚铜，少见，主要用于大电流、高压的电源产品上。

我们常用的多层板，一般表层铜厚为1OZ，内层铜厚为0.5OZ，具体的可以问PCB制作厂家。

4.6.3 线宽的计算公式

PCB的载流能力主要和线宽、线厚（铜箔厚度）以及温升有关系，线宽越大，载流能力越强。



走线参数示意图

国际通用PCB制作标准IPC-2221规范给出的线宽计算公式为：

$$\begin{aligned} \text{内部走线} : I &= 0.024 \times dT^{0.44} \times A^{0.725} \\ \text{外部走线} : I &= 0.048 \times dT^{0.44} \times A^{0.725} \end{aligned}$$

其中公式中参数含义为：

1. I 为容许通过的最大电流，单位为安培A；
2. 0.024 和 0.048 为修正系数，一般用 K 表示，内层走线， $K=0.024$ ，表层走线， $K=0.048$ ；
3. dT 为最大温升，单位为摄氏度 $^{\circ}\text{C}$ ，常见的是10和20；
4. A 为走线截面积，截面积等于铜厚乘以线宽，单位为平方mil；

根据公式即可计算出对应电流需要走多宽的线，但是计算比较麻烦，网上有很多计算工具，软件算法也是执行IPC-2221标准规范

4.6.4 ProPCB PCB设计助手计算

我在网上找了三个工具，计算出来的结果都差不多，其中两个是一样的。

载流10A，最大温升 10°C ，环境温度 25°C ，铜厚1OZ，走线长度10mm，计算得出的走线宽度：**内层18.71mm**，**表层走线7.19mm**，我用公式计算了一遍，结果是一样的。

ANSI PCB走线宽度计算器							
输入数据			结果数据				
			内部痕迹		外部痕迹		
领域	值	单位	追踪数据	值	单位	值	单位
电流 (最大35A)	10	安培	所需走线宽度	19.19	毫米	7.38	毫米
温升 (最高100°C)	10	°C	截面积	0.66	平方毫米	0.25	平方毫米
铜厚度	1	盎司/英尺 ²	抵抗性	0	欧姆	0	欧姆
环境温度	25	°C	电压下降	0	伏特	0.01	伏特
导体长度	10	毫米	失利	0.03	瓦数	0.07	瓦数
峰值电压	5	伏特	所需的轨道间隙	24	米尔		

当前	10	安培
厚度	1	盎司/英尺 ²

记得诚电子设计

可选输入：

温升	10	德格 C
环境温度	25	德格 C
走线长度	10	英寸

内部层的结果：

所需走线宽度	18.7	毫米
抵抗性	0.00685	欧姆
电压下降	0.0685	伏特
电力流失	0.685	瓦数

空气中外层的结果：

所需走线宽度	7.19	毫米
抵抗性	0.0178	欧姆

ProPCB PCB设计助手

线宽计算 | 过孔计算 | 铜线计算 | 洗板填单

条件输入
 持续电流 10 A
 铜厚 1oz/35μm
 温升 10 °C
 环境温度 25 °C
 线长 10 mm

图例

 铜厚
 线长
 线宽

外层走线	内层走线
线宽 7.19 mm	线宽 18.71 mm
电阻 0.000714 Ω	电阻 0.000274 Ω
压降 0.007137 V	压降 0.002743 V
损耗 0.071367 W	损耗 0.027434 W

输出单位 mm

本软件算法执行标准为国际通用PCB制造标准IPC-2221规范。
[微控网 www.microcontrol.cn](http://www.microcontrol.cn)
 Flash Link

帮助 软件更新

超低功耗LCD驱动器

同时ProPCB设计助手也支持计算过孔数量，主要和过孔内径、过孔铜厚有关，在这里不做过多的叙述。

在公众号「记得诚」后台回复关键字：PCB走线计算，获取ProPCB安装包。

ProPCB PCB设计助手

线宽计算 | 过孔计算 | 铜线计算 | 洗板填单

过孔基本计算
 电镀铜厚 35 μm
 过孔内径 [电镀后] 0.15 mm
 温升 10 °C
 每个过孔承载能力 1.61 A

应用计算
 期望承载电流 10 A
 所需过孔数量 7

图例

 铜厚
 孔径

执行计算 或Enter键

本软件算法执行标准为国际通用PCB制造标准IPC-2221规范。
 注：电镀金属的类型和电镀厚度将直接影响到孔的承载电流能力。该工具是基于PCB业界常用的过孔镀铜工艺来参考计算，电镀铜的电阻比纯铜的电阻会稍高些。

Flash Link

 超低功耗LCD驱动器

今天的文章内容到这里就结束了，希望对你有帮助，我们下一期见。

5 通信总线

5.1 串口、COM、UART、TTL、USB、RS-232、RS-485、I2C、SPI、CAN、1-WIRE

电子产品，如电脑，鼠标，充电器，包括汽车等，我们身边有很多接口，这篇博客带你认识这些接口，知道长什么样子，用在什么地方，怎么用，原理是什么？

5.1.1 串口

5.1.1.1 串口概述

串行接口简称为串口，也叫串行通信接口，一般也叫COM口，这是一个统称，采用串行通信的接口都叫作串口，串口是一个硬件接口。

前些天发现了一个巨牛的人工智能学习网站，通俗易懂，风趣幽默，忍不住分享一下给大家，[点击可进入网站](#)

5.1.1.2 公头和母头

有公头和母头之分，大家可以自行记忆，左边有孔的为母头，另外一个就为公头。

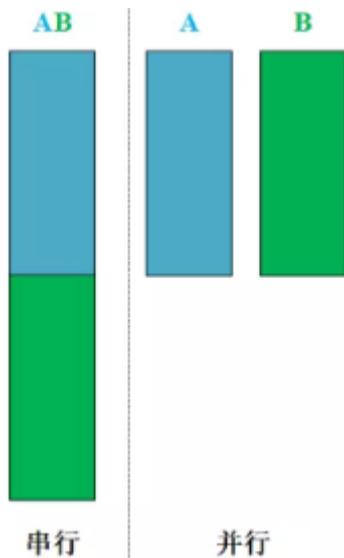


公头和母头示意

5.1.1.3 串行和并行

串行：计算机总线或其他数据通道上，每次传输一个位元数据，并连续进行以上单次过程的通信方式。

并行：在串行端口上通过一次同时传输若干位元数据的方式进行通信，所以并行的速度比串行快。



串行和并行示意

5.1.2 UART

UART是**Universal Asynchronous Receiver/Transmitter**的简称，意为通用异步收发传输器，UART包含TTL电平的串口和RS-232电平的串口，使用UART通信的双方设备都需要遵从UART协议。

5.1.3 TTL

5.1.3.1 TTL概述

TTL是**Transistor-Transistor Logic**的简写，是一种电平逻辑，晶体管-晶体管逻辑。

5.1.3.2 标准TTL电平逻辑

逻辑1代表高电平，连接到电源VCC，逻辑0为低电平，连接到电源地。

逻辑1，高电平，VCC (3.3V/5V)；

逻辑0，低电平，GND (0V)；

TTL有电压范围，分为输出高、低电平和输入高、低电平，输出高电平用 V_{OH} 表示，输出低电平用 V_{OL} 表示；输入高电平用 V_{IH} 表示，输入低电平用 V_{IL} 表示。

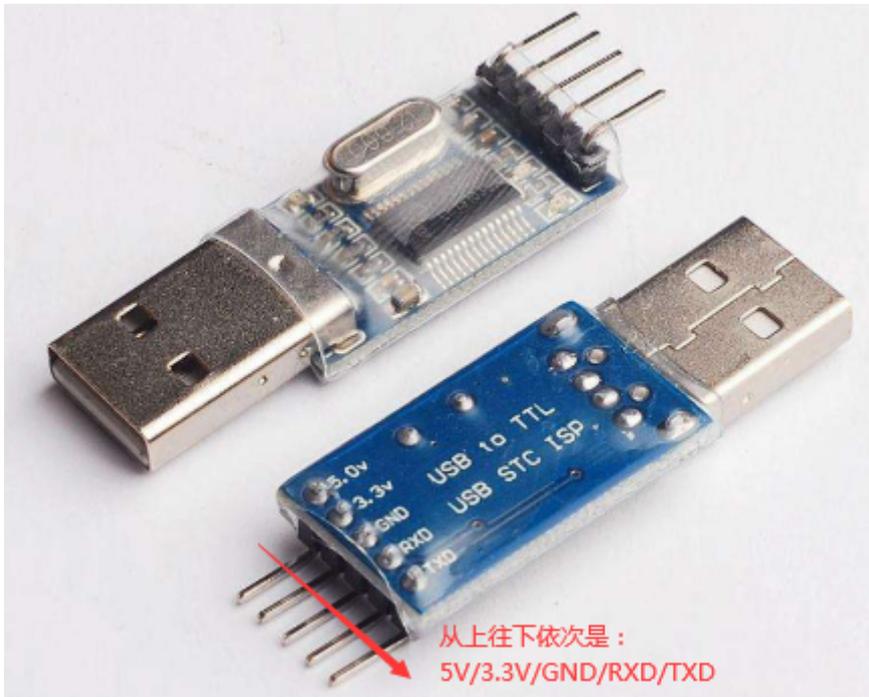
对TTL电平的器件来说，当输入电压高于2V时，才会被识别为逻辑1，输入的低电平低于1.2V时，才会被识别为0，这是为什么输出高电平2.4V，高于2V；输出低电平0.8V，低于1.2V的原因所在。如下是标准TTL电平，TTL有很多类型，电压有所区别。

$$V_{OH} > 2.4V, V_{OL} < 0.8V$$

$$V_{IH} > 2.0V, V_{IL} < 1.2V$$

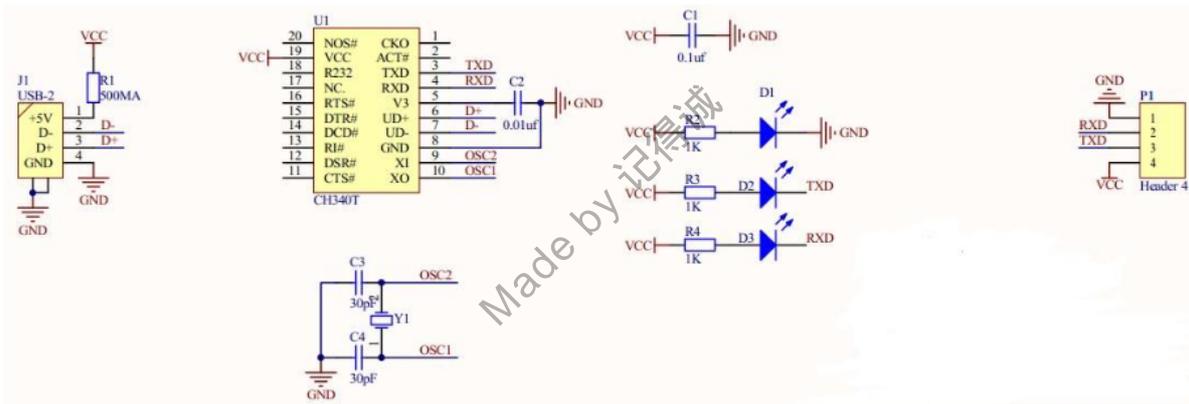
5.1.3.3 USB转TTL

玩过51单片机的小伙伴都用过CH340G模块，用来下载HEX文件，这个模块的作用就是将USB转成TTL电平，一般单片机的电平都是TTL电平，模块的内部芯片是CH340T，ST官方推荐。



USB转TTL模块

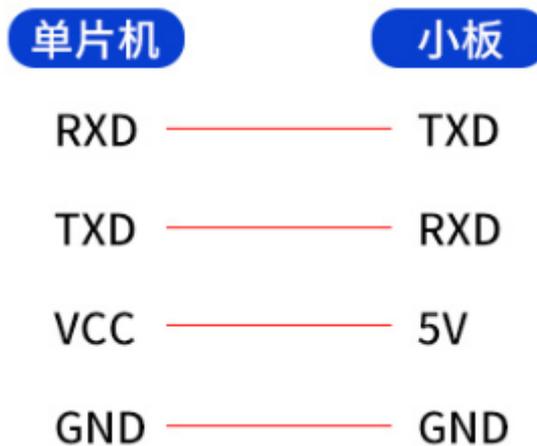
使用CH340T芯片，USB转TTL电平的电路原理图。



USB转TTL原理图

5.1.3.4 与单片机连接

TTL电平的器件之间通信，只需要三根信号线：TXD、RXD和GND，和单片机接法很简单，3.3V单片机就接3.3V，5V单片机就接5V，如果单片机有单独的供电，3.3V和5V都不接。



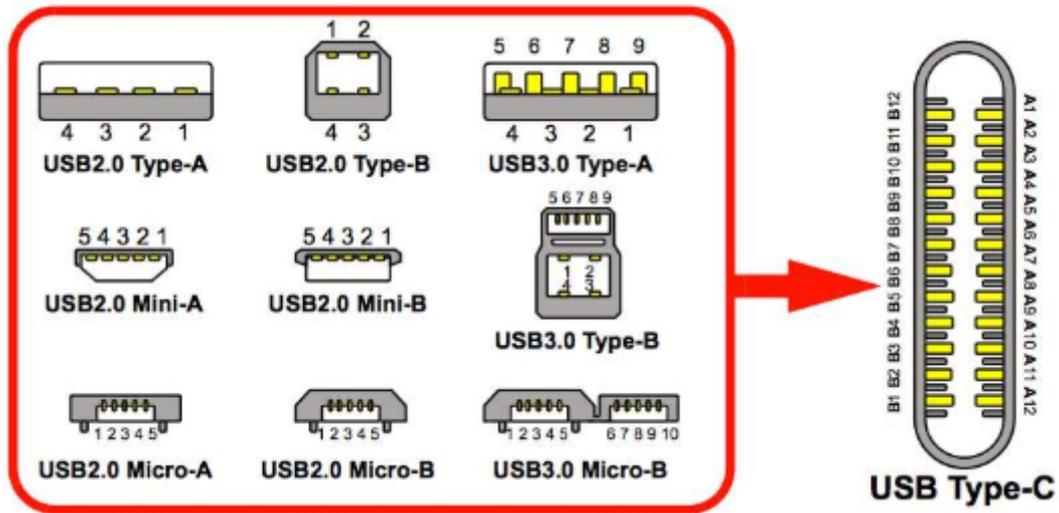
USB转TTL模块与单片机的连接

5.1.4 USB

5.1.4.1 USB概述

USB是Universal Serial Bus（通用串行总线）的缩写，是一个外部总线标准，用于规范电脑与外部设备的连接和通讯，是应用在PC领域的接口技术，特点是传输速度快，支持热插拔，可连接多个设备。

我们在很多地方可以看到USB的身影，鼠标，键盘，手机充电器，现在几乎所有的电子充电设备都是USB接口，如下是各个USB的物理接口。



USB接口分类

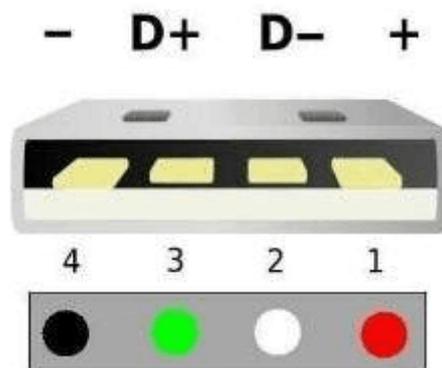
5.1.4.2 USB速率

- 1MB/s=8Mbps（1个Byte等于8bit）；
- USB1.0 低速（Low Speed）传输速率为 1.5Mbps；
- USB1.1 全速（Full Speed）传输速率为 12Mbps；
- USB2.0 高速（High Speed）传输速率为 480Mbps；
- USB3.0 超速（SuperSpeed）传输速率为 5Gbps；
- USB3.1 Gen2 超高速（SuperSpeed+）传输速率为 10Gbps；

5.1.4.3 USB接口定义

最常见的Type-A型USB接口定义如下。

Pin#	Name	颜色
1	VBUS/+5V	红色
2	D-/Data-/DM	白色
3	D+/Data+/DP	绿色
4	GND	黑色



5.1.5 RS-232

5.1.5.1 RS-232概述

RS-232接口符合美国电子工业联盟（EIA）制定的串行数据通信的接口标准，原始编号全称是EIA-RS-232（简称232，RS232）。它被广泛用于计算机串行接口外设连接，连接电缆和机械、电气特性、信号功能及传送过程。

5.1.5.2 RS-232电平逻辑

RS-232不同于TTL的电平逻辑，为负逻辑，负12V代表高电平逻辑1，正12V代表低电平逻辑0，电压也有标准范围。

高电平，逻辑1， -15V to -3V;

低电平，逻辑0， +3V to +15;

除了TTL，RS232，还有一个**CMOS电平标准**。

$$V_{OH} > 0.9 * V_{CC}, V_{OL} < 0.1 * V_{CC}$$

$$V_{IH} > 0.7 * V_{CC}, V_{IL} < 0.3 * V_{CC}$$

5.1.5.3 DB9接口定义

下图是DB9公头和母头的定义，一般用的最多的是RXD、TXD、GND，三个信号。



DB9母头定义

DB9公头定义

引脚顺序	引脚作用+名称	
1	数据载波检测	DCD
2	数据发射	TXD
3	数据接收	RXD
4	数据设备准备	DSR
5	地	GND
6	数据终端准备	DTR
7	清除发送	CTS
8	请求发送	RTS
9	振铃指示	RI

引脚顺序	引脚作用+名称	
1	数据载波检测	DCD
2	数据接收	RXD
3	数据发射	TXD
4	数据终端准备	DTR
5	地	GND
6	数据设备准备	DSR
7	请求发送	RTS
8	清除发送	CTS
9	振铃指示	RI

DB9公头和母头接口信号定义

工业场合还会用到DB-25的RS232，DB9和DB25接口可以转换。



DB9转DB25数据线

5.1.5.4 USB转RS-232

USB转232，可以先将USB转换为TTL，再将TTL转换为RS232，当然市面上也有很多USB直接转RS232的线材，线材内部集成转换电路，淘宝上某USB转RS232用的两个芯片是FT232和SP213。



USB转RS232数据线

5.1.5.5 TTL和RS-232互转

单片机接口一般是TTL电平，如果需要接232电平的外设，就需要加TTL转RS232的模块，转换方向是双向的。

TTL和RS232电平互相转换最常用的芯片是MAX232和SP3232。



5.1.6 RS-485

5.1.6.1 RS-485概述

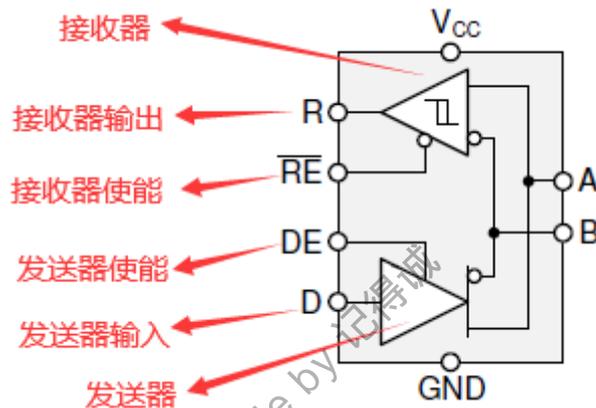
RS-485和RS-232一样，都是串行通信标准，现在的标准名称是TIA/EIA-485-A，习惯称为RS-485标准，RS-485弥补了RS-232通信距离短，速率低的缺点。

RS-485和RS-232单端传输不一样，是差分传输，使用一对双绞线，其中一根线定义为A，另一个定义为B。

5.1.6.2 RS-485电平逻辑

RS-485是差分传输，一般收发器内部是一个发送器加一个收发器组成。下图是收发器典型的功能框图。

对于使能信号，字母上面加一横的为低电平有效，不加的为高电平有效。



对于发送器，有如下的真值表：

当驱动器使能引脚DE为逻辑高时，差分输出A和B遵循数据输入D处的逻辑状态。D处的逻辑高导致A转为高，B转为低。在这种情况下，定义为 $V_{OD} = V_A - V_B$ 的差分输出电压为正。当D为低时，输出状态反转，B变高，A变低， V_{OD} 为负。

当DE低时，两个输出都变成高阻抗。在这种情况下，与D处的逻辑状态是不相关的。

INPUT	ENABLE	OUTPUTS		FUNCTION
		A	B	
H	H	H	L	Actively drive bus high
L	H	L	H	Actively drive bus low
X	L	Z	Z	Driver disabled
X	OPEN	Z	Z	Driver disabled by default
OPEN	H	H	L	Actively drive bus high by default

RS-485发送器真值表

对于接收器，有如下的真值表

当接收器使能引脚RE逻辑低时，接收器被激活。当定义为 $V_{ID} = V_A - V_B$ 的差分输入电压为正且高于正输入阈值 V_{IT+} 时，接收机输出R变高。当 V_{ID} 为负且低于负输入阈值 V_{IT-} ，接收机输出R变低。如果 V_{ID} 在 V_{IT+} 和 V_{IT-} 之间，则输出不确定。

当RE为逻辑高或悬空时，接收机输出为高阻抗， V_{ID} 的大小和极性无关。

DIFFERENTIAL INPUT	ENABLE	OUTPUT	FUNCTION
$V_{ID} = V_A - V_B$	\overline{RE}	R	
$V_{IT+} < V_{ID}$	L	H	Receive valid bus high
$V_{IT-} < V_{ID} < V_{IT+}$	L	?	Indeterminate bus state
$V_{ID} < V_{IT-}$	L	L	Receive valid bus low
X	H	Z	Receiver disabled
X	OPEN	Z	Receiver disabled by default
Open-circuit bus	L	H	Fail-safe high output
Short-circuit bus	L	H	Fail-safe high output
Idle (terminated) bus	L	H	Fail-safe high output

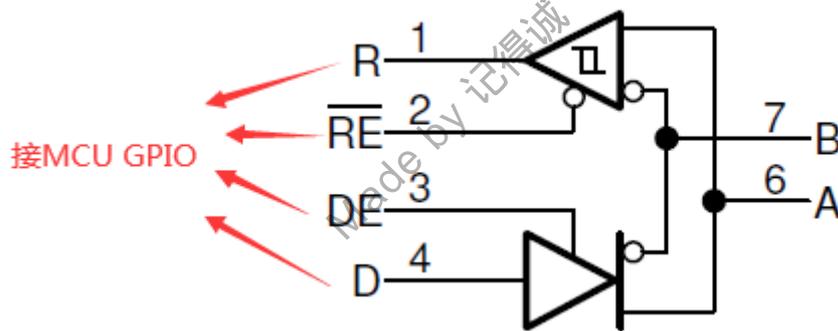
RS-485接受器真值表

很多收发器的标准达到甚至超过TIA/EIA-485A规范，在实际使用中，以器件的SPEC参数为主。

V_{IT+}	Positive-going receiver differential-input voltage threshold		-90	-50	mV
V_{IT-}	Negative-going receiver differential-input voltage threshold		-200	-150	mV

5.1.6.3 TTL和RS-485转换

TTL转成RS-485很常见，收发器芯片市面上很多，比如MAX485，用起来也很简单，一般左边接MCU的GPIO，用来控制。



TTL转RS-485电路示意

5.1.6.4 RS-232和RS-485转换

RS-232和RS-485之间可以转换，一个方法是RS-232转换成TTL，再由TTL转换为RS-485，当然也有芯片支持将RS-232支持转换成RS-485，双向转换。



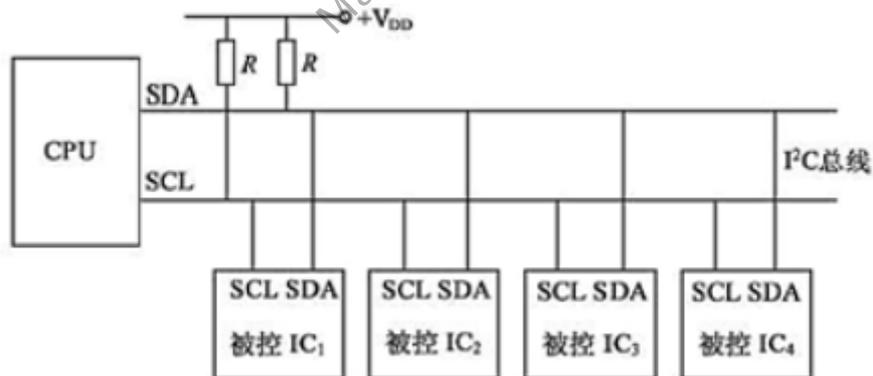
RS-232和RS-485转换模块

5.1.7 IIC

5.1.7.1 IIC概述

IIC总线是由Philips公司开发的一种简单、双向二线制同步串行总线，IIC只需要两根线进行通信，SDA（串行数据线）和SCL（串行时钟线）

下图是I2C总线的典型结构，同一时刻可以单主机多从机或单主机单从机，I2C总线上的任意设备都可以当主机，一般主机是MCU，当有多个主机时，会通过总线仲裁的方式选出一个主机，其他退出作从机。



IIC典型总线架构

了解更多IIC总线的知识，可以查看博主之前写的博文 [《IIC软件协议及硬件知识汇总》](#)

5.1.7.2 IIC速率

标准模式：100Kbit/s

快速模式：400Kbit/s

高速模式：3.4Mbit/s

5.1.8 SPI

5.1.8.1 SPI概述

SPI是串行外设接口 (Serial Peripheral Interface) 的缩写，是一种高速的，全双工，同步的通信总线，SPI的速率比I2C高，一般可以到几十Mbps，不同的器件当主机和当作从机的速率一般不同。

5.1.8.2 SPI信号线

MISO – Master Input Slave Output，主设备数据输入，从设备数据输出；

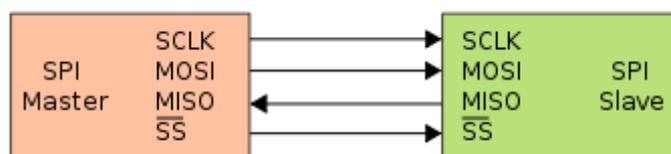
MOSI – Master Output Slave Input，主设备数据输出，从设备数据输入；

SCLK – Serial Clock，时钟信号，由主设备产生；

CS – Chip Select，从设备使能信号，由主设备控制；

5.1.8.3 SPI典型应用

SPI最典型的应用是单主机单从机，下图是接线方式，当然也可以多从机。



SPI单主机单从机连接方式

关于SPI的详细知识，博主后续会专门更新一篇博客介绍。

5.1.9 CAN

5.1.9.1 CAN概述

CAN是Controller Area Network的简称，是一种有效支持分布式控制或实时控制的串行通信网络，现在是汽车网络的标准协议。

5.1.9.2 CAN电平逻辑

电平	逻辑	总线Value
显性电平	0	CAN_H=3.5V, CAN_L=1.5V
隐性电平	1	CAN_H=2.5V, CAN_L=2.5V

5.1.10 1-WIRE

5.1.10.1 1-WIRE概述

单总线是美国DALLAS公司推出的外围串行扩展总线技术，与SPI、I2C串行数据通信方式不同，它采用单根信号线，既传输时钟又传输数据，而且数据传输是双向的。

5.1.10.2 1-WIRE典型框图

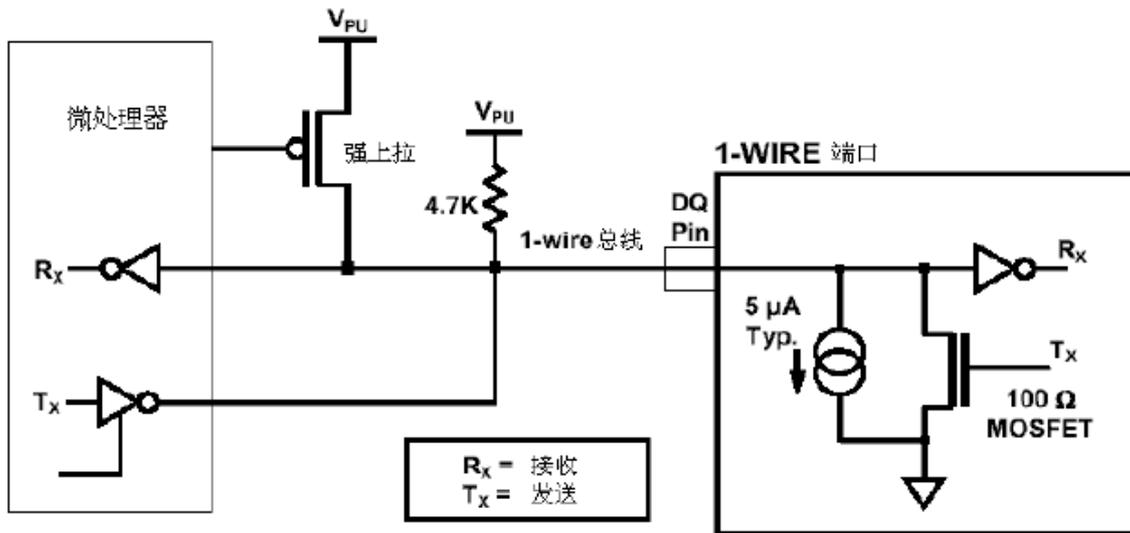
如下是1-WIRE的典型框图，可以看到微处理器和1-WIRE器件之间只有一根线。

当MCU发送逻辑1时，经过反相器，总线呈现逻辑0，逻辑0经过1-WIRE器件的反相器，即会收到逻辑1；

当MCU发送逻辑0时，经过反向器，总线呈现逻辑1，逻辑1经过1-WIRE器件的反相器，即会收到逻辑0；

同理，当1WIRE器件发送逻辑1时，Tx处有NMOS会导通，总线呈现逻辑0，经过MCU Rx处的反相器，MCU会收到逻辑1；

发送逻辑0时，NMOS截止，总线呈现逻辑1，MCU会收到逻辑0；

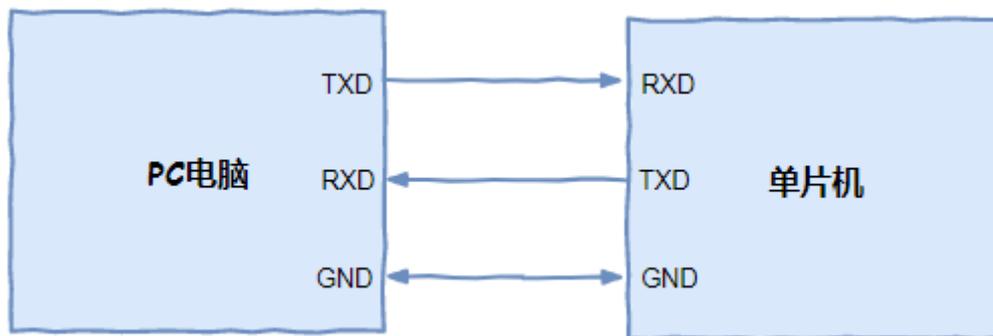


典型1-WIRE结构图

今天的文章到这里就结束了，希望对你有帮助，我们下一期见。

5.2 通俗易懂的UART协议帧格式

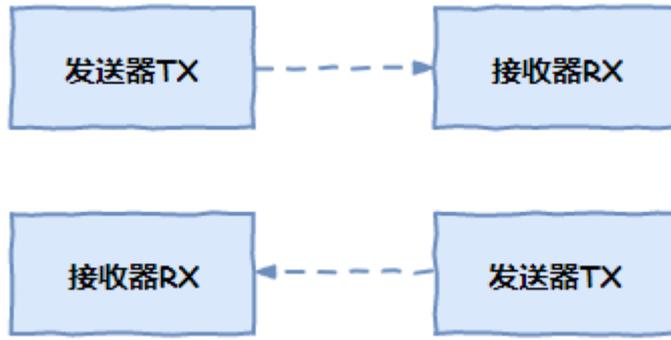
看下面这个图，大家已经知道今天的主角是UART，我们通常说的串口，UART包含TTL电平和RS-232电平两种，嵌入式系统里面，单片机的串口一般都是TTL电平。



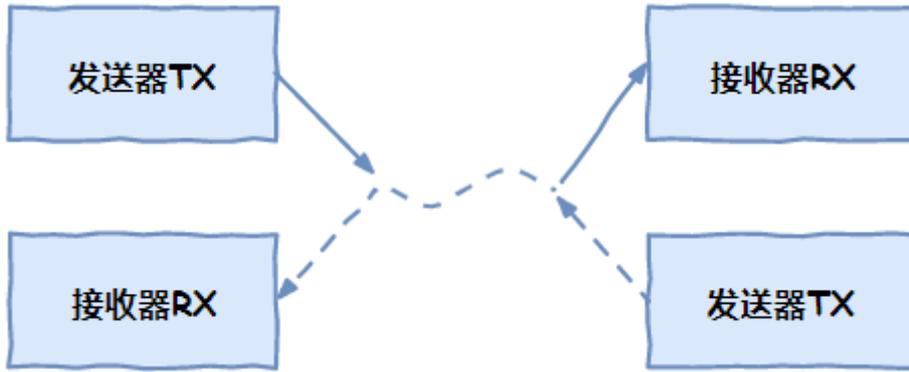
今天的内容关于UART的帧格式，比较简单，玩过单片机的小伙伴应该都知道。

UART的英文全称是：Universal Asynchronous Receiver/Transmitter，意为通用异步收发传输器。

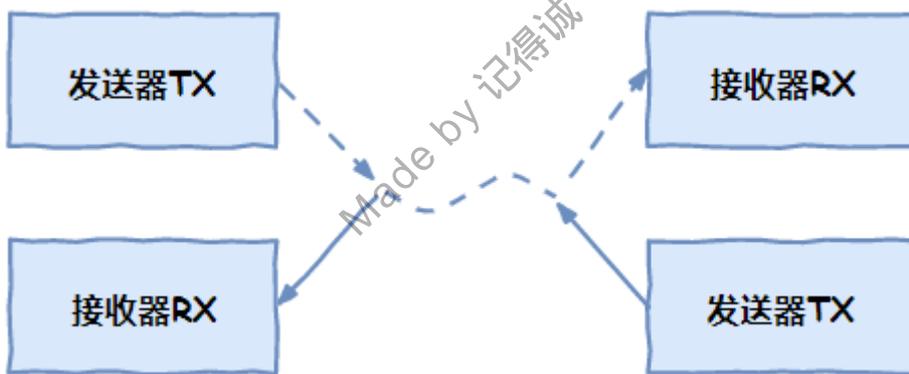
UART因为有两根线数据线TX和RX，可以以全双工的形式进行发送和接收数据，同一时刻，两条链路的发送器和接收器可以同时传输数据。



区别于全双工的，还有另一种，是半双工，因为只有一根数据线，所以数据传输是这样。



或者是下面这样，同一时刻，只有一条链路在传输数据。



除了双工形式，还有一种是单工，只有发送器到接收器这一个链路。



说完了UART的工作模式，下面进入主题——UART帧格式，也可以称之为UART协议，单片机与PC之间的通信，为了保证数据通信的可靠性，双方都必须遵从UART协议。



其中各位的含义如下：

起始位：发送1位逻辑0（低电平），开始传输数据。

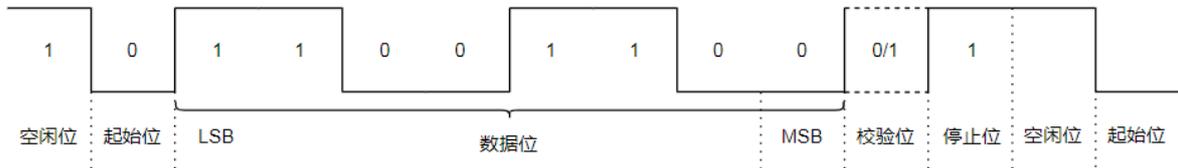
数据位：可以是5~8位的数据，先发低位，再发高位，一般常见的就是8位（1个字节），其他的如7位的ASCII码。

校验位：奇偶校验，将数据位加上校验位，1的位数为偶数（偶校验），1的位数4为奇数（奇校验）。

停止位：停止位是数据传输结束的标志，可以是1/1.5/2位的逻辑1（高电平）。

空闲位：空闲时数据线为高电平状态，代表无数据传输。

如果我们传输数据0X33（00110011），那么对应的波形就是如下这样，因为是LSB在前，所以8位数据依次是11001100



如果再发其他数据，再依次循环这个过程即可。

UART是异步传输，以1个字符为传输单位，传输2个字符之间的时间间隔，比如传输0X33后再传输0X35，这两者时间间隔是未知的。

但是同一字符内相邻位间的时间间隔是确定的，比如0X33低两位的1和1之间的时间间隔是确定的，这涉及到UART传输速率的概念——**波特率**。

波特率的单位是bps，全称是bit per second，意为每秒钟传输的bit数量。

波特率9600bps，代表每秒钟传输bit的数量为9600，那么传输1bit数据的时间就是 $1/9600=104\mu s$ ，波特率115200bps，代表传输1bit数据的时间是 $8\mu s$ 。

两个串口之间是如何发送和接收数据呢？

首先，UART1以9600波特率发送0X33，先在数据线上放1个 $104\mu s$ 脉宽的低电平（起始位），然后是连续2个 $104\mu s$ 脉宽的高电平（2bit逻辑1），依次类推。

其次，UART2以9600波特率接收0X33，通过数这些数据的脉宽，来确认数据。

为了确保数据传输的正确性，减少误差，一般UART1和UART2之间的波特率差别小于10%，一次最多只能传输1个字节（8bit），也有效减小了累计误差。

文章中的图片为动图，[点击阅读网页端原文](#)

今天的文章内容到这里就结束了，希望对你有帮助，我们下一期见。

5.3 IIC软件协议及硬件知识汇总

IIC是串行总线，只用到两个线，应用非常广泛，本文介绍IIC的软件协议及硬件相关知识。

5.3.1 IIC概述

5.3.1.1 IIC定义

IIC总线是由Philips公司开发的一种简单、双向二线制同步串行总线，IIC只需要两根线进行通信，SDA和SCL，SDA叫串行数据线，SCL为串行时钟线。

5.3.1.2 IIC基本点

SDA传输高位先传 (MSB) , 每次传输8bit (1个字节) , 每个字节后面接1位ACK/NACK位, 不管是传输地址还是数据;

支持多主控 (同一时间点只有一个主控) ;

连接到总线的从设备都有一个独立的ADDRESS (7bit) , 用来主机识别从机设备;

总线空闲需要上拉至高电平, 硬件I2C时, 需要外接上拉电阻, 模拟I2C时, 单片机的IO口需要默认输入或 (高阻) , 或者是输出高电平;

SDA和SCL总线是“线与”关系, 任意器件输出低电平, 总线都会变为低电平。

多个主机同时使用总线时, 需要用“仲裁”方式决定哪个设备占用总线, 不然数据冲突;

5.3.1.3 IIC速率

IIC有三种速率模式, 标准、快速以及高速模式, 对应速率如下所示:

标准模式: 100Kbit/s;

快速模式: 400Kbit/s;

高速模式: 3.4Mbit/s;

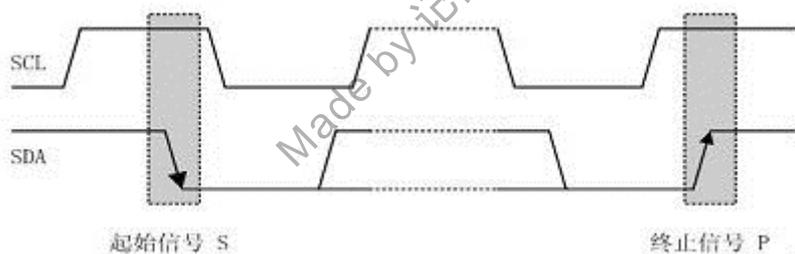
5.3.2 IIC软件时序

5.3.2.1 起始和结束信号

起始和结束信号都是由主机产生, 对起始和结束有如下的定义:

起始信号: SCL为高时, SDA由1变为0

结束信号: SCL为高时, SDA由0变为1



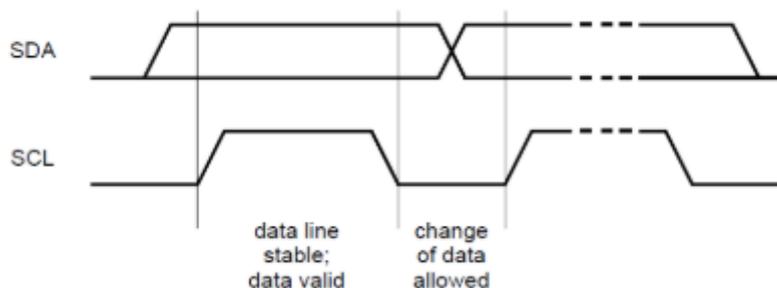
IIC起始信号和结束信号

5.3.2.2 数据的位传输

SCL的高低电平决定了SDA的数据有效性, 有如下规定:

SCL=0时, SDA改变数据有效。

SCL=1时, SDA需要保持稳定, 传输数据。



IIC数据位传输

对于主机发送数据的流程，有如下几点需要特别注意：

主机是通过发送地址码与从机建立通信，其他从设备也收到了地址码，因为与自身的地址码不一样，退出总线通信；

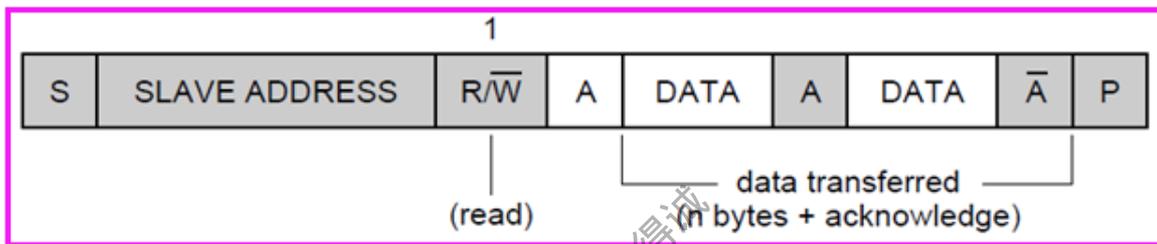
主机的一次发送通信，发送的数据数量是不受限制的，主机通过发送停止信号，结束发送，从机收到停止信号，退出通信；

主机通过从机的ACK信号来判断从机接收情况，如果应答错误则会重新发送。

5.3.2.6 主机接收数据流程

1. 主机发送开始信号，并发送命令字节（7位ADDRESS+R/W位=1）；
2. 从机收到命令后，向主机返回一个ACK，并发送数据；
3. 主机收到从机数据后，向从机发送一个ACK；
4. 从机收到主机的ACK后，继续发送数据；
5. 当主机完成数据接收，会向从机发送一个NACK（非应答），从机收到主机的非应答信号后，停止发送数据；
6. 主机发送停止信号，释放总线结束通信。

主机的这个NACK包含两个意思，前一个字节数据接收完毕，下一个字节数据不要再发了。



主机接受数据流程

5.3.2.7 子地址

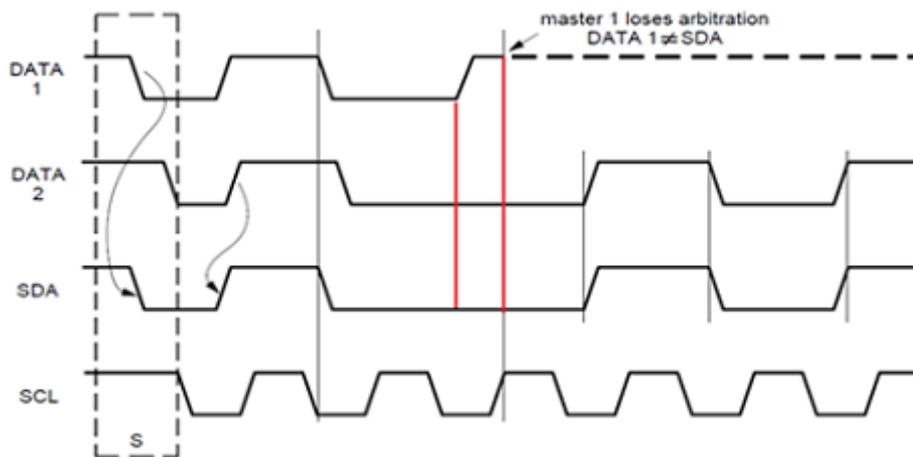
带有IIC总线的器件除了有从机地址（salve address）外，还可能子地址，从机地址是指该器件在IIC总线上被主机寻址的地址，而子地址是指该器件内部不同器件或存储单元的编址。例如，带IIC接口的EEPROM就是拥有子地址器件的典型代表。

5.3.2.8 IIC总线的仲裁机制

主控制器通过检测SDA上自身发送的电平和总线电平是否一样，来判断是否发生总线“冲突”，遵循“低电平优先”的原则（线与逻辑），谁先发送低电平谁就会掌握对总线的控制权。

如下图，其中DATA1是主节点1，DATA2是主节点2，SDA是总线上呈现的状态。

在两个红线之间，我们可以发现，此时的总线电平是0，而节点1是高电平，与总线电平不一样，此时节点1就会断开数据输出，变为从机接收状态，节点2就成为了主机。这样主节点2就赢得了总线，而且数据没有丢失，即总线的数据与主节点2所发送的数据一样，而主节点1在转为从节点后继续接收数据，同样也没有丢掉SDA线上的数据。因此在仲裁过程中数据没有丢失。



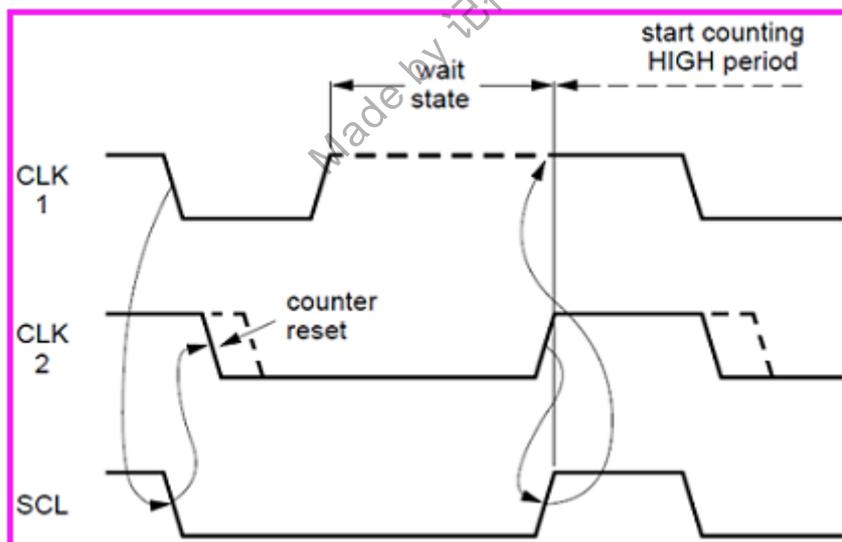
IIC仲裁机制

5.3.2.9 IIC时钟同步

SCL线被有最长低电平周期的器件保持低电平。

SCL时钟的高电平时钟周期由高电平时钟周期最短的器件决定。

SCL线被有最长低电平周期的器件保持低电平。此时，低电平周期短的器件会进入高电平的等待状态。当所有的器件数完它们的低电平周期后，时钟线被释放并变成高电平，所有的器件开始数它们的高电平周期，最先完成高电平周期的器件会再次将SCL线拉低。所以，产生的同步SCL时钟的低电平周期由低电平时钟周期最长的器件决定。高电平时钟周期由高电平时钟周期最短的器件决定。

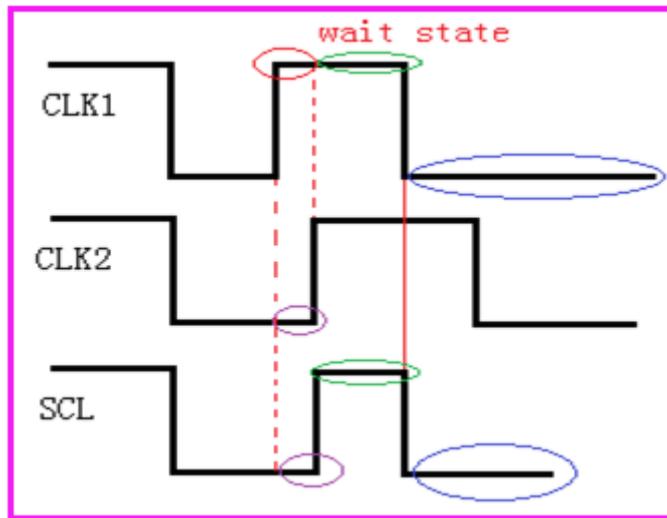


IIC时钟同步

该如何理解？我画了如下的简图。

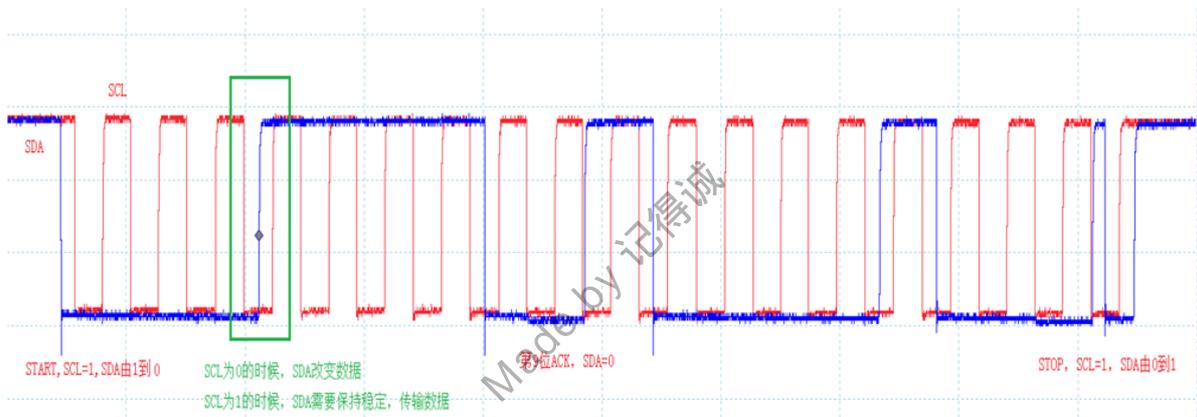
CLK1数完低电平后，发现CLK2还是低电平，因为IIC总线的线与逻辑，此时的总线SCL为低电平。CLK2说总线听我的，你必须等我数完，此时CLK1虽然变为高电平，但是需要进入高电平等待状态，所以同步SCL的低电平周期是由低电平周期最长的器件决定的。

数完低电平周期后，我们发现CLK1的高电平周期比较短，很快数完，此时将SCL拉低了，此时CLK2还是高电平，CLK1说，总线现在听我的，所以SCL的高电平周期由高电平周期最短的器件决定。



理解IIC时钟同步

5.3.2.10 实测I2C波形

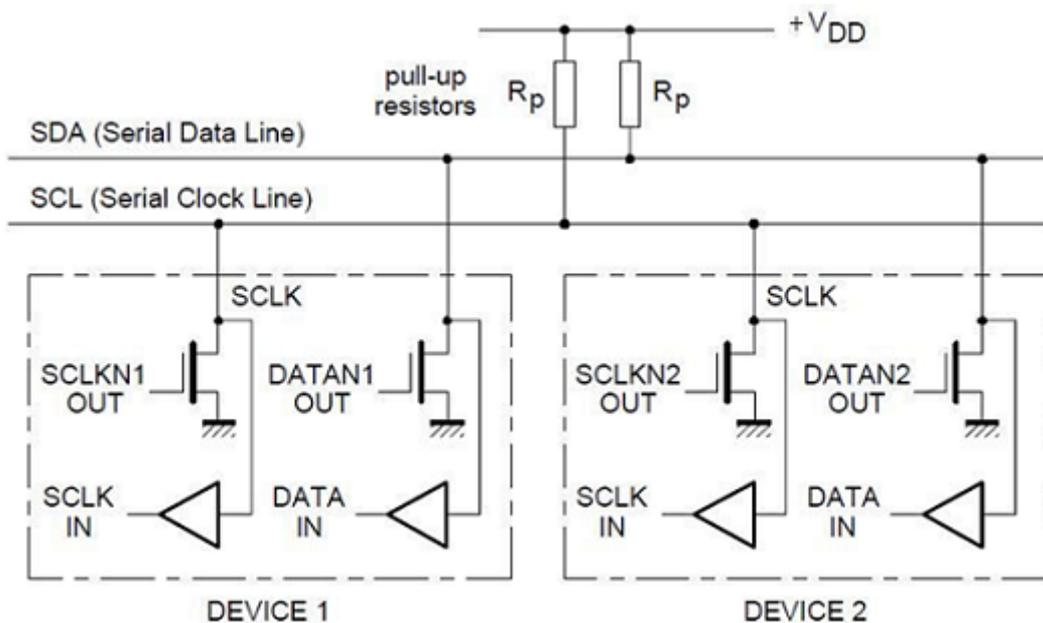


实测IIC波形

5.3.3 硬件知识

5.3.3.1 外接上拉电阻

IIC接口一般是OD机制，需要外接上拉电阻，否则无法输出高电平。



IIC总线的OD结构

5.3.3.2 上拉电阻的选择

常见的上拉电阻阻值是1.5K, 2.2K, 4.7K, 10K等, 那我们该如何选择呢?

敲重点: 上拉电阻的最小值由上拉电源决定, 最大值由总线电容决定。

关于最小值:

一般I/O端口的驱动能力是2~4mA, 一般上拉源是2.8V, 一般OC或者OD门的导通电压是0.4V左右, 那么上拉电阻不应小于 $(2.8-0.4V) / 3mA = 0.8K$, 所以上拉电阻最小值不应小于0.8K;

关于最大值:

上拉电阻不宜过大, 总线的上升时间取决于总线的电容和上拉电阻大小 (上升时间和RC的乘积成正比), 电阻越大, 信号的上升越缓慢, 会导致通信可能失败;

总线电容和总线上所挂载的器件数量有关系, 当挂载的器件变多时, 电容会变大, 这时候要考虑上拉电阻是不是要减小, 以确保信号质量。

示波器测量:

IIC总线规定, 对于400KHz的应用来说, 总线的上升时间需要小于等于300ns, 根据经验, 或者是器件的SPEC来选择合适的上拉电阻, 当然, 用示波器也可以测量信号的上升时间, 看是否达到300ns的要求。

5.3.3.3 PCB走线和抗干扰设计

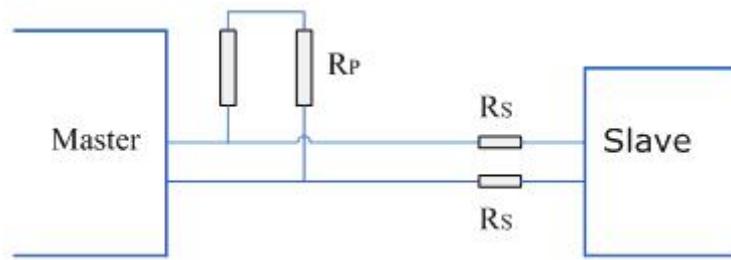
IIC是低速总线, 不是差分线。正常情况下, 比较不容易受到干扰, 对于要求比较高的场合, 需要针对性的对SDA和SCL进行保护。

比如三轴SENSOR, 对动静功能或者是翻转功能要求比较高, 此时SENSOR的数据量可能比较大, 就需要进行保护, SDA和SCL间距最好达到2倍线宽, 包地;

比如FPC场合中, 使用到IIC总线, 此时, 因为走线路径较长, 容易受到干扰, 需要远离天线等, 最好包地。

5.3.3.4 IIC串联保护电阻

IIC协议还定义了串联在SDA、SCL线上电阻 R_s 。该电阻的作用是，有效抑制总线上的干扰脉冲进入从设备，提高可靠性，这个电阻的选择一般在100~200ohm左右。



IIC串联电阻

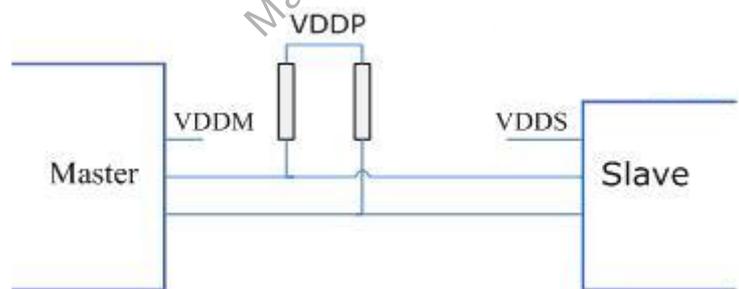
5.3.3.5 软件IO模拟IIC时序

除了MCU的本身的硬件IIC接口，软件的GPIO也可以模拟IIC时序，有如下的要求：

1. 用于模拟I2C的处理器IO口，需要能输出高低电平，也能配置成输入；
2. 处理器在发送数据时，此时的上升时间与上拉电阻无关，且此时的信号上升时间比较短；接收数据时，处理器采用的是软件采样而不是硬件采样，所以上拉电阻可以适当大一些；
3. 软件模拟的只能单主机方式，多主机涉及到仲裁，软件模拟比较麻烦；
4. 总线空闲时，需要保持IO配置为输入或者高阻，或者是输出高电平；

5.3.3.6 IIC上拉电源选择

选择合适的上拉源，如下， $VDDP=VDDM$ 的话，从机关闭时，就可能会有漏电到从机里，此时最好选择 $VDDP=VDDS$ ，即按照设计要求，选择合适的上拉源。



IIC上拉电源选择

今天的文章内容到这里就结束了，希望对你有帮助，我们下一期见。

5.4 1-Wire 单总线硬件结构及软件时序分析

单总线，即一根线进行通信，最常用的温感DS18B20采用的就是单总线结构。

5.4.1 概述

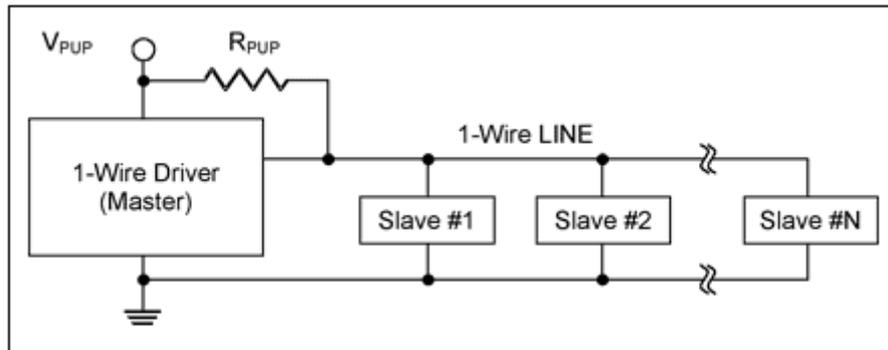
单总线是美国DALLAS公司推出的外围串行扩展总线技术，与SPI、I2C串行数据通信方式不同，它采用单根信号线，既传输时钟又传输数据，而且数据传输是双向的。

单总线英文名1-Wire，传输速率一般是15.3Kbit/s，最大可达142Kbit/s，通常采用100Kbit/s以下的速率传输数据。

5.4.2 硬件结构

5.4.2.1 单总线典型框图

单总线适用于单主机系统，能够控制一个或多个从机设备。主机可以是微控制器，从机可以是单总线器件，它们之间的数据交换只通过一条信号线。



单总线典型框图

5.4.2.2 漏极开路

单总线主机或从机设备通过一个漏极开路或三态端口连接至该数据线，由于是开漏结构，需要在数据线上加一个上拉电阻，一般是4.7K；

为了确保总线上的某些器件在工作时（如温度传感器进行温度转换、E2PROM写入数据时）有足够的电流供给，除了上拉电阻之外，还需要在总线上使用MOSFET提供**强上拉供电**，大多数的应用这个强上拉是不需要的。

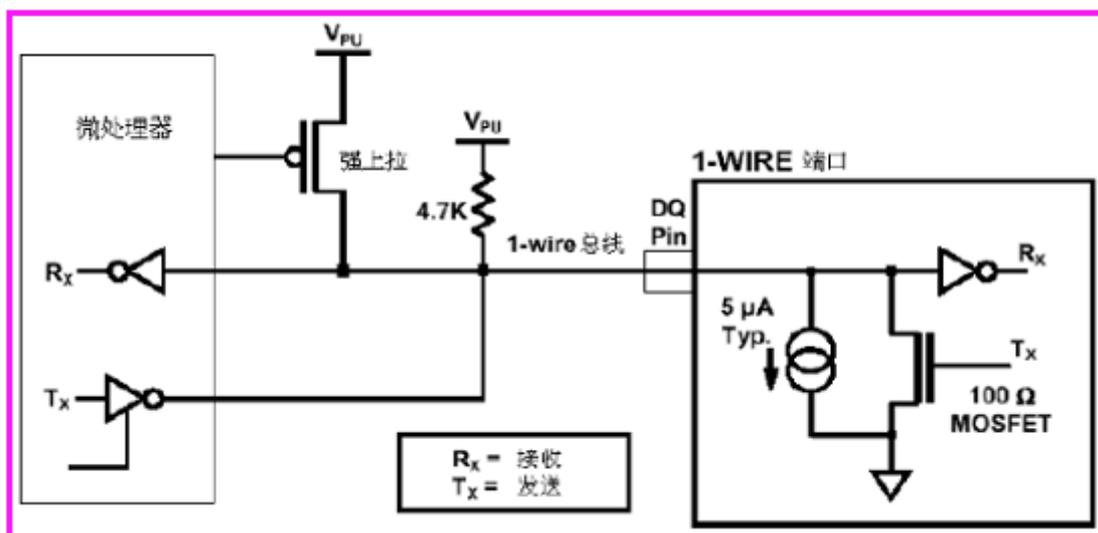
主机或从机将数据线拉低到GND表示数据0，将数据线释放为高表示数据1。

当MCU发送逻辑1时，经过反相器，总线呈现逻辑0，逻辑0经过1-WIRE器件的反相器，即会收到逻辑1；

当MCU发送逻辑0时，经过反向器，总线呈现逻辑1，逻辑1经过1-WIRE器件的反相器，即会收到逻辑0；

当1WIRE器件发送逻辑1时，Tx处有NMOS会导通，总线呈现逻辑0，经过MCU Rx处的反相器，MCU会收到逻辑1；

当1WIRE器件发送逻辑0时，NMOS截止，总线呈现逻辑1，MCU会收到逻辑0。



单总线典型框图

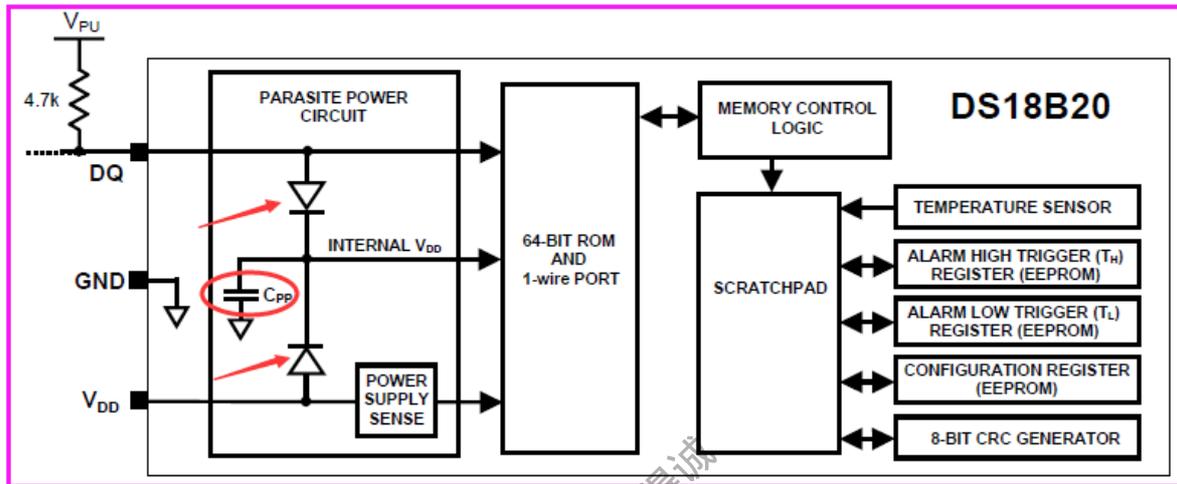
5.4.2.3 寄生供电电路

单总线器件内部设置有寄生供电电路 (Parasite Power Circuit) 。

当单总线处于高电平时，一方面通过二极管向芯片供电，另一方面对内部电容C (容值约800pF) 充电；

当单总线处于低电平时，二极管截止，内部电容C向芯片供电。由于电容C的容量有限，因此要求单总线能间隔地提供高电平以能不断地向内部电容C充电，维持器件的正常工作，这就是通过网络线路“窃取”电能的“寄生电源”的工作原理。

另外需要间断高电平的原因是如果总线保持低电平超过480us，总线上的所有器件将复位。



DS18B20上的寄生电路

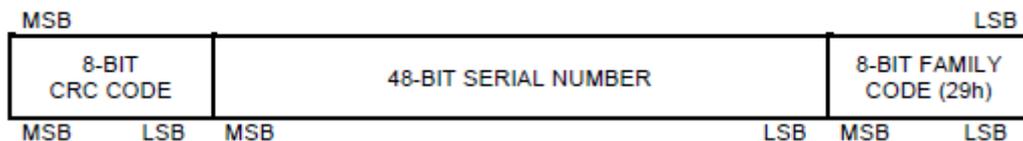
5.4.2.4 64位ROM ID

主机通过64全球唯一的ROM ID来识别挂在总线网络上的从机。

每个单总线器件都有一个全球唯一的64位ROM ID，该注册码保证唯一的身份，并用于多节点 1-Wire 网络中的器件寻址，64位ROM注册码不可更改，ROM ID由出厂激光刻度在单总线器件内部。

64位 ROM ID组成：前8位是1 WIRE家族码，后48位是唯一的序列号、最后 8 位是由前 56 位 ROM 码所计算出的 CRC 校验码。

Figure 3. 64-BIT LASERED ROM



64位ROM ID组成

5.4.2.5 优缺点

优点：节省I/O口线、资源结构简单、成本低廉、便于总线扩展和维护等诸多优点。

缺点：由于所有设备部件均挂在单一总线上，使这种结构只能分时工作，即同一时刻只能在两个设备之间传送数据，这就使系统总体数据传输的效率和速度受到限制，这是单总线结构的主要缺点。

5.4.3 单总线的时序图

5.4.3.1 时序概述

1-Wire器件需要严格的协议来保证数据的完整。

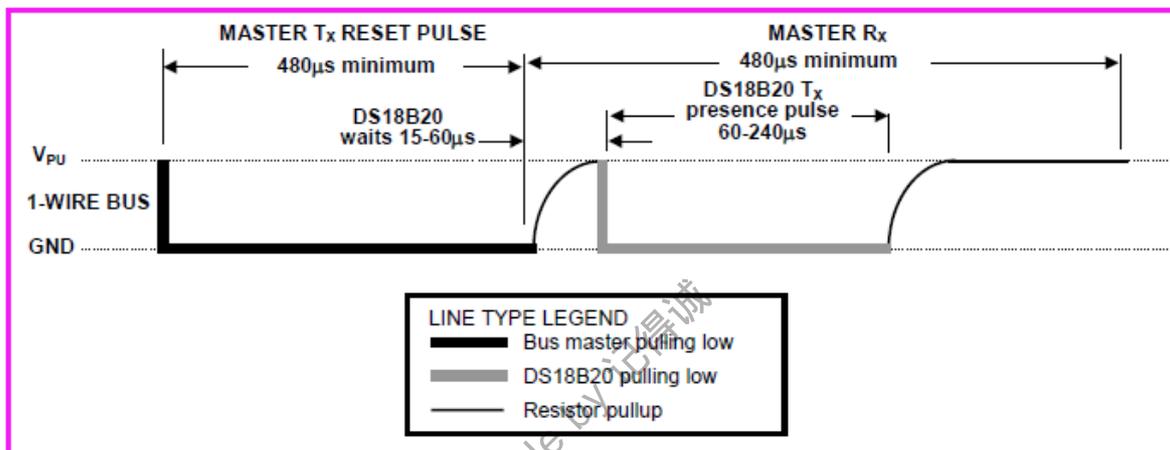
该协议由通过一条线来传送的四种信令组成：包括复位脉冲和在线应答脉冲的复位序列、写0时隙、写1时隙、读时隙。

除在线应答脉冲以外，所有其它信号都由总线主机发出，并且发送的所有数据和命令都是字节的低位在前。

主机与从机的数据通信是通过时隙完成的，在每个时隙只能传送一位数据。通过写时隙可把数据从主机传送给从机，通过读时隙可把数据由从器件传送给主机，**将完成一位传输的时间称为一个时隙。**

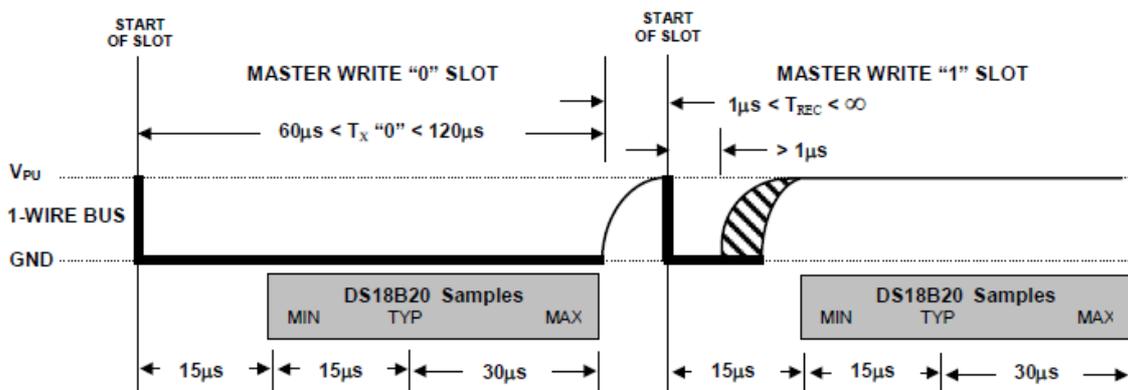
如下给出了时序的波形图，在后面实测波形会详细介绍时序要求。

5.4.3.2 复位/应答



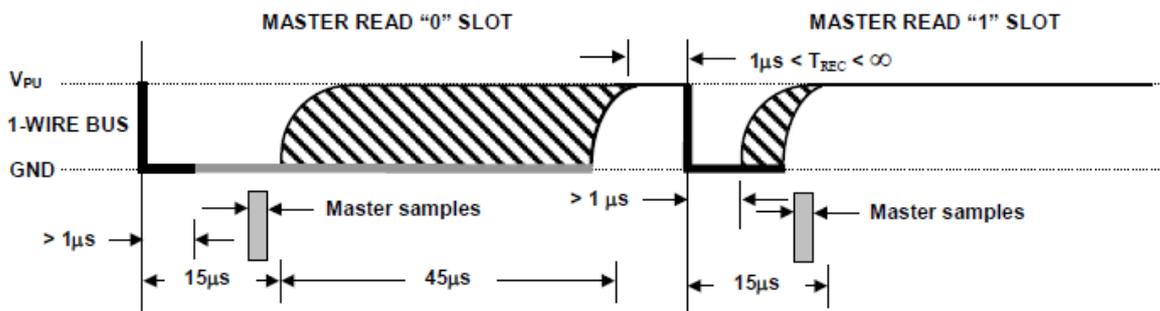
复位/应答脉冲

5.4.3.3 写时隙



写1和写0时隙

5.4.3.4 读时隙



读1和读0时隙

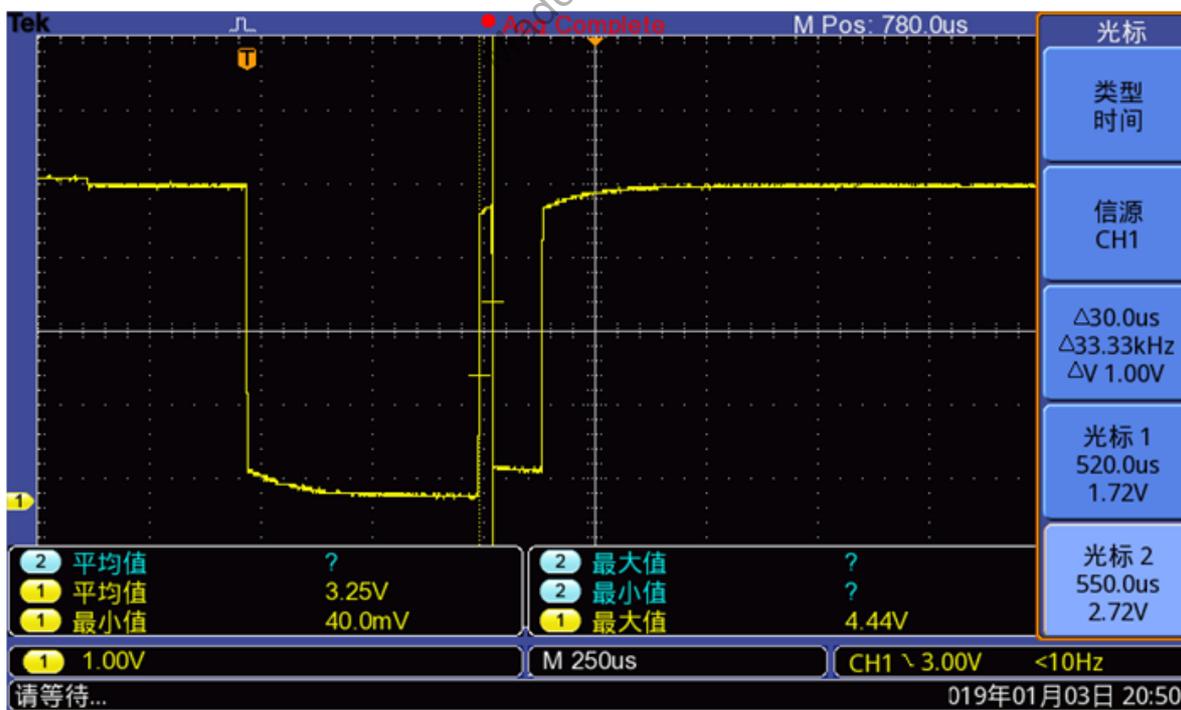


波形定义

5.4.4 实测分析时序

5.4.4.1 复位/应答脉冲

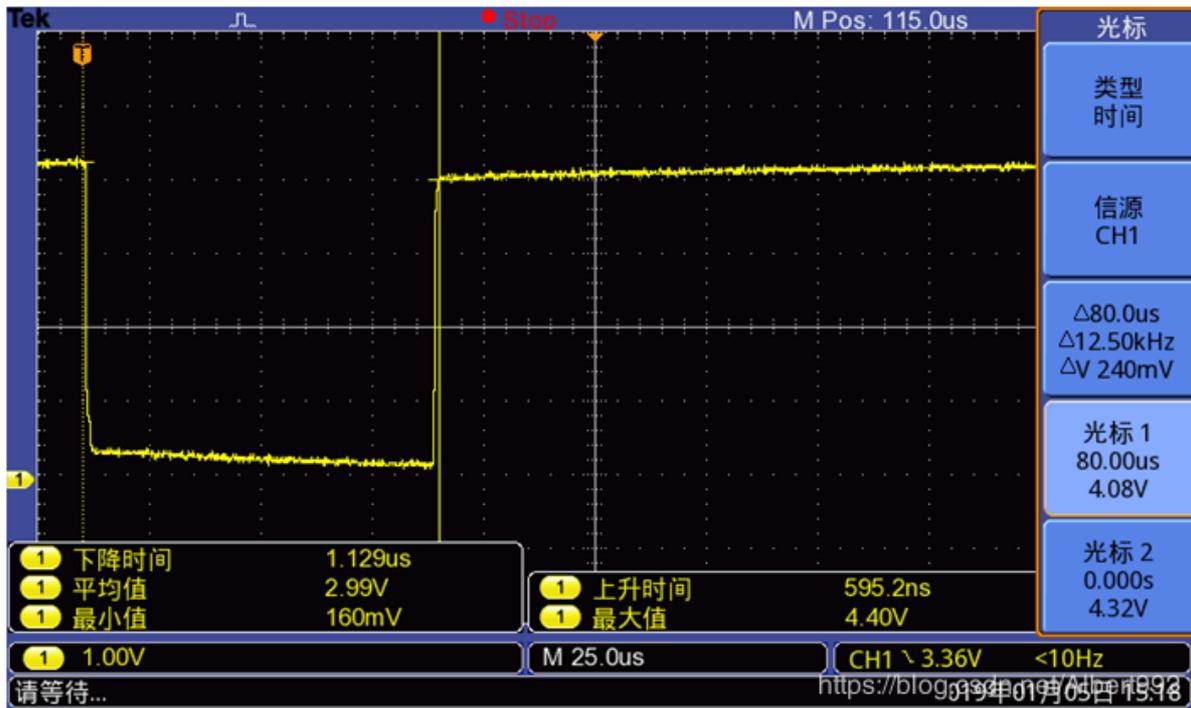
复位/应答脉冲要求：主机拉低总线480~960us来产生复位信号，然后释放总线进入接收模式，接着从机等待15-60us（上拉电阻上拉至高电平），从机再拉低总线60-240us来产生应答信号，主机接收到从机的应答信号后，表明从机准备就绪，初始化过程完成了。



实测复位应答信号

5.4.4.2 写0时隙

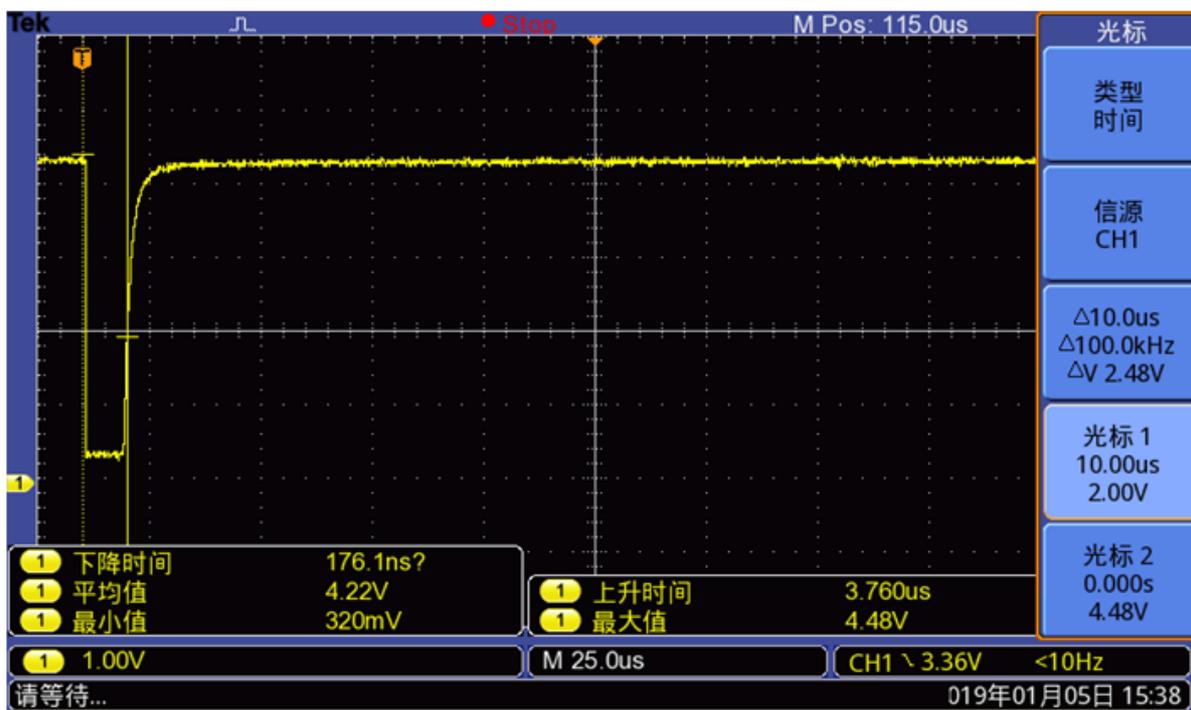
写0时隙要求：写0时隙起始于主机拉低总线，主机拉低总线后，只需在整个时隙期间保持总线低电平在60us以上，一般是60~120us之间。



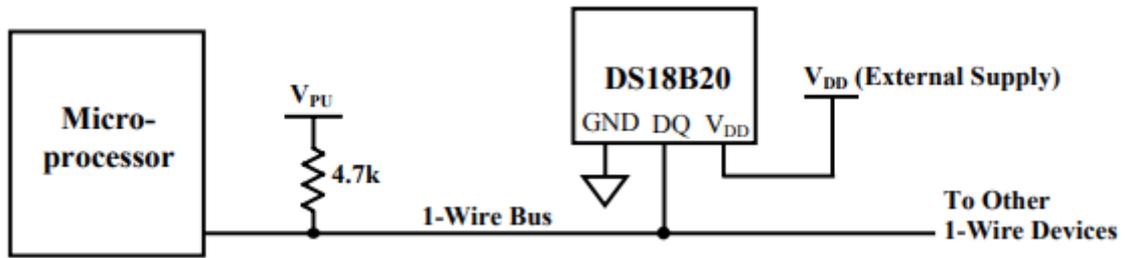
实测写0时隙

5.4.4.3 写1时隙

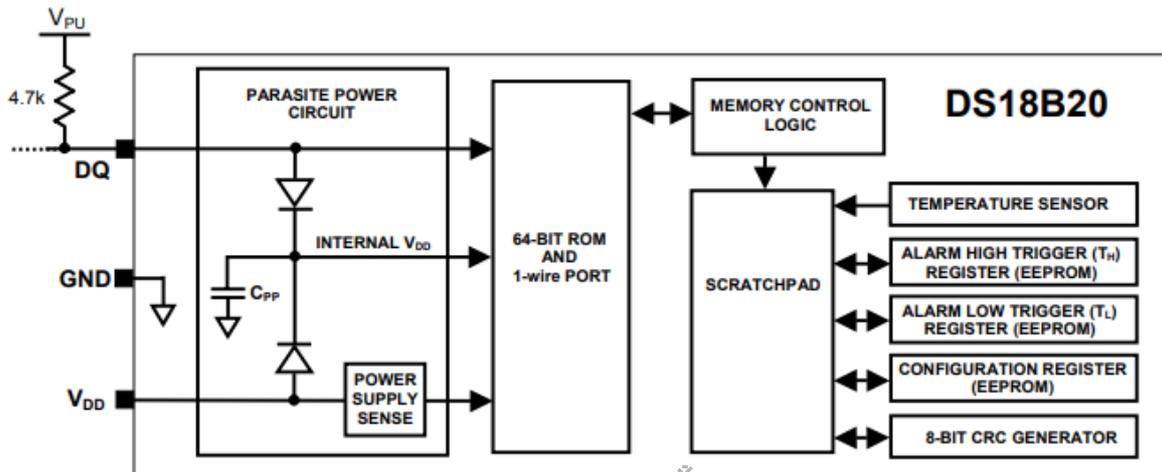
写1时隙要求：写1时隙和写0时隙一样，起始于主机拉低总线，在拉低总线15us之内需要将总线拉高，拉高总线需要维持60us以上。



实测写1时隙



DS18B20采用外部电源



DS18B20内部框图

5.4.5.2 C语言实现

DS18B20获取温度，分四步：初始化（复位/应答）→写字节→读字节→计算温度

```
#include "delay.h"
#include "18b20.h"
/*-----
                               18b20初始化
-----*/
bit Init_DS18B20(void)
{
    bit dat=0;
    DQ = 1;    //DQ复位
    DelayUs2x(5);    //稍做延时
    DQ = 0;    //单片机将DQ拉低
    DelayUs2x(200); //精确延时 大于 480us 小于960us
    DelayUs2x(200);
    DQ = 1;    //拉高总线
    DelayUs2x(50); //15~60us 后 接收60~240us的存在脉冲
    dat=DQ;    //如果x=0则初始化成功， x=1则初始化失败
    DelayUs2x(25); //稍作延时返回
    return dat;
}
/*-----
                               读取一个字节
```

```

-----*/
unsigned char ReadOneChar(void)
{
    unsigned char i=0;
    unsigned char dat = 0;
    for (i=8;i>0;i--)
    {
        DQ = 0; // 给脉冲信号
        dat>>=1;
        DQ = 1; // 给脉冲信号
        if(DQ)
            dat|=0x80;
        DelayUs2x(25);
    }
    return(dat);
}
/*-----
                               写入一个字节
-----*/
void writeOneChar(unsigned char dat)
{
    unsigned char i=0;
    for (i=8; i>0; i--)
    {
        DQ = 0;
        DQ = dat&0x01;
        DelayUs2x(25);
        DQ = 1;
        dat>>=1;
    }
    DelayUs2x(25);
}

/*-----
                               读取温度
-----*/
unsigned int ReadTemperature(void)
{
    unsigned char a=0;
    unsigned int b=0;
    unsigned int t=0;
    Init_DS18B20();
    writeOneChar(0xCC); // 跳过读序号列号的操作
    writeOneChar(0x44); // 启动温度转换
    DelayMs(10);
    Init_DS18B20();
    writeOneChar(0xCC); //跳过读序号列号的操作
    writeOneChar(0xBE); //读取温度寄存器等（共可读9个寄存器） 前两个就是温度
    a=ReadOneChar(); //低位
    b=ReadOneChar(); //高位

    b<<=8;
    t=a+b;

    return(t);
}

```

Made by 记得诚

}

今天的文章内容到这里就结束了，希望对你有帮助，我们下一期见。

5.5 J-Link、ST-Link、ULink、JTAG、SWD、SWIM的区别

搞嵌入式的小伙伴，他经常用仿真器调试/下载软件，对J-Link、ST-Link，JTAG，SWD这些傻傻分不清楚，趁着空闲时刻我就写了这篇博客，和他一起进步。

5.5.1 J-Link

J-Link是德国SEGGER公司为支持仿真ARM内核芯片推出的JTAG仿真器，很多ARM芯片的接口协议是JTAG，JLink一端接电脑USB接口，一端接CPU的JTAG接口，JLink充当的作用就是USB转JTAG，支持JTAG和SWD两种模式。

可配合IAR EWAR，ADS，KEIL，WINARM，RealView等集成开发环境；
支持ARM7/ARM9/ARM11，Cortex M0/M1/M3/M4，Cortex A5/A8/A9等内核芯片的仿真；



JLink仿真器

5.5.2 ST-Link

ST-Link是ST意法半导体为评估、开发STM8/STM32系列MCU而设计的集在线仿真与下载为一体的开发工具，支持JTAG/SWD/SWIM三种模式。

支持所有带SWIM接口的STM8系列单片机
支持所有带JTAG/SWD接口的STM32系列单片机



ST-Link仿真器

5.5.3 ULink

ULINK已经停产，在售的是ULINK2和ULINKpro版本，ULINK2是ARM/KEIL公司（2005年ARM收购了KEIL）最新推出的配套RealView MDK使用的仿真器，ULINK2仿真器也被称为Keil ULink2、ARM ULink2仿真器。



ULINK2仿真器

ULINK2仿真器支持：

片上调试（使用片上JTAG/SWD/SWV）

FLASH存储器编程（用户可配置FLASH程算法）

以下是各版本ULINK仿真器的区别，可见支持的芯片内核，软件开发工具等内容；

ULINK 版本	ULINKpro	ULINKproD	ULINK2
调试和跟踪 <ul style="list-style-type: none"> Serial Wire Debug (SWD) Data Trace (ITM) Data & Event Trace (SWO) Instruction Trace (ETM) 	✓ ✓ 100Mbit/s 800Mbit/s	✓ ✓ 100Mbit/s	✓ ✓ 1Mbit/s
芯片支持 <ul style="list-style-type: none"> ARM7/9 Cortex-M series XC800/μPSD/XC166/LPC950 	✓ ✓	✓ ✓	✓ ✓ ✓
I/O 电压范围	1,2V -3,3V	1,2-3,3V	2,7V – 5,5V
与目标板连接 <ul style="list-style-type: none"> 10-pin (0.05") 20-pin (0.10") 20-pin (0.05") 	✓ ✓ ✓	✓ ✓	✓ ✓
软件开发工具 <ul style="list-style-type: none"> Keil MDK-ARM Keil PK51 Keil PK166 ARM DS5 	✓ ✓ ✓ ✓	✓ ✓ ✓ ✓	✓ ✓ ✓

ULink各版本之间的区别

5.5.4 JTAG

JTAG (**Joint Test Action Group**, 联合测试行动小组) 是一种国际标准测试协议 (IEEE 1149.1 兼容), 主要用于芯片内部测试, 现在多数的器件都支持JTAG协议, ARM、DSP、FPGA等, JTAG接口的单片机用电脑USB下载调试程序, 需要用到J-Link (USB转JTAG)。

标准的JTAG是四线: TDI, TMS, TCK, TDO, 分别对应数据输入, 模式选择, 时钟, 数据输出, 复位管脚可不接。

仿真器Pin no.	仿真器接口	目标板接口	信号描述
19	5V supply	VCC	电源正极
5	TDI	TDI	数据输入
7	TMS	TMS	模式选择
9	TCK	TCK	时钟信号
13	TDO	TDO	数据输出
20	GND	GND	电源负极

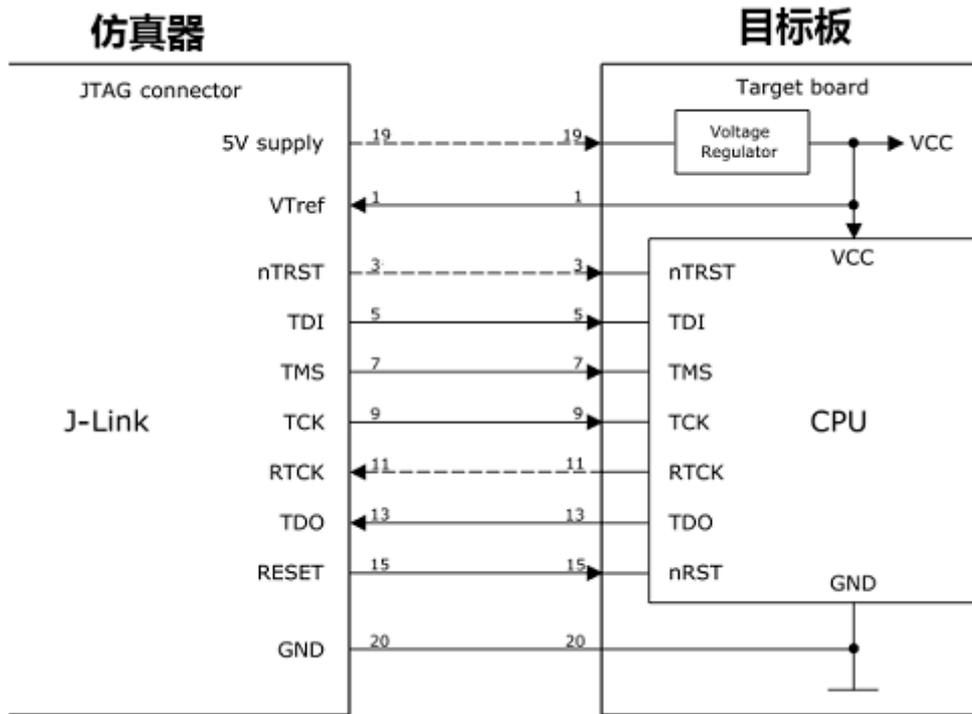
仿真器Pin no.

仿真器接口

目标板接口

信号描述

JTAG模式J-Link与CPU的连接图，一般是下面这样。



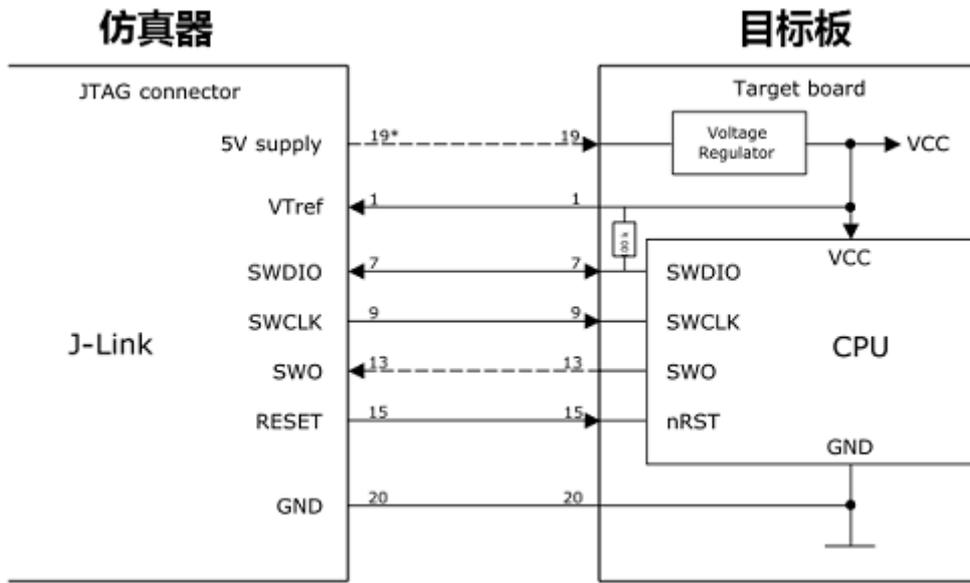
5.5.5 SWD

SWD全称是**Serial Wire Debug**（串行调试），SWD模式下用JLink给我们的板子debug时，是用标准的二线DIO和CLK，RESET管脚可不接，当你频繁下载失败时，可接上RESET管脚再试。

在高速模式下，SWD比JTAG更可靠一些，常见的接线信号如下所示，根据具体情况自主选择。

仿真器接口	仿真器接口	目标板接口	信号描述
19	5V supply	VCC	电源正极
7	SWDIO	SWDIO	数据信号
9	SWCLK	SWCLK	时钟信号
20	GND	GND	电源负极
15	RESET	nRST	复位信号

注意：SWD模式下，SWDIO的上拉电阻可预留不贴，在ST的一些MCU参考设计中，有提到建议添加，实际测试不加不影响下载。



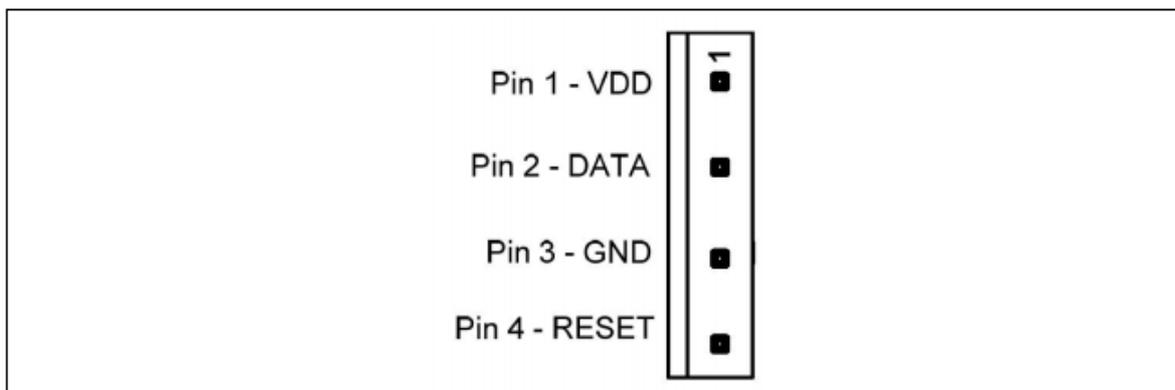
SWD模式J-Link与CPU的连接图

5.5.6 SWIM

SWIM接口常见于ST的STM8系列单片机，ST-Link2与STM8连接只需要4根线，见表格。

Pin no.	仿真器接口	目标板接口	信号描述
Pin1	VDD	VCC	电源正极
Pin2	DATA	SWIM	SWIM pin
Pin3	GND	GND	电源负极
Pin4	RESET	RESET	复位信号

SWIM连接器接口一般是如下这种：



5.5.7 小结一下

附上JTAG/SWD模式管脚对照表：

Table 4. JTAG/SWD cable connections

Pin no.	ST-LINK/V2 connector (CN3)	ST-LINK/V2 function	Target connection (JTAG)	Target connection (SWD)
1	VAPP	Target VCC	MCU VDD ⁽¹⁾	MCU VDD ⁽¹⁾
2				
3	TRST	JTAG TRST	JNTRST	GND ⁽²⁾
4	GND ⁽³⁾	GND ⁽³⁾	GND ⁽³⁾⁽⁴⁾	GND ⁽³⁾⁽⁴⁾
5	TDI	JTAG TDO	JTDI	GND ⁽²⁾
6	GND ⁽³⁾	GND ⁽³⁾	GND ⁽³⁾⁽⁴⁾	GND ⁽³⁾⁽⁴⁾
7	TMS_SWDIO	JTAG TMS, SW IO	JTMS	SWDIO
8	GND ⁽³⁾	GND ⁽³⁾	GND ⁽³⁾⁽⁴⁾	GND ⁽³⁾⁽⁴⁾
9	TCK_SWCLK	JTAG TCK, SW CLK	JTCK	SWCLK
10	GND ⁽⁵⁾	GND ⁽⁵⁾	GND ⁽⁴⁾⁽⁵⁾	GND ⁽⁴⁾⁽⁵⁾
11	Not connected	Not connected	Not connected	Not connected
12	GND	GND	GND ⁽⁴⁾	GND ⁽⁴⁾
13	TDO_SWO	JTAG TDI, SWO	JTDO	TRACESWO ⁽⁶⁾
14	GND ⁽⁵⁾	GND ⁽⁵⁾	GND ⁽⁴⁾⁽⁵⁾	GND ⁽⁴⁾⁽⁵⁾
15	NRST	NRST	NRST	NRST
16	GND ⁽³⁾	GND ⁽³⁾	GND ⁽³⁾⁽⁴⁾	GND ⁽³⁾⁽⁴⁾
17	Not connected	Not connected	Not connected	Not connected
18	GND	GND	GND ⁽⁴⁾	GND ⁽⁴⁾
19	VDD ⁽³⁾	VDD (3.3 V) ⁽³⁾	Not connected	Not connected
20	GND	GND	GND ⁽⁴⁾	GND ⁽⁴⁾

JTAG/SWD模式管脚对照表

总结一下J-Link、ST-Link、ULink三种仿真器之间的区别：

JLink是通用型的ARM内核芯片仿真器，支持的芯片和软件开发环境多，**优选**；

ST-Link是针对STM8/STM32，如果你使用STM8/STM32单片机，首选ST-Link，当然用JLink下载ST系列单片机也可以；

ULink专注于Keil平台，支持ARM7/9，Cortex-M0~M4，ULink2还支持8051系列芯片，综合性能（支持芯片种类、软件开发环境及调试速度）均不如JLink；

三者都支持JTAG和SWD模式；

再总结一下JTAG、SWD、SWIM三种下载模式的区别：

JTAG接线比较多，高速模式下稳定性不如SWD；

SWD接线少，可空出多余的GPIO，所需要的接线信号不同仿真器会有所差别（主要在VCC和RESET），DIO和CLK必接；

SWIM常见于STM8单片机，需用4根线；

今天的文章内容到这里就结束了，希望对你有帮助，我们下一期见。

5.6 项目delay的原因竟然是不会用UART驱动1-Wire

麦叔是搞嵌入式的，最近项目delay，他和我说用UART驱动1-Wire设备总是出现问题，故写此文来拯救他。

作者之前UART写过（[点我](#)），1-Wire（[点我](#)）也写过，本文介绍如何用主机的UART驱动1-Wire从机设备，建议先看看以上两篇文章，再阅读本文，效果更佳。

5.6.1 硬件电路

1-Wire结构简单，一根线就可以通信，常见的18B20用的就是1-Wire结构。单片机的串口UART（多是TTL电平），如何用单片机控制通用的1-Wire设备呢？如果MCU和从设备的电平不一致如何解决？软件协议又是如何控制的呢？本文主要解决这两个问题。

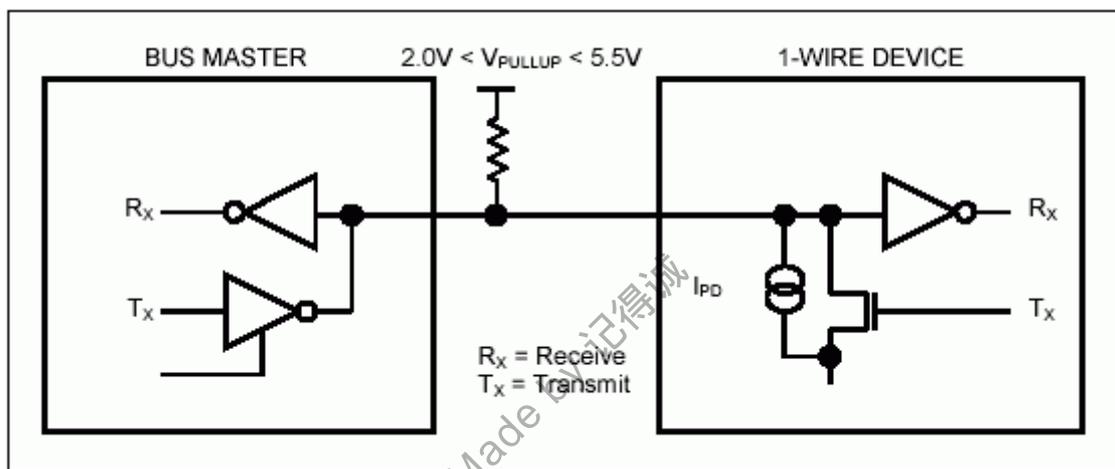
主机或从机将数据线拉低到GND表示数据0，将数据线释放为高表示数据1，高电平由上拉电阻（一般是4.7K）提供。

当MCU发送逻辑1时，经过反相器，总线呈现逻辑0，逻辑0经过1-WIRE器件的反相器，即会收到逻辑1；

当MCU发送逻辑0时，经过反向器，总线呈现逻辑1，逻辑1经过1-WIRE器件的反相器，即会收到逻辑0；

当1-WIRE器件发送逻辑1时，Tx处的NMOS导通，总线呈现逻辑0，经过MCU Rx处的反相器，MCU会收到逻辑1；

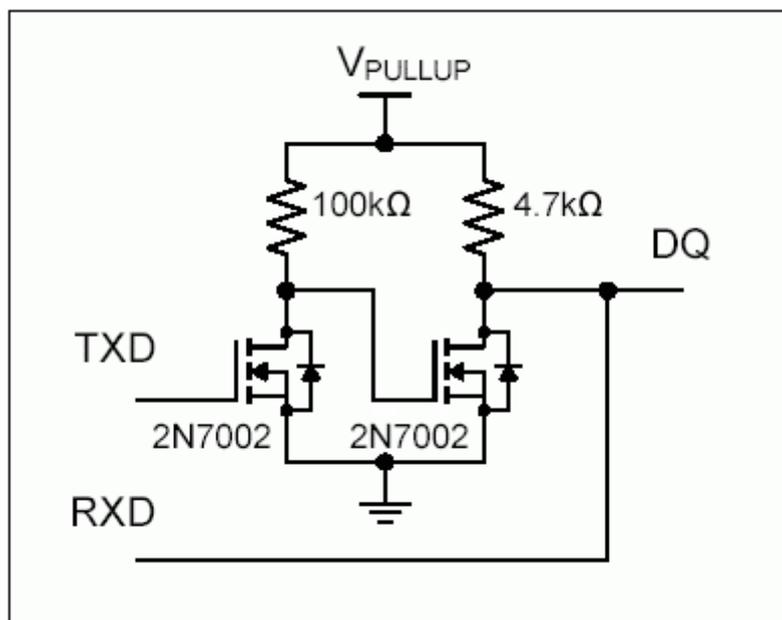
当1-WIRE器件发送逻辑0时，Tx处的NMOS截止，总线呈现逻辑1，经过MCU Rx处的反相器，MCU会收到逻辑0；



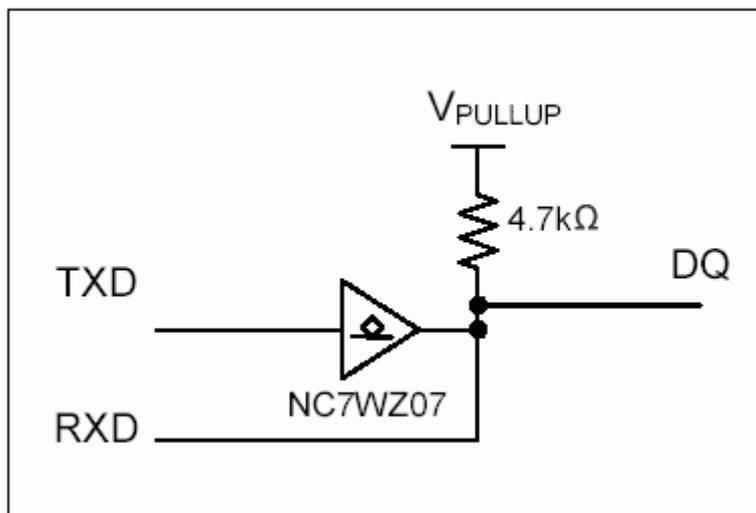
主机端 (BUS MASTER)多为MCU，因为MCU的TXD不是漏极开路，因此通常需要一个外部漏极开路缓冲电路，该电路可以由分立元件构成。

原理也简单，两个NMOS管2N7002：

TXD输出高电平时，左边的2N7002导通，右边的截止，DQ被4.7K电阻上拉至Vpullup高电平；
TXD输出低电平时，左边的2N7002截止，右边的导通，DQ被拉低至低电平0；



也可以用集成芯片NC7WZ07，如下图所示，TXD输出高，DQ=Vpullup，TXD输出低，DQ=0；

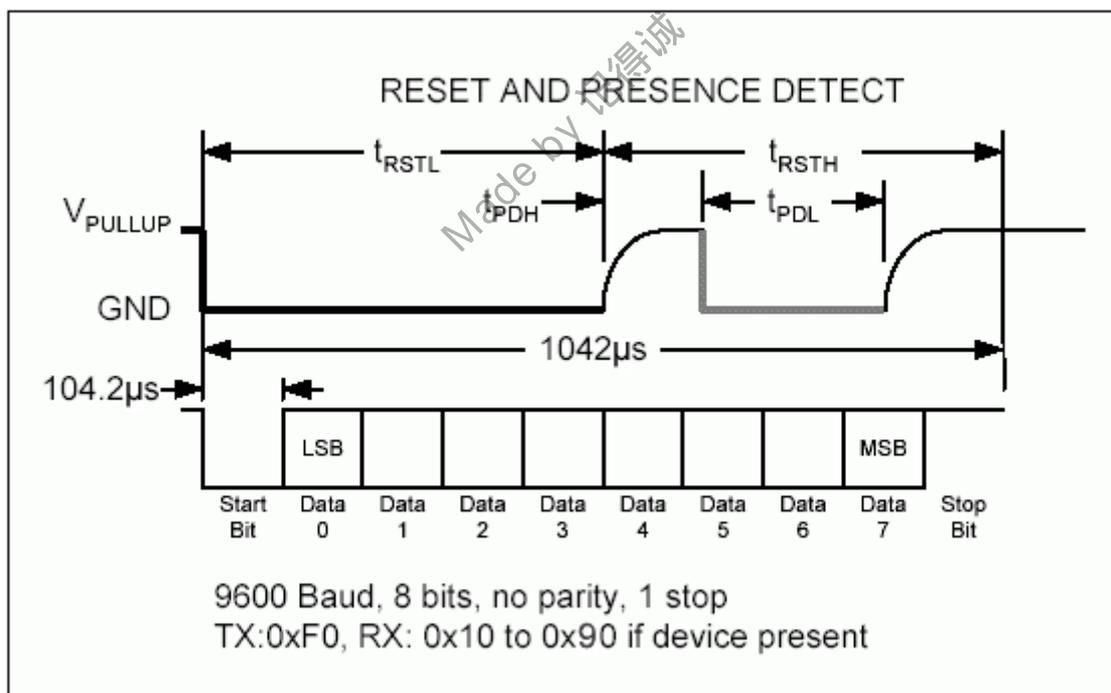


5.6.2 软件协议

解决了硬件电路问题，我们再来看软件协议部分，1-Wire的协议可以分为**复位/应答**、**写0/写1时隙**、**读0/读1时隙**。

5.6.2.1 复位应答

如下图，上面部分是1-Wire的复位/应答时序，下面是UART的时序。



原理：

主机以9600的波特率发送数据0XF0，因为LSB在前，0XF0=00001111，加上最前面的Start Bit和最后面的Stop Bit，完整的数据为：**0000011111**，代表主机先发了5位的0，然后发了5位的1；9600波特率，一位传输时间是 $1/9600=104.2\mu s$ ，所以低电平持续时间为 $104.2*5=521\mu s$ ，满足480~960us复位总线的时序要求。

那主机收到什么数据代表从机应答呢？

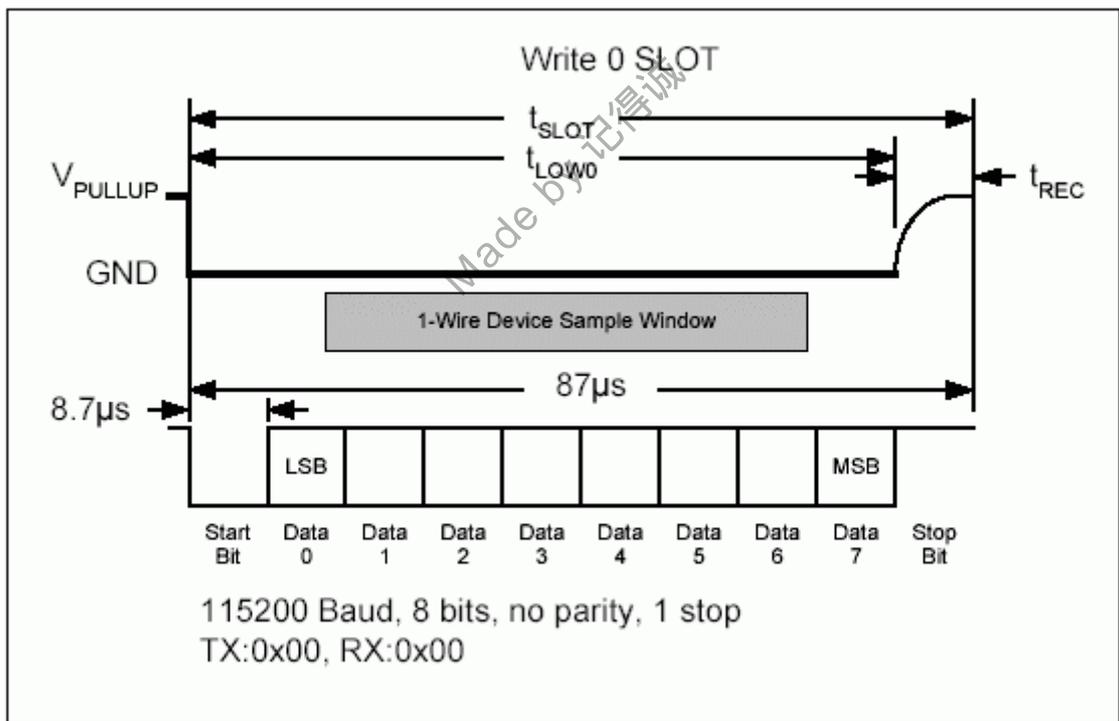
首先主机如果发送F0后收到还是F0，说明从机没有应答，可以简单的判断收到的数据为**非F0**即代表从机应答。

根据1-Wire的时序波形，也可以进行推算，从上图看，Data0-Data3均为0，因为1-Wire时序是有一定时间范围，并不是固定的脉宽，如TPDH为15-60us，TPDL为60-240us，所以Data4~Data7是有一定的组合，返回0X10 (00001000) to 0X90 (00001001) 都代表从机应答。

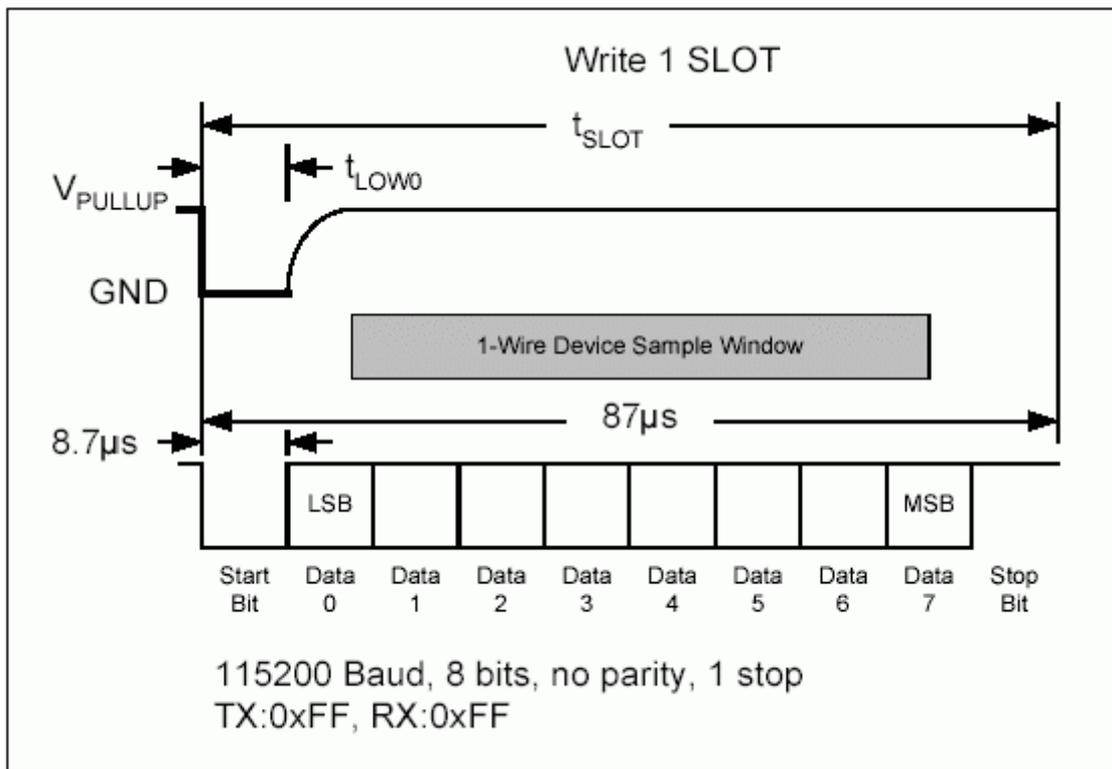
PARAMETER NAME	STANDARD VALUES			
	STANDARD SPEED		OVERDRIVE SPEED	
	MIN	MAX	MIN	MAX
t_{SLOT} (incl. t_{REC})	61 μ s	(undef.)	7 μ s	(undef.)
t_{RSTL}	480 μ s	(undef.)	48 μ s	80 μ s
t_{PDH}	15 μ s	60 μ s	2 μ s	6 μ s
t_{PDL}	60 μ s	240 μ s	8 μ s	24 μ s
t_{WOL}	60 μ s	120 μ s	6 μ s	16 μ s
t_{SLS}, t_{SPD}	15 μ s	60 μ s	2 μ s	6 μ s

5.6.2.2 写0/写1时隙

主机写0就是0X00，也可以加入回读，回读值即为写的值。

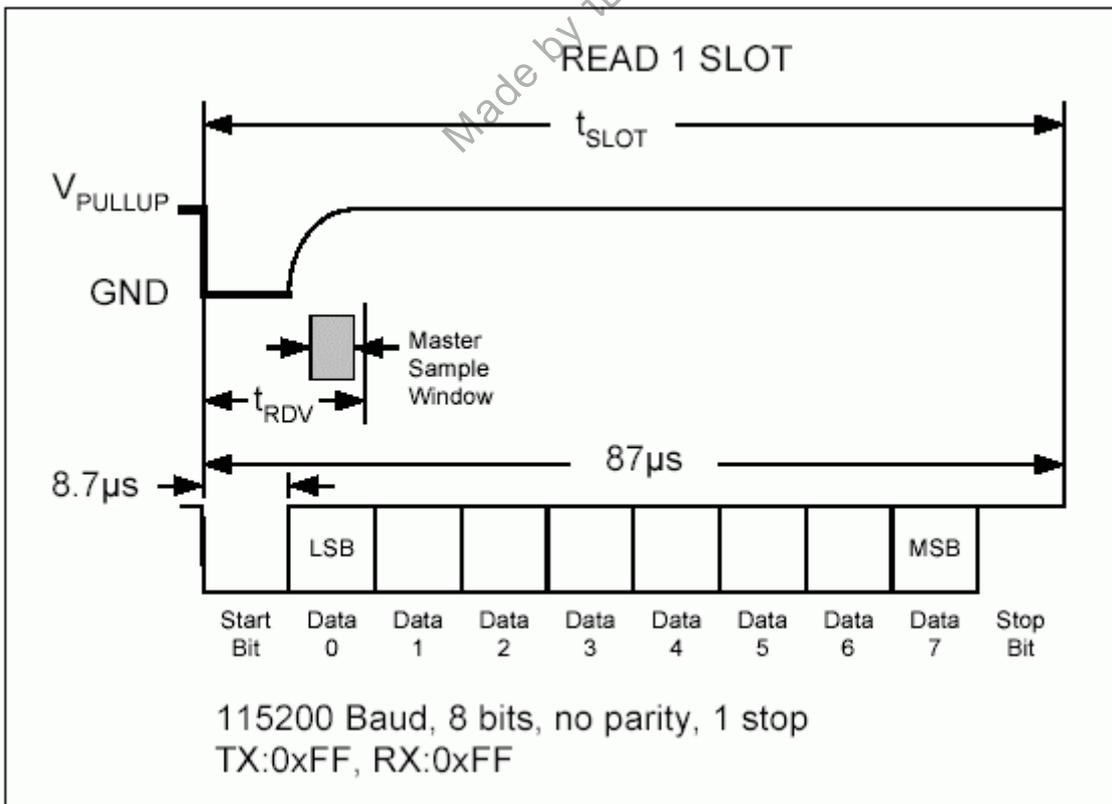


写1就是0XFF，回读值即为写的值。

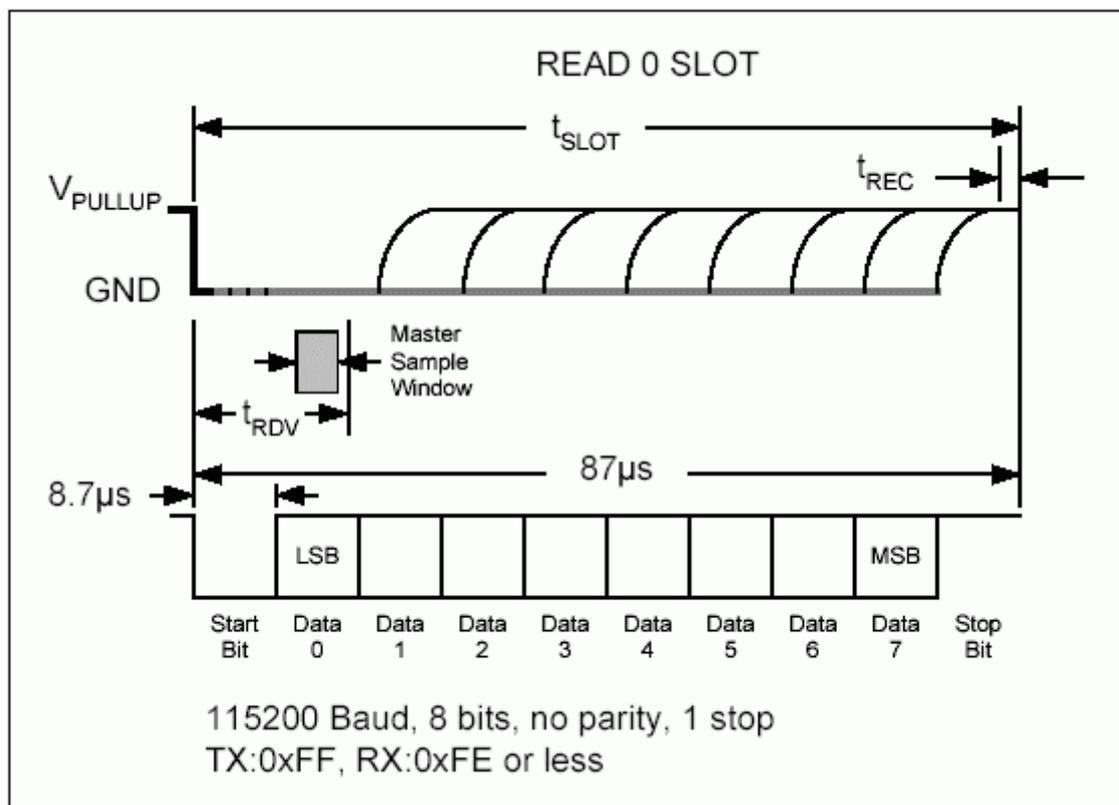


5.6.2.3 读0/读1时隙

关于读时隙，可以先看主机读1时，主机先拉低总线，一般时间1us左右，UART的Start Bit会占 $1/115200=8.7\mu s$ 的脉宽（大于1us），所以从Data0开始，后面的数据都为1，即读到的数据为 11111111 (0xFF) 代表读到的是1。



那读0也就很简单，读到的数据不为0xFF即为0。



5.6.3 小结一下

实际代码里面的判断，可以简单处理，**复位/应答：发送F0，返回不为F0，即代表从机应答；读0/读1时隙：主机读到0xFF即为1，读到非0xFF即为0。**

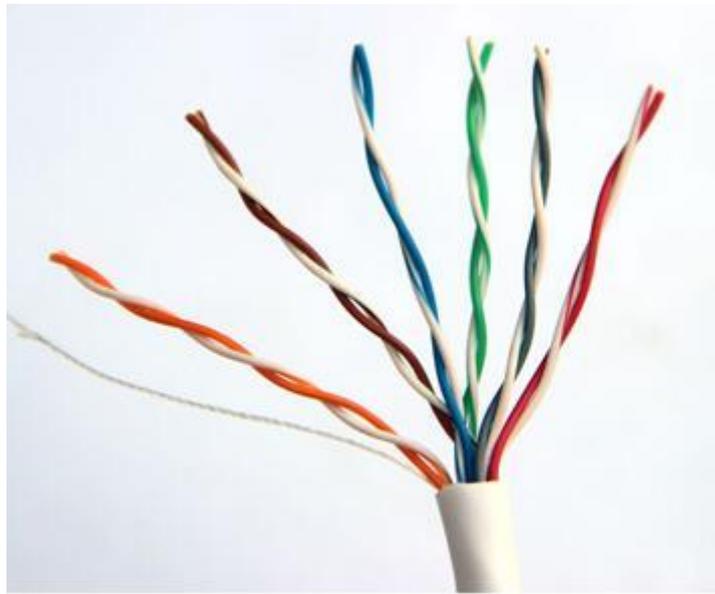
今天的文章到这里就结束了，希望对你有帮助，我们下一期见。

5.7 RS-485总线扫盲（图文并茂+超详细）

5.7.1 RS-485概述

RS-485和RS-232一样，都是串行通信标准，现在的标准名称是TIA485/EIA-485-A，但是人们会习惯称为RS-485标准，RS-485常用在工业、自动化应用、汽车和建筑物管理等领域。

RS-485弥补了RS-232通信距离短，速率低的缺点，RS-485的速率可高达10Mbit/s，理论通讯距离可达1200米；RS-485和RS-232的单端传输不一样，是**差分传输**，使用一对双绞线，其中一根线定义为**A**，另一个定义为**B**。

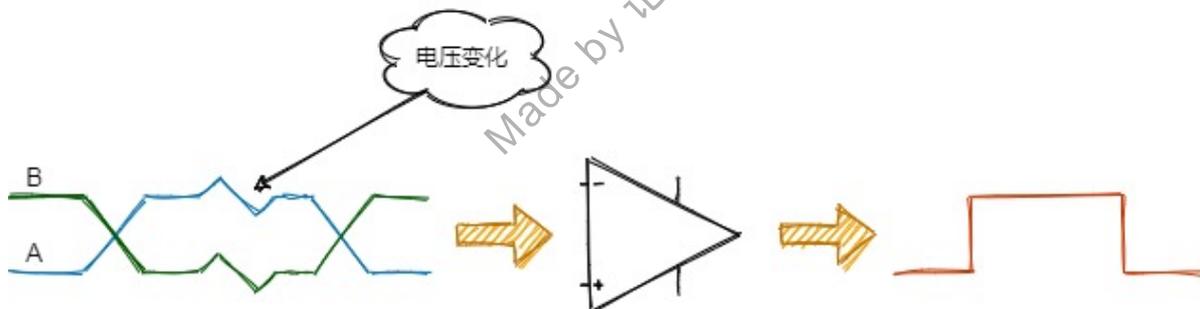


5.7.2 RS-485物理层

RS-485的物理层负责在设备和物理传输介质之间传输原始数据。它处理电信号到数字数据的转换，同时定义电压、时序、数据速率等。

5.7.2.1 差分信号

长距离布线会有信号衰减，而且引入噪声和干扰的可能性更大，在线缆A和B上的表现就是电压幅度的变化，但是，采用差分线的好处就是，差值相减就会忽略掉干扰依旧能输出正常的信号，把这种差分接收器忽略两条信号线上相同电压的能力称为**共模抑制**。



标准规定了，逻辑1：+2V to +6V；逻辑0：-6V to -2V。

RS-485不需要使用特定的总线电压，只看最小差分电压，在较长的电缆长度上，接收器接收到的电压可能会降低到 ± 200 mV，这对于RS-485仍然是完全可以接受的，这也是RS-485的优点之一。



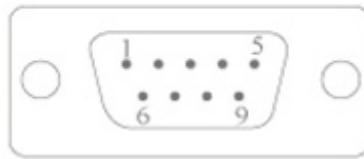
很多收发器的标准达到甚至超过TIA/EIA-485A规范，在实际使用中，以器件的SPEC参数为主，如下某收发器的负输入阈值最小也是-200mV。

$V_{\pi+}$	Positive-going receiver differential-input voltage threshold		-90	-50	mV
$V_{\pi-}$	Negative-going receiver differential-input voltage threshold		-200	-150	mV

5.7.2.2 信号定义

现在很多的RS-485转换器都是兼容RS-422的，所以看到很多转换器上面的信号都是T/R+、T/R-，即对应RS-485的A+和B-。

Db9针型



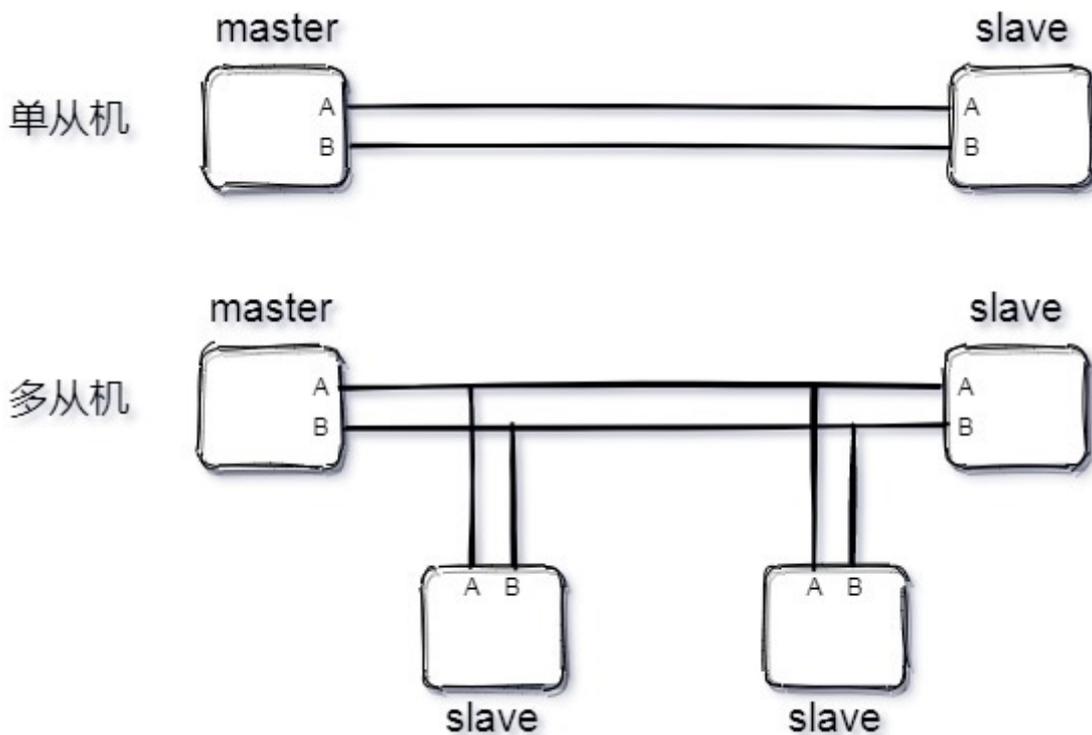
对于DB9针型的母头，RS-485有如下的接线定义示意，Pin6~Pin9为N/A不接。

DB9	输出信号	RS-422全双工接线	RS-485半双工接线
1	T/R+	发 (A+)	RS-485 (A+)
2	T/R-	发 (B-)	RS-485 (B-)
3	RXD+	收 (A+)	空
4	RXD-	收 (B-)	空
5	GND	地线	地线

5.7.2.3 拓扑结构

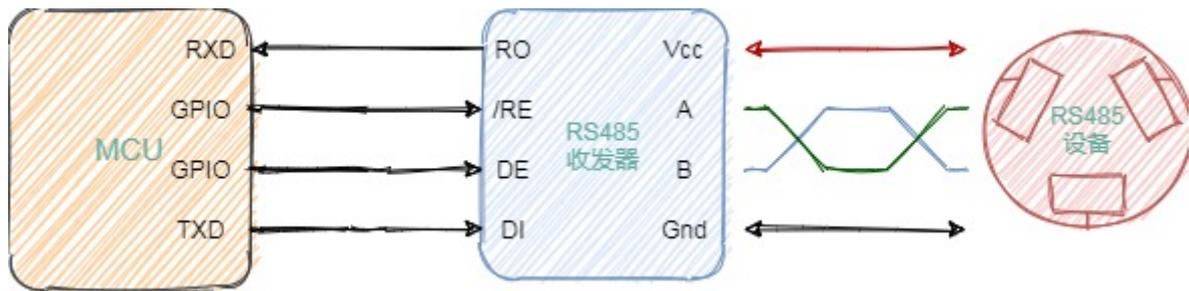
RS485有两线制和四线制两种接线，四线制只能实现点对点的通信方式，现很少采用，多采用的是两线制接线方式，这种接线方式为总线式拓扑结构，在同一总线上最多可以挂接32个节点。

RS-485总线同I2C，也是主从模式，支持点对点单从机模式，也支持多从机模式，不支持多主机模式。

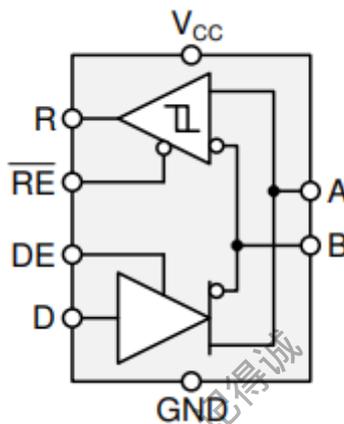


5.7.3 RS-485收发器介绍

RS-485是差分传输，如果用单片机控制RS-485接口的设备，需要用到**收发器**，这一点和CAN总线是类似的，如下是一个MCU控制一个RS-485的图示。



收发器内部是一个接收器（上半部分）加一个发送器（下半部分），下面简单说说收发器的原理，便于理解MCU是如何和485设备通信的。



其中：

- A和B为485总线；
- R为接收器输入；
- \overline{RE} 为接收器使能信号；
- DE为发送器使能信号；
- D为发送器输出；

对于使能信号，字母上面加一横的为低电平有效（如 \overline{RE} ），不加的为高电平有效（如DE）。

对于发送器，有如下的真值表：

当驱动器使能引脚DE为逻辑高时，差分输出A和B遵循数据输入D处的逻辑状态。D处的逻辑高导致A转为高，B转为低。在这种情况下，定义为 $V_{OD} = V_A - V_B$ 的差分输出电压为正。当D为低时，输出状态反转，B变高，A变低， V_{OD} 为负。

当DE低时，两个输出都变成高阻抗。在这种情况下，与D处的逻辑状态是不相关的。

INPUT	ENABLE	OUTPUTS		FUNCTION
		A	B	
D	DE	A	B	
H	H	H	L	Actively drive bus high
L	H	L	H	Actively drive bus low
X	L	Z	Z	Driver disabled
X	OPEN	Z	Z	Driver disabled by default
OPEN	H	H	L	Actively drive bus high by default

对于接收器，有如下的真值表：

当接收器使能引脚RE逻辑低时，接收器被激活。当定义为 $V_{ID} = V_A - V_B$ 的差分输入电压为正且高于正输入阈值 V_{IT+} 时，接收机输出R变高。当 V_{ID} 为负且低于负输入阈值 V_{IT-} ，接收机输出R变低。如果 V_{ID} 在 V_{IT+} 和 V_{IT-} 之间，则输出不确定。

当RE为逻辑高或悬空时，接收机输出为高阻抗， V_{ID} 的大小和极性无关。

DIFFERENTIAL INPUT	ENABLE	OUTPUT	FUNCTION
$V_{ID} = V_A - V_B$	RE	R	
$V_{IT+} < V_{ID}$	L	H	Receive valid bus high
$V_{IT-} < V_{ID} < V_{IT+}$	L	?	Indeterminate bus state
$V_{ID} < V_{IT-}$	L	L	Receive valid bus low
X	H	Z	Receiver disabled
X	OPEN	Z	Receiver disabled by default
Open-circuit bus	L	H	Fail-safe high output
Short-circuit bus	L	H	Fail-safe high output
Idle (terminated) bus	L	H	Fail-safe high output

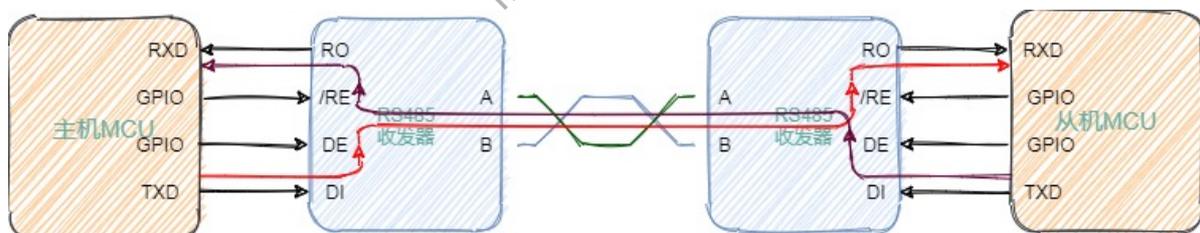
5.7.4 RS-485数据链路

上面讲到的RS-485收发器的工作原理，下面简单描述RS-485的数据链路，可以先看一下[通俗易懂的UART协议帧格式](#)

主机发送给从机或者从机发送给主机，都会占用到A和B线，所以RS-485多用在半双工模式。

主机的GPIO会控制RS-485收发器的DE管脚，设置发送模式，从UART TXD线向RS-485收发器的数据（D或DI）线发送一个字节，收发器将在A和B线上将单端UART位流转换为差分位流，数据离开收发器后，主机立即将收发器的模式切换为接收模式。

从机和主机是类似的，从机控制RS-485收发器的/RE管脚，设置为接收模式，接收主机发送的比特流，将其转换为单端信号，通过从机的UART RXD线接收，当从机准备好响应时，它按主机原来的方式进行发送，而主机变为接收。



5.7.5 RS-232和RS-485转换

RS-232和RS-485之间可以转换，一个方法是RS-232转换成TTL，再由TTL转换为RS-485，当然也有芯片支持将RS-232支持转换成RS-485，双向转换，网上有很多模块。



5.7.6 RS-485和CAN的区别

虽说RS-485没有标准的数据协议格式，但和CAN总线在很多地方是有相似的，比如A&B和CANH&CANL都是差分信号，通信都需要收发器。

总线特性	CAN总线	RS-485总线
硬件成本	稍高	低廉
总线利用率	优先级自动仲裁，利用率高	采用轮询，利用率低
数据传输率	高	低
错误检测机制	控制器带校验机制，保证底层数据传输正确	只有物理层规范，无数据链路层规定
单节点故障影响	总线无影响	总线瘫痪
开发成本	软件开发灵活，时间成本低	开发难度较大
系统成本	较低	高

5.7.7 RS-485常用电路

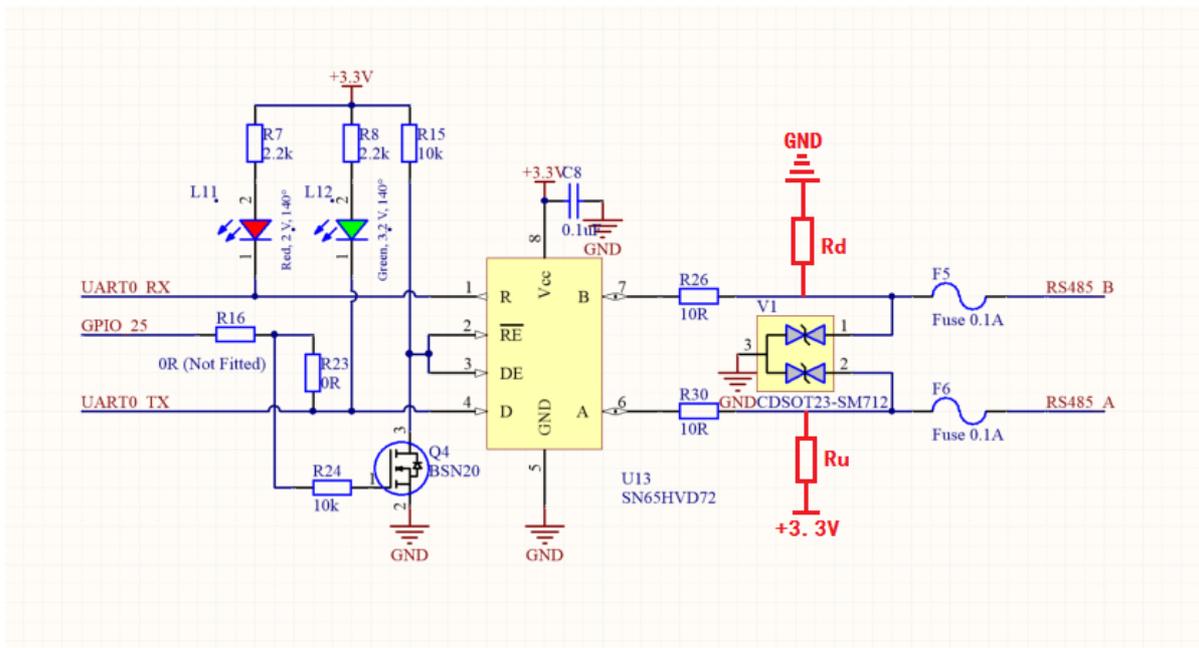
网上找的一个常用的RS-485电路，其中需要注意两点：

1、RE和DE可采用一个GPIO控制，节省资源，GPIO25输出高电平，RE=DE=0V，进入接收模式；GPIO25输出低电平，RE=DE=3.3V，进入发送模式。

2、有一些电路中会在A上加上拉，B上加下拉电阻，主要原因是：RS-485总线在idle状态，电平是不固定的，即电平在-200mV~+200mV之间，收发器可能输出高也可能输出低，UART在空闲时需要保持高电平的，如果此时收发器输出一个低电平，对UART来说是一个start bit，会导致通信异常，关于Ru和Rd的阻值在这里不作过多赘述，后面有机会会详细写一篇文章。

注意是A上加上拉，B上加下拉，接反数据通信也可能出错。

某些收发器内部集成上下拉电阻，则外部不需要再添加。



今天的文章内容到这里就结束了，希望对你有帮助，我们下一期见。

5.8 CAN总线入门

5.8.1 CAN总线是什么

CAN是**Controller Area Network**的简称，是一种有效支持分布式控制或实时控制的串行通信网络，最早是由以研发和生产汽车电子产品著称的德国BOSCH公司开发的，1986年，BOSCH开发出面向汽车的CAN通信协议，后来，CAN总线通过ISO 11898和ISO 11595进行了标准化，现在在欧洲是汽车网络的标准协议。

CAN的应用非常广泛，工业自动化、船舶、医疗设备、工业设备等方面。

5.8.2 CAN总线的作用

在汽车上，CAN总线的作用就是把不同的部件连接起来，然后这些部件都执行同一套标准协议，这样的好处是兼容性高，信息可以可靠共享，并且能减少整车的线束数量。



5.8.3 CAN总线优点

简单低成本：ECU通过单个CAN系统进行通信，而不是直接的复杂模拟信号线通信，这样减少了错误，重量，接线和成本。

完全集中：CAN总线提供了一个接入点，可以与所有网络ECU进行通信，——支持集中诊断，数据记录和配置。

稳定：CAN总线具有强大的抗电干扰和抗电磁干扰能力，非常适合对安全要求严格的应用（例如车辆）。

高效：通过ID对CAN帧进行优先级排序，以便优先级最高的数据可以立即访问总线，而不会引起其他帧的中断。

5.8.4 CAN总线历史

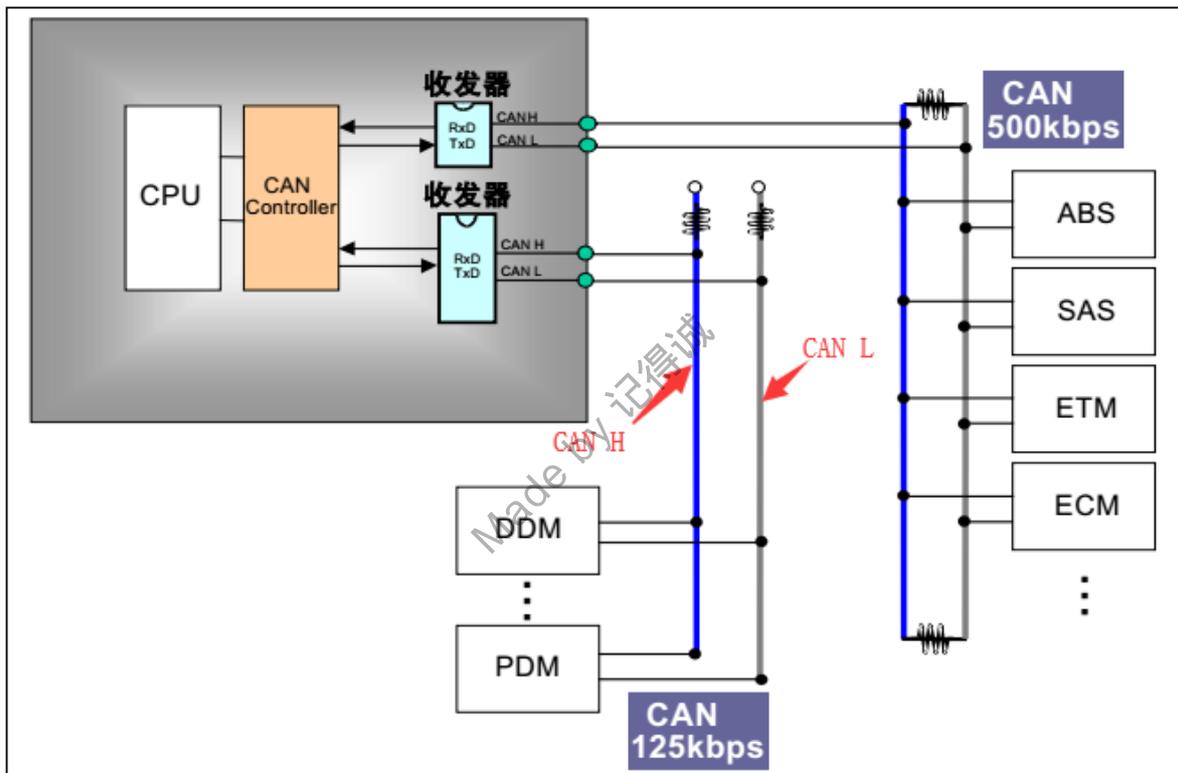
CAN总线发展很多年了，CAN之前版本：汽车ECU是复杂点对点布线。

1. 1986年：博世开发了CAN协议作为解决方案。
2. 1993年：CAN被采用为估计标准 (ISO 11898)
3. 2003年：ISO 11898称为标准系列。
4. 2012年：博世发布了CAN FD 1.0
5. 2015年：CAN FD协议标准化 (ISO 11898-1)
6. 2016年：CAN物理层，数据速率高达5Mbit/s，已通过ISO 11898-2标准化。

如今，CAN BUS已成为汽车、卡车、公共汽车、拖拉机、轮船、飞机等的标准配置。

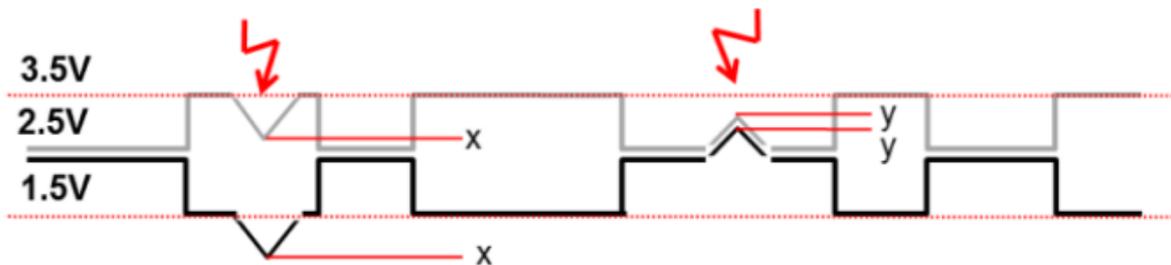
5.8.5 CAN总线拓扑图

从拓扑图中可以看到一个CAN节点，主要由CPU，CAN控制器，CAN收发器组成。



5.8.5.1 显性和隐性

CAN总线是差分线，有CAN_H和CAN_L两根线，差分线的抗干扰能力强，外界有干扰时，几乎同时会耦合到差分线的两根线上，而接收端关心的只是两信号的差值，所以外界的共模噪声可以被完全抵消，图中箭头所示，虽然两根线都受到干扰，但是两者差值不变。



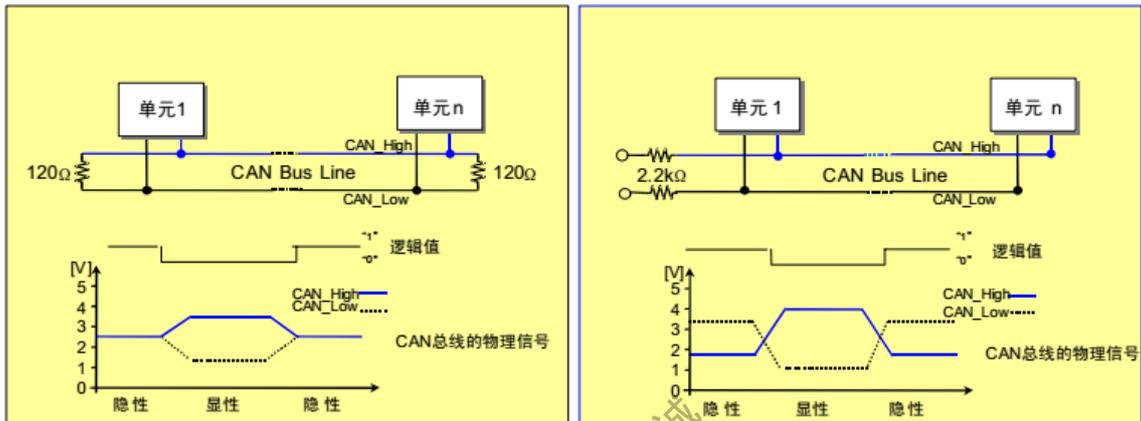
CAN收发器根据CAN_H和CAN_L的差值来判断总线电平，总线电平有两种，显性电平和隐性电平，CAN2.0A/B规定的总线value如下：

电平	逻辑	总线Value
显性电平	0	CAN_H=3.5V, CAN_L=1.5V
隐性电平	1	CAN_H=2.5V, CAN_L=2.5V

为什么显性电平是逻辑0?

CAN总线采用的“线与”的规则进行总线仲裁，在CAN2.0上规定了总线上同时传输显性和隐性电平时，总线是显性，即 $1 \& 0 = 0$ ，所以0为显性。

从下图可以看到，ISO11898的电平和ISO11519是不一样的，现在大多数都是和ISO11898一样的。



【 ISO11898(125K~1Mbps)】

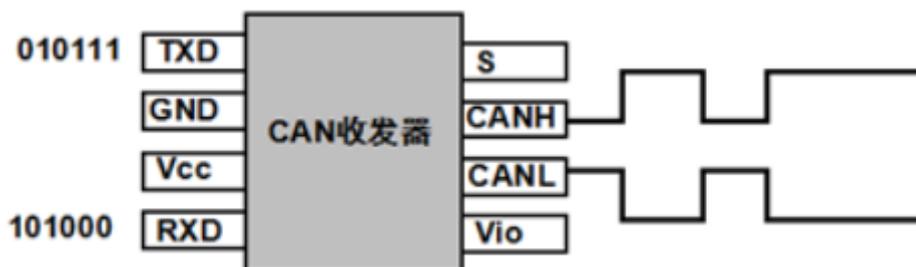
【 ISO11519-2(10k~125kbps)】

下面是两个显隐性电平的区别比较，同时给出了最大最小值。

总线拓扑 ³	隐性 ISO 11898			显性 ISO 11898			隐性 ISO 11519			显性 ISO 11519		
	Min	Nom	Max.	Min.	Nom	Max.	Min	Nom.	Max.	Min.	Nom.	Max.
CAN_High (V)	2.00	2.50	3.00	2.75	3.50	4.50	1.60	1.75	1.90	3.85	4.00	5.00
CAN_Low (V)	2.00	2.50	3.00	0.50	1.50	2.25	3.10	3.25	3.40	0.00	1.00	1.15
电位差 (H-L)(V)	-0.5	0	0.05	1.5	2.0	3.0	-0.3	-1.5	-	0.3	3.00	-

5.8.5.2 CAN收发器的作用

顾名思义，收发器既可以收，也可以发，“收”是接收CAN总线上的差分数据，将数据转换为TTL电平，发送给控制器；“发”是将CAN控制器的TTL电平信号转换为差分信号进行总线数据传输。

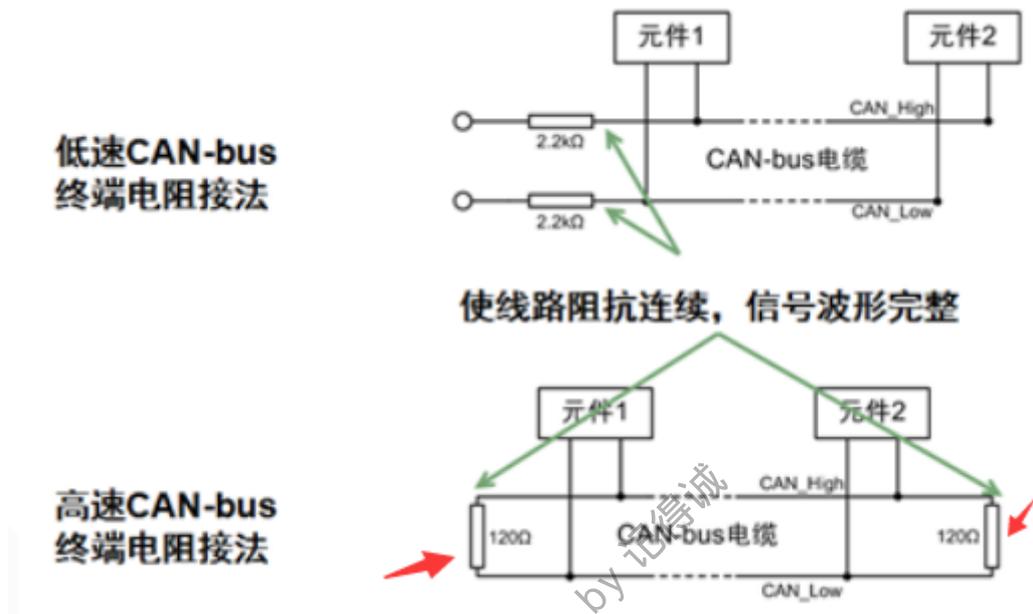


5.8.5.3 CAN控制器的作用

CAN控制器一方面接收收发器的数据，进行解析后发送给CPU；另一方面接收CPU的指令数据，然后发送给CAN收发器。

5.8.5.4 120Ω终端电阻

高频信号传输时，信号波长相对传输线较短，信号在传输线终端会形成反射波，干扰原信号，所以需要在传输线末端加终端电阻，使信号到达传输线末端后不反射。对于低频信号则不用CAN总线两端必须连接终端电阻才可以正常工作，终端电阻应该与通讯电缆的阻抗相同，典型值为120欧姆，其作用是匹配总线阻抗，提高数据通信的抗干扰性及可靠性。

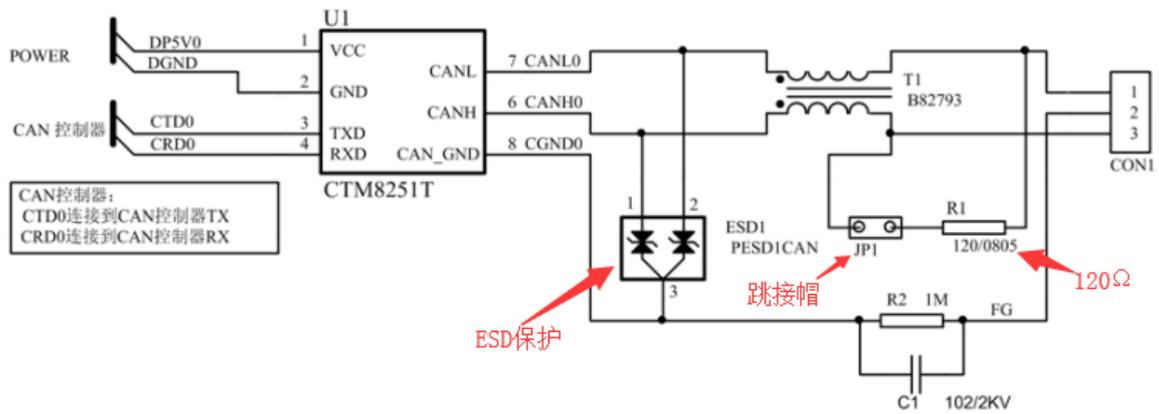


终端电阻并不都是120Ω，以下是ISO 11898协议的推荐值。

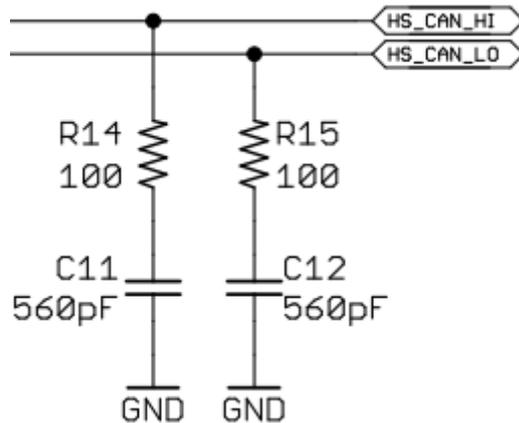
总线长度	电缆 1*)		终端电阻	最大波特率
	直流电阻	导线截面积		
0...40m	70mΩ/m	0.25 mm ² ~0.34 mm ² AWG23, AWG22	124Ω/1%	1Mbps at 40m
40m...300m	<60mΩ/m	0.34 mm ² ~0.6 mm ² AWG22, AWG20	127Ω/1% 2*)	>500Kbps at 100m
300m...600m	<40mΩ/m	0.5 mm ² ~0.6 mm ² AWG20	127Ω/1% 2*)	>100Kbps at 500m
600m...1km	<20mΩ/m	0.75 mm ² ~0.8 mm ² AWG18	127Ω/1% 2*)	>50Kbps at 1km

5.8.6 基本的CAN总线电路

如下就是CAN BUS的基本电路，因为一般节点都是和OBD接口相连的，ESD保护非常重要，另一方面120Ω并不是任何时候都需要，所以电路设计时加一个JP1跳接帽比较好。



必要时需要在CAN_H和CAN_L预留RC EMI filters, 用来吸收EMI



今天的文章内容到这里就结束了, 希望对你有帮助, 我们下一期见。

5.9 了解汽车上的OBD-II接口

2017年, 北京五环上, 李彦宏坐百度无人车首秀, 去参加百度AI开发者大会, 相信很多人都看到了这个新闻, 那段时间也上了微博热搜。本文和无人驾驶汽车无关, 介绍汽车上的OBD-II接口。

5.9.1 前言

相信不少人在汽车上看到过如下的接口, 这个叫OBD接口, 几乎每个车都有, 本文章主要围绕OBD是什么展开的。

有车一族, 车辆出现问题去4S店维修的时候, 可能遇见过技术人员将行车电脑连接上OBD口, 敲了一敲键盘, 电脑显示了一行行代码, 很快说问题找到了, 这又是怎么回事? 他们是怎么通过这个接口定位车辆故障的?



OBD接口

另一方面，市面上有很多OBD产品，将产品插上汽车的OBD接口，通过手机APP就能获取汽车的很多参数及车辆状态。比如车辆的行驶速度，行驶路径，行驶距离，车辆门窗状态，车辆的油量，故障诊断，甚至驾驶员的驾驶习惯（不好的驾驶习惯如急刹急减等）等等，那这些OBD产品是如何获得这些汽车数据的呢？

5.9.2 是什么

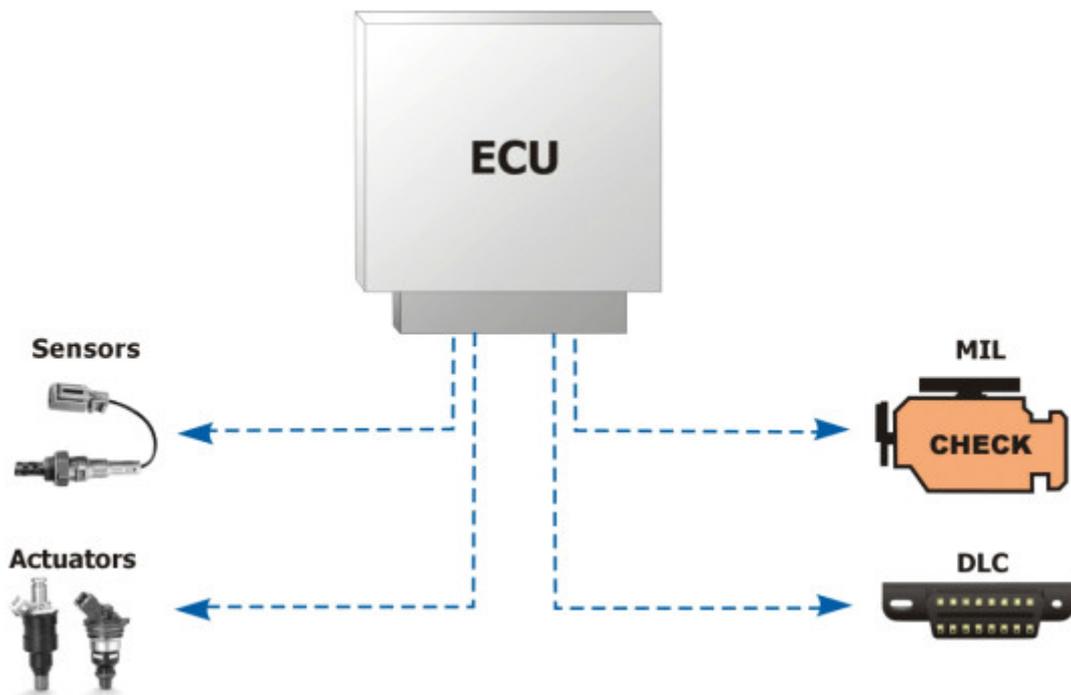
5.9.2.1 定义

OBD，是On-Board Diagnostics的缩写，意为车载自动诊断系统。OBD系统从发动机的运行状况随时监控汽车是否尾气超标，一旦超标，会马上发出警示。当系统出现故障时，故障(MIL)灯或检查发动机(Check Engine)警告灯亮，同时动力总成控制模块(PCM)将故障信息存入存储器，通过一定的程序可以将故障码从PCM中读出。根据故障码的提示，维修人员能迅速准确地确定故障的性质和部位。

简单说，OBD系统就是基于计算机系统检测主要发动机部件的性能，减少排放。

5.9.2.2 组成

基本的OBD系统主要由ECU（电子控制单元）组成，该ECU会接收来自各种Sensors（例如氧气传感器）的输入来控制Actuator（例如燃料喷射器）以获得所需的性能；检查引擎指示灯，也称为MIL（故障指示灯），向车主提供故障预警，另外可以通过DLC（诊断链接连接器）进行访问，这个DLC也就是OBD接口。



OBD组成

5.9.2.3 OBD-I

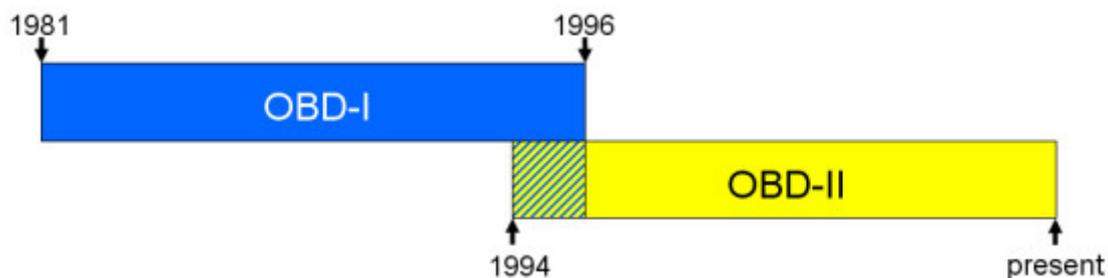
OBD-I是在整个1980年代开发的第一代OBD系统，不同厂商的OBD系统之间各行其是、互不兼容，得使用专用的连接器，硬件接口和协议，使用起来比较麻烦。

5.9.2.4 OBD-II

在1990年代初期，汽车工程师协会（SAE）和国际标准化组织（ISO）发布了一系列标准，描述了ECU和诊断扫描工具之间的数字信息交换。所有符合OBD-II的车辆都必须使用标准诊断连接器（SAE J1962），并通过标准OBD-II通信协议之一进行通信。

OBD-II相比较于OBD-I，统一了标准，兼容性更高；并且具有严格的排放针对性，用于实时监测汽车尾气排放情况，应征了那一句话，“一代更比一代强”。

OBD-II最早是在1994年的几种车型中引入的，并从1996年开始成为所有汽车和轻型卡车的要求。



OBD-I和OBD-II发展

5.9.2.5 应用

OBD的应用广泛，不同的OBD产品可以用在：车辆诊断，性能调节，车队管理，远程通信/车辆跟踪，基于使用量而定保费的保险（UBI），驾驶员行为监控/反馈等。

5.9.3 硬件接口和协议

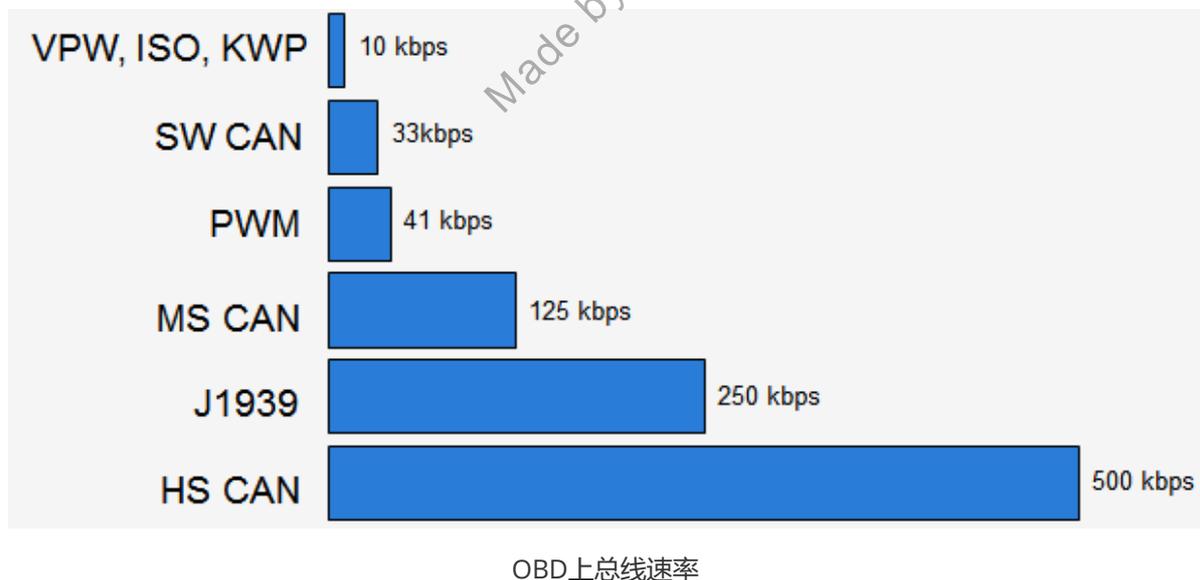
5.9.3.1 硬件接口

如下是一个DLC标准连接器的示意图，共有16个PIN，包含了多个总线。每个总线都有对应的协议，如果想通过对应的总线与汽车总线通信，或者是从汽车总线上获取数据，必须遵从相应的总线规范。

PIN脚	定义
1	Single Wire CAN, 单线CAN
2, 10	J1850 Bus+/Bus-, J1850总线
3, 11	CAN_HI/CAN_LO (MS CAN), 中速CAN总线
6, 14	CAN_HI/CAN_LO (HS CAN), 高速CAN总线
7, 15	K-line/L-line (ISO & KWP), ISO总线
4, 5	底盘地/信号地 (Ground), 电源负
16	电源 (Power), 电源正

5.9.3.2 总线速率

如下是各个总线的速率表，其中速率最高的是高速CAN总线，使用较广泛的是HS CAN，MS CAN和J1939，J1939其实也是HS CAN的一种，主要用在卡车中。

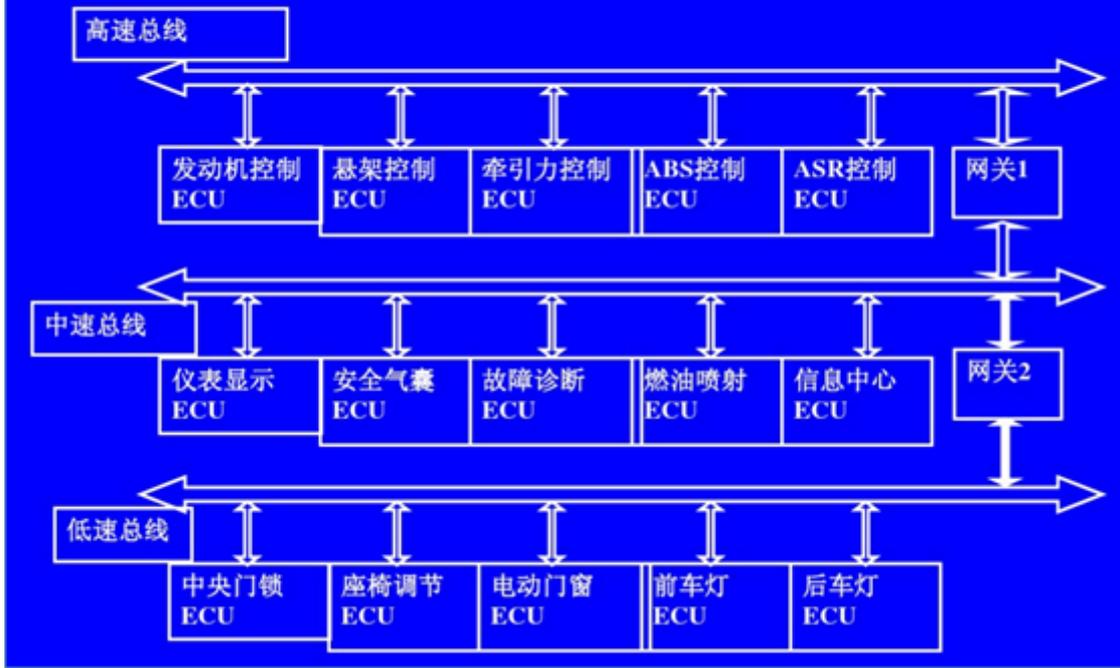


5.9.3.3 汽车总线网络

能出现这么多总线类型，也是应用而生的，中速CAN和高速CAN总线有逐渐取代低速总线（ISO，J1850等）的趋势。如下是一个汽车总线的网络系统，很重要的如发动机控制ECU，ABS控制ECU，牵引力控制ECU等都是使用的高速总线，这些CAN总线被称为“动力CAN”，给汽车提供动力的部分。中速CAN和低速CAN被称为“舒适CAN”，上面挂载的是安全气囊，仪表显示，电动门窗等。

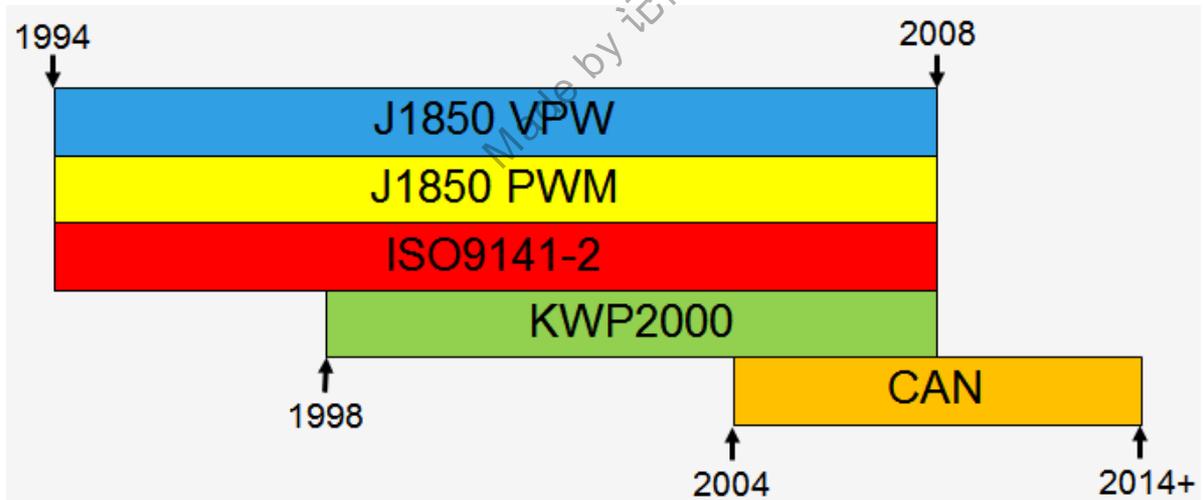
汽车总线网络系统

优质文档



汽车总线网络系统图

5.9.3.4 总线发展



总线发展时间

5.9.4 总线协议

列举了几种总线常见的协议，不一定是完整的，但包含了大部分。其中，ISO 14230也被称为基于K线的KWP2000协议，所以一般讲KWP2000和ISO 14230放在一起；单线CAN，MS CAN和HS CAN都是CAN总线，所以协议都是一样的，但是内部会有具体的细分，速率也不同。

总线

协议

单线CAN

ISO 11898, ISO 15765

J1850总线

SAE J1850 PWM, SAE J1850 VPW

总线	协议
中速CAN	ISO 11898, ISO 15765
高速CAN	ISO 11898, ISO 15765
ISO总线	ISO 9141, ISO 9141-2, ISO 14230 (KWP2000)

5.9.5 小结一下

- 1) 汽车各个部件与ECU通信是通过总线的方式，不同部件使用的总线和速率可能不相同。
- 2) 每个汽车会预留一个OBD接口，接口上有很多总线类型。
- 3) 利用OBD接口，我们可以获取汽车总线上的数据，但是要遵从总线的硬件和软件协议规范，通过数据解析，我们就可以知道汽车的状态，行使距离，故障诊断码等。
- 4) OBD产品的主要构成是收发器+控制器+外发器（蓝牙、WIFI等），收发器接收总线上的数据，发送给控制器，控制器解析之后，利用蓝牙，GSM/LTE等方式，将数据发送显示，这就是前言说的OBD产品获取汽车数据的原理，行车电脑获取故障码也是同样的道理。OBD产品获取总线数据有两种，一种是被动的获取，也就是监听，监听到有用的数据之后进行处理；另外一种是主动获取，OBD产品会向总线上发送命令来获取数据。

今天的文章内容到这里就结束了，希望对你有帮助，我们下一期见。

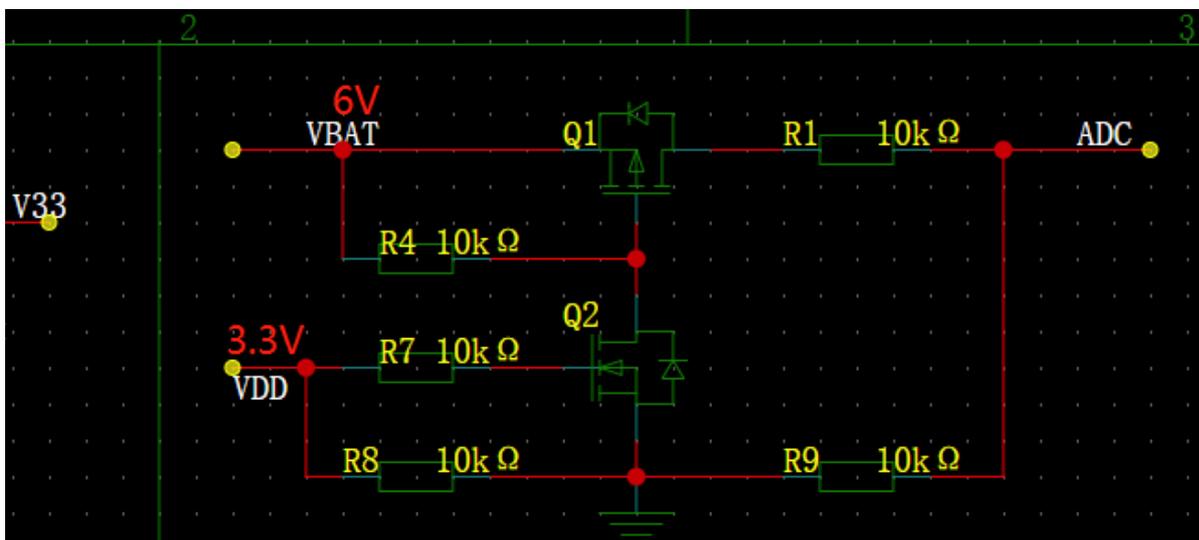
6 实际案例

6.1 紧急求助，各位大神看看这个ADC采集电路是什么问题？

大家好，我是记得诚。

最近逛论坛，看到一个帖子，如下：

电路图如下，是个低功耗电池电压采集方案，多次通电后，Q1无情的冒烟了。



VDD是低功耗外设电压，低功耗下VDD=0V，唤醒后VDD=3.3V。

电路的工作原理是这样的，低功耗下VDD=0V，Q2和Q1关闭；唤醒后VDD=3.3V，Q2和Q1导通，VBAT通过R1和R9分压，进行ADC检测。

Q1 PMOS用的型号为：AO3401，Q2 NMOS用的是：AO3400。

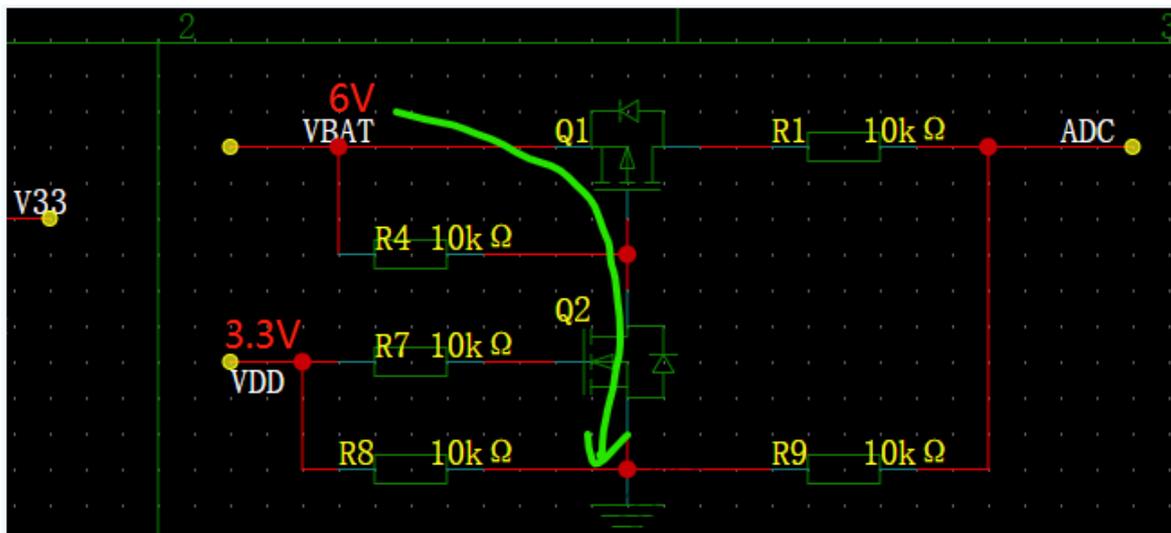
我们看一下网友是咋说的。

ANDY-张：逻辑是对的，检查元器件封装和元器件属性。

ifc315：VBAT端存在高压或者静电，Q1的G-S间被击穿了。

智能diy：感觉是Q2导通不完全，导致Q1也导通不完全，排除静电击穿，一般静电击穿不冒烟，感觉R8应该去除。

bendn：会不会AO3401的G极没有串接电阻，下管对AO3401的控制信号直连的G极，如果下管打开特别快的话，因为AO3401的G、S之间存在寄生电容，就会形成这样一个瞬时的大电流通路，是不是就可能引起G极的绝缘层损伤，多次冲击过后就可能引起绝缘层击穿彻底短路，进而导致MOS管冒烟。



而且因为米勒电容的存在，Q1在导通的过程中，还会出现这样一个电流通路，也就是Q1的D、S之间电流刚刚达到最大时，此时D、S之间电压还是6V没变，电流是从S极通过导电沟道流到D极，然后再经过G、D之间的寄生的这个米勒电容到达G极，最终通过Q2导通到地。

我又仔细分析了一下，感觉更可能是Q2控制着Q1，使得Q1导通过快，MOS管的导通电流变化过快，进而在MOS管的寄生电感上面产生很大的感抗，形成振荡电路，最后出现高压击穿MOS，改进的措施还是在Q1的G极上面串接一个小电阻，或者在Q1的G极和S极接上一个小电容，使得MOS开启缓慢一些减弱振荡。

因为你这个电路没有高负载的地方，所以应该不是发热引起的损坏，更像是产生的高压损坏，高压损坏在你这个电路这里只能是振荡引起。

然后你这个Q1打开慢一些无所谓，交叉损耗很小，不像是电源的开关控制，那种的电流很大，打开太慢的话，开关交叉损耗就会很大，会出现热损坏。

825cow：这个不应该烧MOS的，后面负载都是10K级的。

ifc315：不知道都是怎么计算的，导通太快引起损坏都出来了；R7是10k，开关速度能快到哪里去哦。

小伙伴们，怎么看？这个电路有问题吗？欢迎留言区评论。

网友留言可以查看公众号原文：<https://t.1yb.co/ldQd>

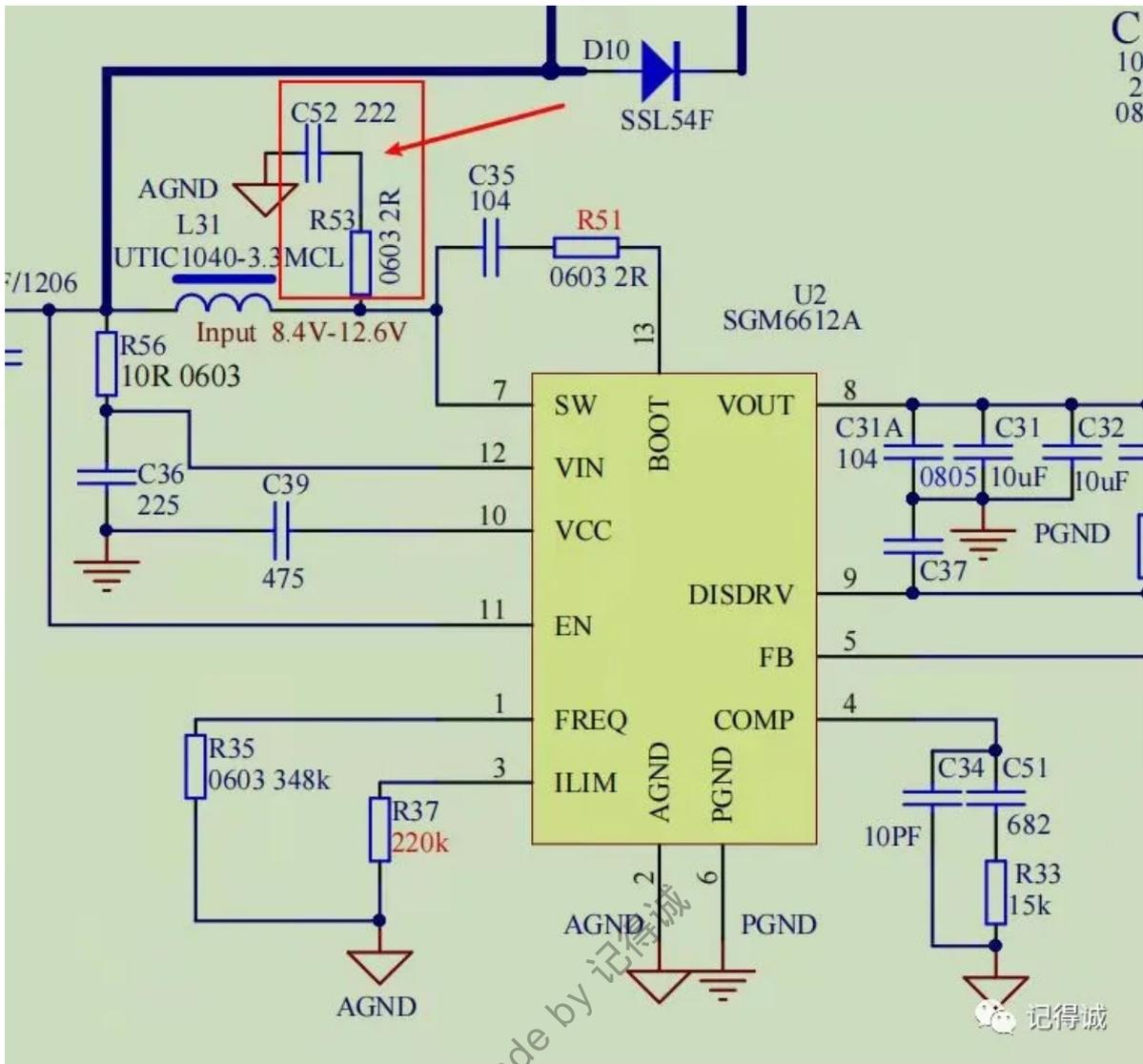
6.2 DC-DC BOOST芯片SW管脚加RC电路，芯片概率性烧毁的原因？

大家好，我是记得诚。

有个读者在群里发了一个问题，是这样的。



是一个BOOST电路，输入 V_{in} 是9~12.6V， V_{OUT} 输出是12.8V，在芯片的SW管脚，加R53和C52后，DC-DC概率性的损坏，不加这个RC，试了70块板子没有损坏，基本可以确定是这个导致的，但是是怎么坏的呢？



加C52和R53是为了吸收SW上尖峰的，C35和R51是自举电路，正常一个C35就够了，这地方R51贴的是0R，R51和C35构成RC充电，R越大，DC-DC内部MOSFET开的越慢，SW尖峰小，EMI好一些；R越小，MOSFET开越快，SW上尖峰大，EMI差一些，SW上加RC（C52、R53）是为了吸收这个尖峰。

读者测试了SW的电压和电流波形，对比了正常情况下的波形和出现异常时的波形

未出现异常时的SW电压电流波形

黄色=sw电压波形
蓝色=swvin处电流波形

SW电压 max=16V





黄色为=sw电压，绿色=sw电流，限流电阻=51K， $730/51=14.3A$
 发生异常时，sw处是无电流的，说明IC没在工作。

当IC再次启动时，下管打开，sw处会产生一个很大的电压电流冲击。



出现异常情况说明：当Vin从12V往上增加时，当到某个电压点(实测在12.4V左右)时，也就是说Vin和Vout比较接近时，会出现这种异常状态。

sw处能够观察到比较大的冲击电流

记得城

将损坏的芯片寄给原厂做了切片分析，外观检验和X-Ray未发现异常。

2.3 Defect/Unit Verification 分析确认

(/) Visual Inspection (外观检验)

分析确认: 样片已使用, 外观检查无明显异常;

NO.	Top View	Bottom View
1#		
2#		
3#		

(/) X-ray (射线分析)

分析确认: X-ray 分析, 样片焊线未见异常;

NO.	Top View	Side View
1#		
2#		
3#		

记得诚

开帽分析, 芯片的PIN7(SW)、PIN8(VOUT)、PIN12(VIN)、PIN13(BST) EOS异常。

(/) Decap (开帽分析)

分析确认: 开帽分析, 样片 PIN7(SW)、PIN8(VOUT)、PIN12(VIN)和 PIN13(BST)EOS 异常。

NO.	Over View
1#	
2#	
3#	

记得诚

小伙伴们，怎么看？为什么在SW管脚上加了RC，会出现芯片损坏的情况，欢迎留言区讨论。

网友留言可以查看公众号原文：<https://t.1yb.co/ldQm>

7 硬核人生

7.1 写了这么久，介绍一下我自己

大家好，我是记得诚。

写文章这么久了，也没有好好介绍自己。

我是90后，2012年上的大学，电子信息工程专业，普通的学校，大一挺勤奋的，高考考的不好，就想着考研弥补一下，所以天天去图书馆看书。

那时候智能机刚开始发展，塞班系统还没没落，舍友的诺基亚N95还挺扎眼。

上大学，父母给买了一台新款智能机，同年出的联想A520，1200元，其实是一台定位女性的手机。



这手机被我折腾够呛，500M的运存，ROOT、改字体、换主题、改通知方式，手机经常被搞成砖，线刷、卡刷也都玩的很溜，实在不行，就去维修店找老板，那个时候对UI有一种执念，可能这就是理工男，有点处女座的感觉。

周末时间就去兼职，那时候合肥骗子蛮多，我找的兼职是需要先交钱，好像是200多，交完钱之后，老板会给我们培训，后面每个周末会派活，如发传单、保安、商场搬东西这些。

我记得非常清楚，当时发传单，是会被监督的，也就是说，你偷偷将传单扔进垃圾桶是不行的，所以一天跑下来也是很累。

拿着第一桶金，发传单挣来的50元，那种感觉现在可能再也体会不到了。

兼职我跑遍了很多地方，坐了很多公交，见了很多人，我后来算一算，除去200多报名费，也没挣几个钱，但收获远不止这点钱。

有人说，大学生没必要去兼职，兼职是即时收益，对提高自己没有多大用处，我挺赞同，但又不完全赞同，你如果打游戏，建议你停下，去兼兼职，多看看，你会发现，这社会如此丰富，是因为有善良的人，也会有“坏人”。

大二，那个时候我还没有个人笔记本电脑。当时的图书馆，一楼有个绿色网络中心，当时英雄联盟正火热，很多人在里面玩，网费很是便宜，1.2元/小时，我去玩了一次，就入迷了，天天背着书包去图书馆，实则是去打游戏。

在我的“带领”下，宿舍也开始玩英雄联盟了，持续了一个学期，我发现我并没有收获什么？而游戏让人变得暴躁易怒。

那个时候，腾讯的手游，也火爆的一塌糊涂，同年出的天天酷跑、天天爱消除都玩疯了，还有欢乐斗地主、我叫MT、神庙逃亡等等。

宿舍里，课堂上都充斥着“TIMI”的声音，就是那个腾讯天美工作室。

13年，塞班系统迎来了谢幕，我痛彻心扉，把游戏也戒了。

对了，后来图书馆一楼那个绿色网络中心被整改了，毕竟已经违背了初衷。

大二下学期，鬼使神差的，想去参加学院的实验室。

当时合工大办了一个MSP430的比赛，实验室借此机会选拔，那是我第一次接触单片机，做了一个简单的数字时钟，LCD1602显示，带几个按键，设置闹钟等。

学校和TI德州仪器有合作关系，单片机也没花钱。

比赛没获奖，实验室选拔被刷，写代码不行，写文档也不行，当时我看里面一个学长很不爽，选拔是他主导的。

我骨子里是一个不服输的人，带着自己的数字时钟，找到了实验室的两位老师，当然，这是另外一个实验室，表明了来意：做了一个小东西，对单片机感兴趣，想进实验室学习，结果就是我留下来了。

大三，我基本上不怎么上课听课了，一心在实验室学习单片机相关知识，焊接电路板、画电路板、写代码、参加比赛，每天晚上都是10点以后回宿舍。

三大大四，参加了很多比赛，电赛、互联网、物联网、飞思卡尔智能车、数学建模等等，闹着玩似的，都没获奖，最高的是校奖，但收获真的太多了，打过地铺，去各个学校交流，见了很多优秀的人，这其实是一次次被打击的过程，这里就不一一展开了。

记得实验室老师说过一句话，我印象很深刻，大致的意思是：比赛前不管怎么问人都不可耻，比赛拿不到成绩才尴尬。

因为不听课，学期期末的时候，我都会找学霸给我辅导一下，每次也能拿个三等奖学金。

年纪不小了，家里经济条件也不好，后来就放弃了考研的想法，想早点工作。

大四上学期，金9银10，差不多过完国庆节，和同学开始组团找工作。

因为比赛经历、项目经验比较多，面试几乎没有什么问题，但每每拉跨在笔试，这就是不听课的后果，基础不牢，地动山摇。

第一次面的是CVTE，HR 1V3，坐在我旁边的是科大的一位男硕士，还有一位女博士，面试我过了，我当时的心态非常好，破釜沉舟的赶脚，进了很强，不进也正常，后来挂在了笔试。

那段时间，找工作非常痛苦，加上没有好企业来我们学校，都是去工大、安大、科大投简历，心累，身体也累，也是坚持了下来，也不会说迷茫啥的，当时只抱着一个目的，就是我要找到一份满意的工作。

2016年毕业到现在，就一直干的是硬件开发的工作，第一份工作工资四千块钱，在当时不算低，当时合肥房价还没涨起来，炒饭还是5块钱一份的年代。

工作的前几年，对钱的欲望并不强，也不算很拮据，主要的心思都放在提升自己上面，工作的事情不多，我主动加了很多班来学习，我时常是最后一个离开办公室的。

我在第一家公司，养成了一些很好的工作习惯，如记笔记、今日事今日毕、向上汇报、主动学习等等。

同事也很友善，离开的时候，其实还是很舍不得的。

2019年底，偶然的一次机会，看到杨秀璋老师的CSDN博客，被他温暖的文字所感动到，写下了第一篇博客，算是迈出了自媒体的第一步。

2019年，记录我的第一篇CSDN博客

原创 记得诚 2019-10-31 15:58:29 5995 收藏 1
分类专栏： [【专栏】我的随笔](#)



【专栏】我的随笔 专栏收录该内容

工作查资料之余，看到CSDN上大神写的博客，萌发了写博客的想法。

我是2012年上的大学，学的电子信息工程，16年毕业，顺利进入一家物联网公司，目前从事硬件开发的工作。

借CSDN记录自己学习和生活的一些总结感悟~

有技术问题，可以加我微信交流



微信名片



没写文章之前，一直是在纸上写的，所以我觉得写博客，也是很顺理成章的，但事情没我想的那么简单。



写作的好处挺多的，这里我就不赘述了，之前写过一篇文章：[我劝你写文章](#)（[点击阅读](#)），可以看看。

写了几个月博客，摸清楚CSDN的一些规则后，开始在公众号写文章，因为这个号申请的早，带留言功能，交流起来非常方便。

很多读者问，为什么叫记得诚呢？

这个诚就是真诚的意思，记得要真诚，我觉得不管是工作，生活，亦或是自媒体，真诚是最重要的。

最近有读者在后台私信我，说梦见记得诚，没记错的话，这应该是第二次了。

< null



兄弟你好，我想我有必要分享给你！

由于本人处于对日后工作的压力，以及觉得自己没学到什么东西，昨天晚上睡觉前看了你的文章，然后！我昨天梦里都是记得诚。我天！我梦到我们在我们食堂门口拉了横幅，然后有你的公众号的头像，但是我肯定是不知道你们团队或者是你的人长啥样的[Lol]，只是说我梦见记得诚公众号了

昨天



希望您的公众号能做的越来越好！

昨天

精选留言



置顶



我昨天晚上做梦梦到黄晓明在电视里说你是他旅途中认识的好朋友😂



记得诚(作者)



记得诚啊🤔



记得诚(作者)



必须要给你置顶了

很感谢自己的文章能帮助到你们，哪怕是一个很小的点，作者和读者的关系，其实是很纯粹的。

我的内容，对你有帮助，你就关注，某天的文章很好，干货足，点个赞，点个在看，就是最大的支持。哪天我写了一篇垃圾，哪个月我广告接的频繁，就可以取关。

除了繁重的工作外，文章都是利用晚上和周末时间写的，可以说几乎没有什么娱乐时间。

最近也在思考，输出的时间多了，输入的时间变少了，后面还是会不断提升自己，想要学习的东西还有很多。按照我的理解，硬件3-5年是一个阶段，6~10年，是另外一个阶段，这两个阶段，技术能力和薪资都会大幅的提升，所以只管努力，等风来。

最后，感谢大家一直以来的支持。

7.2 我的2021年个人总结

大家好，我是记得诚。

今天是2022年的第一天班，首先祝大家新年快乐。很多人发了年终总结，诚哥的会迟到，但不会缺席。

我们在一年的跨度中，想着能做很多事情，其实有时间做并能做好的事情就那么一两件。

今年发生了几件大事，算不上是成长进步，只能算是良好的开端，一切都朝着更好的方向去发展。

年初的时候买了房，付了首付，背上了贷款。

因为经济的压力，不得不换工作，之前的工作也没有什么发展可言了，虽然待着很舒服，同事很和蔼，领导很nice，环境也OK，但也不能温水煮青蛙，是不？

换了工作之后，我有了两个新的感悟。

第一个，再好的公司不适合你，那也不是好公司，找到适合自己节奏的公司很重要，工作和生活相平衡。

第二个，对硬件设计来说，要让自己多尝试不同的行业，每进入一个行业，都是一次“洗礼”、重刷ROM的过程，逼迫自己不断学习，扩充自己的知识体系。

你能看到多么的成熟稳重，就有多么的历经沧桑。

上半年还有一件大事，就是向女朋友求了婚，这里就不展开说了。

在写作方面，CSDN的文章还是一如既往的更新，去年定的目标也完成了，虽然很慢，但也算是走上了正轨。

自媒体让我的心更坚韧，更学会了坚持，写作的好处是毋庸置疑的。

认识了很多朋友，也希望在2022，记得诚更加的open，见一些朋友，约一些读者，读万卷书，不如阅人无数，往往好的思路想法就是碰撞火花出来的。

今年会在文章的质量和数量上，对自己有更高的要求。

也会花少部分时间尝试其他的，如视频制作，这一趴去年就立了flag，还是被现实打了脸，所以今年就佛系了。

星辰大海，平凡生活。

7.3 离职的一些感悟

金三银四虽然比不上金九银十，但仍然是一个求职高峰期，好公司任何时候都缺人才。

离职无外乎三个原因：钱少、没发展、干的不爽。

钱少，这没啥好说的，大家可以下一个BOSS直聘，没事多看看上面的招聘，多了解市场水平，切记闭门造车，毕竟打工都是为了挣那份工资。

我能力足够，表现优异，给我开这么少工资，那你就是看不起我，那我就走，良禽折木而栖。

上面是同事的原话，话糙理不糙。

没发展，可以分三种情况。

1. 公司没发展，盈利少，员工待遇差。
2. 公司发展很好，盈利多，员工待遇差。
3. 公司发展好，员工个人无发展。

第一种，公司长期没发展，溜；短期发展受挫，比如这次疫情，可以观望考虑。

第二种，公司扣，溜。

第三种，**个人有无发展，看你的直属上级就好了**，他的天花板决定了你的天花板。

干的不爽，常见的如：和领导不对付，和同事关系处理不好，职场上太多了，道不同不相为谋，溜，开心最重要。

经历了一个礼拜 4 轮面试，拿到现在这家 offer，找领导提了离职，挽留（加薪+股权激励），加薪远低于我 offer 价；股权激励，按照公司当前行情，我并不看好，而且套牢 3 年，最重要的一点，我在这个公司没有发展。

任何时候搞清楚自己想要的，离职更是如此。

在离职前，我已经考虑非常清楚，目的就是走，加薪到 double，我也会走，当然我心里清楚，按照公司的尿性，不会加到这程度。

加薪直接提，没必要用离职来“要挟”公司，这是很愚蠢的作法，你表现优异，公司会给你加，如果不加，还是那句话，你看不起我，我走！

请珍惜自己的羽毛，离职更是如此。

同部门一位小伙子，在我提离职之后，询问了我，领导给我加多少。

隔天拿着 offer，找领导“要价”，要求加的水平稍低于领导挽留我的加薪，结果没有成功，恼羞成怒，一个礼拜离职，这中间还请了两天假，主管和人事都很生气，走的时候，还埋怨了一些同事。

我想说，真 TM 煞笔，这个圈子就这么窄，没必要做的这么绝，做任何事情三思而后行。

所以说，离职前考虑清楚，别看到他人拿到一个好 offer，而眼红心急，避免从一个坑跳到另一个坑。

剩下的事情就很简单了，**火力全开，就是干！**

祝大家都能有一个舒心的好工作！

7.4 硬件项目如何避免改版

上个礼拜在上海出差3天，问题解决了，PCB需要改版，自己的一点感想分享给大家。

硬件和软件不同，出BUG了可以OTA或者FOTA升级一下，不济请FAE去现场升级一下软件，再不济请客户自己升级。

硬件出错可能就是致命的，尤其是量产的项目，你经常看到某某品牌车辆召回，都是因为要解决硬件问题。

这其实给企业造成了很大的影响，一方面是品牌受到影响，另一当面这些出货的产品可能要面临回炉重造，甚至改版才能解决问题，这其中的时间成本，人力成本可能而知。

所以今天的话题是硬件项目如何避免改版？

在某些公司的KPI上也有明确说明，硬件改版次数占很大的一个打分占比，最好是1~2版搞定，这对工程师的要求很高，下面我总结了几点常用的小技巧。

7.4.1 多添加兼容电路方案

兼容电路，通俗讲就是A兼容B，既可以用A电路方案，也可以用B电路方案，预留PCB贴片位置，后续通过更改BOM即可，好处是什么呢？

- 1、实现不同功能，如电源常电和控制供电等，以实现低功耗。
- 2、兼容不同芯片，避免某些芯片出现缺货、涨价和交期长等情况，通过兼容芯片设计，可以一定程度上减少这种问题。
- 3、方便调试参数，某些不确定的电路方案，可以做兼容电路，等打板回来后进行测试，最后决定选择何种方案。

7.4.2 提前测试验证新电路

某些新的电路，除了可以添加兼容电路，有条件的可以提前搭建电路进行测试，确定好电路方案和参数。一方面避免错误设计，另一方面确定好参数之后，试产回来之后可以避免手动更换物料。

7.4.3 请原厂Check原理图和PCB

现在平台的技术支持都很给力，**绘制完原理图之后，最好请原厂check**，主要是芯片类，发给原厂最好是芯片相关的完整电路，包括供电、天线通路等等。

PCB一般是PDN仿真，公司不具备PDN仿真条件的，要将PCB文件发给CPU原厂，最好是选择快要归档的版本进行仿真，以减少来回仿真耽误的时间。

7.4.4 遵守公司的设计规范

在一些大的公司，都会有自己的设计规范，一些新手工程师，喜欢按照自己的节奏来，不严格按照规范或者设计要求来，偷懒想当然，如果公司有第二个人check还好，否则可能就是不必要的改版，耽误项目进度。

硬件设计是很吃经验的，**在你没有能力或者经验时，拿出自己的认真仔细，不要怕麻烦，遵守规范**，可以避免很多不必要的问题。

今天的文章内容到这里就结束了，希望对你有帮助，我们下一期见。

7.5 现在做硬件工程师还有前途吗？

这个问题是我在知乎看到的。

问这个问题的，要么是正在从事硬件工作，要么是准备入行的新人。

我先发表自己的一些观点，可能不对，勿喷，然后我再截取部分知乎上网友的回答。

我大学的专业是电子信息工程。

毕业找工作，选择硬件，1是我软件不行，2是我对软件不感兴趣，3是我只能干硬件了，4是我想干技术。

我记得大四父母就没有给我钱了，为了能找一份养活自己的工作，所以我选择了面试硬件。

也就是对硬件稍微感兴趣，稍微熟悉一点，面试的时候稍微能吹嘘一点。

稍微能吹嘘一点指的是自己有一点项目经验，参加了一些电子类竞赛，如电赛、飞卡、物联网等。

一切看起来都是那么的将就、勉强，就这样，我还是找了2个月的工作，持久战让我收获了几个offer，综合考虑，选择了现在这家公司。

所以回到问题：硬件工程师有前途吗？

我们先假设硬件工程师没有前途，软件工程师有前途，搞Java的很有前途。

Java面试官sowhat1412隆哥向你抛出了三个问题：

- 1、HashMap为什么线程不安全，如何替换？
- 2、解释下死锁是什么？
- 3、为什么用线程池，线程池的作用？

你一听一脸懵逼，这都什么鬼？

所以就很简单的道理，**前途和实力是匹配的**，你如果是稚晖君那样的全栈，可以选择自己感兴趣且工资高的AI算法，而我只能选择混口饭吃的硬件。

有人说了，这和问题没什么关系，这个假设不成立。

那我们再假设硬件工程师有钱途，这里，我将**前**字改成了**钱**，让问题变的简单一点。

我去BOSS直聘上搜了一下，我现在从事的硬件-基带工程师的工资。

Made by 记得诚

< 基带工程师

职位 公司 内容

上海

筛选

关键词

高级基带工程师

20-40K·14薪

5-10年

本科

硬件工程师

电气工程师

小米 已上市



张文 · 招聘专员

上海 徐汇区 康健

高级基带工程师 代招

35-45K·14薪

3-5年

本科

硬件工程师

基带工程师

某知名上市集团公司 已上市



张振华 · 猎头顾问

上海

基带工程师 代招

20-35K

经验不限

本科

PCB设计

基带工程师

硬件测试

某大型知名通信上市公司 已上市



王琪 · 猎头顾问

上海

基带工程师

15-26K·15薪

1-3年

本科

硬件工程师

电子工程师

硬件

华勤技术股份有限公司 B轮



龙柏榕 · 基带经理

上海 浦东新区 张江



基带工程师 代招

20-35K·13薪

5-10年

本科

硬件工程师

电气工程师

闻泰集团 不需要融资

是不是也很可观，5年+工作经验的基带，我觉得在上海稍微努力点，拿一个20K应该不成问题。

霍，在搜一下IC设计，3~5年工作经验的直接30K起步了，本科毕业的一般都是20K起步了，好一点的学校，好一点的IC公司，本科强一点，毕业30K也是很正常的。

Made by 记得诚



Q IC设计

职位 公司 内容

上海

筛选 · 1

关键词

数字IC设计工程师—AI方向

35-65K

3-5年

本科

电子半导体

人工智能

国科微电子 已上市



卢女士 · Recruiter

上海 徐汇区 漕河泾

ASIC设计工程师 (System...)

30-60K

3-5年

本科

芯片设计

C++

Verilog

NVidia 已上市



李女士 · Recruiter

上海 浦东新区 张江

数字IC设计 代招

30-60K·14薪

3-5年

硕士

Verilog

数字IC

IC设计

某大型集成电路公司



叶兰 · 猎头顾问

上海

ASIC设计工程师

35-65K·13薪

5-10年

本科

电路设计

Verilog

IC验证

云合智网 A轮



模拟IC设计工程师

30-60K

3-5年

本科

PCB工艺

电路设计

可能别人又说了，互联网的大厂，比如字节，PDD，微信团队，这些刚进去可能就30K起步了。

这样的人能有多少？

太少太少了。

大部分人还不是拿着温饱的工资，可能在北上广深这样的城市，也就只能吃住行了，每个月剩不了几个钱，甚至入不敷出。

搞Java，我认识的隆哥（硕士）在北京4年半也才20K出头，985电科大毕业的大帆在西安三星也就15K左右。

我们总是被互联网的风光所吸引，却看不到一串串代码背后的艰辛，那是多少个996，007构筑而成的。

向往互联网的灯红酒绿，熟不知那是通宵熬夜的灯光。

所谓的前途只不过是比别人更努力一点。

你向往并持续为之付出努力的，那才是前途。

又有人会骂了，你TM这是毒鸡汤，互联网这么发达，天花板比硬件高太多了，这一点我不否认，你可能干十年硬件，也就这个样子。

我们再看一下知乎网友的回答。

多多说：我也是女硬件工程师。入行第一天，前辈就给我打了预防针，做硬件工程师绝对饿不死，但也吃不饱。入行这些年，换了几家公司，平台都不大，能力上就是独立做公司的产品都没什么问题，应付日常工作也比较得心应手了。

现在也差不多到了自己在这行的天花顶吧（就是天花顶比较矮），但也没有再深入研究的本事了，本质上就是混口饭吃的。想真正学技术做大神的建议去大平台磨炼。

jason说：你好，我已经做硬件6年时间了，越来越感觉到只是做硬件的话，前途的确也比较有限。

硬件比较有优势的是容易转到领导岗位，因为对采购器件，和供应商接触，开发流程比较熟悉。软件通常不关心整个项目的流程，会比较关心如何按照规格书实现功能。所以在这方面做硬件是有优势。

锋兄说：直接一点，你有没有兴趣，如果对这行没有点兴趣和钻研的精神。果断劝退！

想要成为一名有点分量的硬件工程师是不容易的。你可以3个月上手一门编程语言，马上入手工作。但是想硬件入门至少两年，还要看有没有人带你，有没有机会去项目上实操。

唐老鸭说：答案很简单：没有任何前途。

因为绝大多数的职业就其本身都没什么前途而言。

我觉得网友们说的都很有道理，这本来就是一个主观题。

大部分人的工作都是养家糊口的。

你对一个在深圳工作10年、月薪15K的硬件工程师说，你这工作没有前途，工资低，他只会这个，你让他怎么办？

还是那句话，你向往并持续为之付出努力的，**那才是前途**。

你努力工作为家人创造良好生活条件的，**那也是前途**，成年人的世界没有容易二字。

共勉。

7.6 我的硬件工程师成长之路

这篇文章适合准备从事硬件或者刚刚从事硬件工作的小伙伴们。

关键词：硬件架构、理论课程、单片机、开发工具、电子元器件、总线接口、进阶、输出/输入、分享。

其实我感觉硬件工程师从来没有全栈这一说。

不同的行业差别也是蛮大的，但也不是无迹可寻，很多东西也是相通的。

核心思想都是一样的，硬件工程师都是围绕电路设计和 PCB 设计展开的工作。

在整个产品的研发过程中，可以说电路设计和 PCB 设计只能占到很小的一部分，更多的是，前期的准备工作，以及后期的调试维护。

那小白硬件和大佬硬件的区别在于？

大佬知识储备更多、经验更足、能力更强，对于前期准备和后期调试工作，花费的时间更短，能大大提高工作的效率。

大佬对整个产品的研发流程相对熟悉，并对整个项目进度有一个很好的把控。

所以刚入门的硬件工程师，进入公司的第一步，应该是熟悉公司的产品，熟悉功能，了解硬件架构，再逐一攻克单元电路。

硬件设计理论和实践结合非常紧密，缺一不可。

理论课程主要是在学校学习的。

估计也有很多像我这种，在学校没有好好学，工作好几年了，还要恶补理论知识。

没有好好学，或者说学不好，主要是中国都是应试教育，知识强塞给学生。

有一些号主，经常分享油管上的视频，读者都爱看，为啥？

国外的资料，大多会把晦涩难懂的知识，通过 GIF 或者视频的方式，以通俗易懂的方式传递给学生。

当初开始写技术博客的初心，就是网上太多烂透了资料。

所以，择优而读，摒弃一些垃圾书籍资料；用好的方法，往往能事半功倍。

后面可能会水一篇文章，有哪些专业相关值得看的书籍。

电子信息工程专业的同学，多是硬件从事者的主力军。

数字电路、模拟电路、高频电子、数字信号处理、微机原理、C 语言等课程都是专业课。

其中数电和模电，在工作运用中最多，重要性不言而喻。

我在大二下学期，开始自学单片机，第 1 款是 TI 的 MSP430，主打低功耗，做了第 1 个小东西：数字时钟。

凭借着这个小项目，我开始进入了学院的实验室，开始了自学之路。

后面接触了 51、STM32、K60 等，参加了几乎所有能参加的比赛，电赛、飞卡、物联网、互联网、创新创业等。

睡实验室、打地铺、申请暑假留校，各个高校交流学习，省内各个市打比赛，像着了魔一样，我是真的菜，但不得不说，确实收获了很多。

硬件研发，需要学的开发工具还是很多的。

如 Autium Designer、PADS、Cadence 等，后两个大公司用的多，操作友好，功能也全面。

当初在学校，老师教学用的是 Protel 99SE，功能太单一，建议入门还是选择 AD。

原理图仿真，用 Multisim 也就够了。

简易的可以用 Tina-TI，体积小，界面简单，能应付大多数的原理图仿真。

Tina-TI——小巧好用又高效的原理图仿真软件（之前写的介绍文章，[点击左边可阅读](#)）

PCB 仿真，4G/5G 平台对电源的要求很高，需要 PDN 仿真，如 Allegro PCB SI。

后面也会水一篇 PDN 仿真的文章。

测量分析工具，如示波器、万用表、电子负载、安捷伦电源、信号发生器、逻辑分析仪等，这些都是硬件研发必备仪器。

做通信的还有 CMU200、安捷伦 8960 等。

焊接的工具，如电烙铁、热风枪。

0201 电阻上飞线，热风枪焊接 BGA 芯片等，这些都是要掌握的基本功，也没有捷径可走，一个字就是练。

大家都知道 BGA 难焊，作者也练废了很多，现在成功率不说 100%，也有 90% 以上。

电子产品是由一个个电子元器件组成的，了解其特性、学会选型，这也是基本功。

无源器件，像电阻、电容、电感，用的是最多的器件，一个高端的手机中需要用到上千个电容，电阻稍少一些。

晶体管，如二极管、三极管、MOS 管，应用也很多，仅次于电阻电容。

电源芯片，如 DC-DC、LDO、充电芯片。

其他的，如晶振、磁珠、存储器、继电器、传感器、RTC、ESD 保护器件等等，都是需要掌握的。

关于总线接口。

常见的，如 USB、UART、RS-232、RS-485 等；车载的，如 CAN、J1850、SW-CAN 等；三轴加速度计的 I2C 和 SPI 协议，温度传感器的 1-WIRE 协议；音频的 I2S 协议，SIM 卡的协议，内存的 DDR 协议等。

进阶内容，如 EMC 电磁兼容、电源完整性、信号完整性、射频电路设计等，这些内容，我也在持续学习中，建议大家学习。

做公众号以来，惊喜地发现，有一些我的读者，也开始写技术文章了，这是一件非常好的事情。

不管是博客，还是简单的 word 文档，都可以。

定时总结，可以培养自己的思考、自学、查阅、逻辑表达、文字整理等能力，输出意味着需要不断的输入，形成一个良好的正反馈。

其次是分享，拿我自己举例，刚进公司，部门培训，我会紧张，表达不清楚。

现在基本不存在这种问题。

我个人的经验就是：第一准备充分，也就是肚子里有“货”，有的说，准备的越多，输出的也就越多；第二是提炼表达，尽量不说废话；第三是逻辑性，分清主次。

海阔凭鱼跃，天高任鸟飞。

一起加油！

7.7 在一个公司待半年多了，天天打杂，害怕学不到技术，怎么办？

大家好，我是记得诚。

最近有很多小伙伴私信我，说在公司待了好几个月、半年多了，还天天干着打杂、组装、测试、焊接、修板子这些事，接触不到项目硬件研发，害怕自己长时间下来提升不了技术。

第一，读者能这么提问，肯定对自己有一定的要求，还是希望在工作中能学到扎实的技术，有一定的成长。

第二，硬件产品研发是一个复杂的链条，电路设计和 PCB 设计，在其中只能算是一个很小的环节，这点在之前的文章也提过。

前期的预研、风险评估、价格核算、项目立项，物料选型、硬件研发、软件研发、结构设计、后期的生产、测试、组装等等，当然还包括物料采购、供应链管控等等。

小公司这个链条很短，1 个人一条龙服务，全包。越大的公司，链条越长，流程越繁琐，单上面的硬件研发来说，画原理图、PCB 布局和走线都不会是同一个人，然后会有原理图自检、原理图评审、布局评审、走线评审等等流程。

目的是为了减少差错，一人一个萝卜坑，专业的人做专业的事。

缺点是工作效率会偏低，每天面对的就是审核、沟通、会议、报告、PPT 等等，不免出现跨部门合作，相互推诿的情况。

第三，硬件工程师的定位就是：一个专业的打杂工，除了项目经理，硬件是和其他部门打交道最多的一个岗位，很多疑难问题，都是硬件牵头，出马解决。

文能和测试妹子把酒言欢，武能工厂熬夜通宵解决生产。

除了过硬的专业技能，硬件工程师还需要：

1. 性格温和，和所有部门保持良好沟通。
2. 认真仔细，设计电路、整理 BOM 不能马虎。
3. 勤学好问，有扎实的经验知识与理论知识，多学多问。
4. 谦虚谨慎，多交流，多采纳其他人意见，人外有人，山外有山。
5. 有责任心，对电路负责，对产品负责，对BUG负责！

请补充。。。

第四，那很多小伙伴说，我就想画原理图和 PCB，因为硬件出错的成本非常高，很多公司招了应届生，会有一个较长的培养周期，在这个阶段，需要有耐心一点，空闲的时候，多做一些测试、维修，这些对后面的硬件研发会有很大的帮助。

最后，我想说，硬件工程师本身就是一个很杂的工作，对自身要求较高，除了基本的原理图和 PCB 这些，其他的业务也同样十分重要，目的是为了产品交付，中间任何一个环节都不能出差错。

即，需要提高自身综合的实力。

7.8 月薪30K的硬件工程师需要哪些技能

大家好，我是记得诚。

最近一直游荡在各个招聘网站，找简历，部门全员招聘。

简历的重要性也不用多说，不论是网站的在线简历，还是附件的PDF简历，都建议认真填写，一个错误的标点符号，可能就错失了一个好机会。

之前在知乎看到一篇文章，年薪百万的硬件需要会什么？**太遥远了，看不见，也摸不着，身边也没有。**

今天的话题是月薪30K的硬件工程师需要哪些技能，努力一下，可以实现。

30K-45K 15薪 资深硬件工程师 合肥华米

8年以上经验会限制很多人，华米是做手环的，有低功耗、蓝牙和WiFi这些工作经验的，是有优势的，2020年营收10亿美金，妥妥的独角兽，但公司趋于饱和，招聘要求也比较高，作者投过简历，无音讯。

岗位职责：

- 1、负责硬件产品的方案评估、硬件设计、器件选型、硬件调试，确保产品正常交付；
- 2、负责硬件产品在项目中的问题分析、跟进、解决，处理疑难、紧急、重大问题；
- 3、负责硬件产品售后疑难问题分析、跟进、解决；
- 4、开展业界供应商技术交流和顶级合作资源的技术合作，确保产品硬件竞争力领先。

岗位要求：

- 1、电子、物理、通信、声学等相关专业本科及以上学历；
- 2、8年以上消费电子硬件设计工作经验；
- 3、良好的沟通学习能力及团队精神；
- 4、能够在压力下保持清晰的思路，攻克疑难杂症；
- 5、细致谨慎，逻辑清晰，有钻研精神，敢于挑战未知，动手能力强。

以下经验者优先：

具有智能可穿戴产品(智能手表，通话手表)的硬件设计量产经验；

具有音频类产品如TWS耳机、ANC耳机硬件设计量产经验；

具有蓝牙，WiFi，GPS等低功耗硬件产品的设计量产经验；

具有低功耗MEMS sensor (AG, M) 等产品的硬件设计量产经验。

25-45K 15薪 硬件工程师 北京美团

很多互联网公司，如头条、美团、百度、滴滴、网易、新东方等等都在招聘硬件，给的工资也非常香，作者如果在大城市，可能早就去面试了。

工作经验三年，需要有复杂高速系统研发经验，基本要求不高，可以去试试。

岗位职责：

1. 负责相关产品原理图设计、PCB评审，板级调试以及性能测试；
2. 跟踪产品开发进度，解决产品开发中的瓶颈问题，并控制交付节点；
3. 协同软件及结构同事进行系统联合调试工作；
4. 项目的硬件模块选型，供应商沟通和管理，与供应商紧密沟通产品开发细节。

岗位基本要求：

1. 通信电子及相关专业本科或以上学历，有3年以上硬件开发经验；
2. 有复杂高速系统的研发经验，例如手机基带电路、X86主板电路等；
3. 基带电路设计和测试方法及Debug能力（系统的Power、SI/PI、EMC...）；
4. 熟练使用硬件开发工具以及各类测试仪器和设备；
5. 熟悉终端产品各模块（camera、sensor等）的原理和关键器件选型、应用；
6. 具有较好的沟通、协调能力、较强责任心和独立解决问题的能力；
7. 良好的工作态度和团队合作精神。有责任心、上进心。

24-40K 高级基带工程师 上海传音

传音被称为“非洲手机之王”，占据了非常市场的半壁江山，很多人不知道这个牌子，也是正常的。

五年以上经验，和大部分基带工程师的招聘要求差不多。

职位描述

1. 从事手机产品硬件部分基带电路的设计、调试，并与软件工程师，射频工程师，结构工程师紧密合作完成设计和新产品推出工作。
2. 评估新模块的接口，与手机系统的匹配，及时与厂商合作，完成新的设计、对元器件进行选型、评估和测试。
3. 参与对新技术新平台的可行性评估，负责并完成文档的总结和更新。
4. 跟踪世界新技术、新工艺、新产品的最新动态。
5. 负责功耗优化、电源管理、LCM、camera、TP等一种或多种电路，使其达到或超过系统及电路的设计指标。

岗位要求：

1. 全日制本科及以上学历，5年以上基带工作经验。
2. 熟悉ARM平台架构，熟悉通信技术的工作原理。
3. 精通手机基带部分的工作原理以及相关信号波形，精通MTK平台。
4. 具有复杂问题的分析能力并提出解决方案，同时采取措施避免风险。
5. 具备小项目负责人或组长的管理能力，能为基带团队提供技术知识和技能方面的培训和流程建设的支持。

20-35K 16薪 高级硬件工程师 深圳TP-LINK

TP_LINK路由器，大家肯定都用过，是全球领先的网络通讯设备供应商，2年以上硬件工作经验，就开20K以上了，可以去试试。

职责描述：

1. 承担无线通信、智能家居、安防监控等产品的硬件开发工作，能完整把控产品实现全过程，具有实战积累从研发到制造的全站技术经验；
2. 根据项目需求，进行芯片选型、物料选型、调试测试，利用各类专业仪器设备、仿真工具等，确保产品硬件品质、成本及性能达成；
3. 负责新产品试产及量产机型的维护，包括异常问题处理、品质改善、成本优化、工艺优化等；
4. 结合产品发展方向以及产品开发过程中遇到的问题，负责开展专题技术研究，解决技术难题。

任职要求：

1. 本科及以上学历，电工、微固、通信等相关理工类专业；
2. 2年及以上硬件工作经验，具备对电路进行原理分析、设计、仿真及调试能力；
3. 需有实际产品硬件设计工作经验，网络通信产品、智能家居产品、安防产品硬件开发经验优先；
4. 有较强的责任心、主动性和团队合作精神，工作严谨。

看了以上这些，大家有什么想法？

第一，打工人，选择一个好的行业至关重要，尤其是毕业后的第一份工作。

如上面的智能穿戴，手机，智能安防，无线通信，还有最近很火的电动汽车，我想应该都不会差。

用一个51单片机开发硬件，能开多少工资？板子上连DDR都没上，能开多少工资？

不是我瞧不起51单片机，用51做一个产品，能卖1W吗，显然不能，高端的骁龙888 SOC，加上税专利等，就近千块了，手机再卖个几千块，不是稀疏平常的吗，利润自然也不会低。

因为硬件不像互联网，有很多的成本，供应链，物料，生产，研发，测试，运输等等这些都是成本，赚取的利润还要给员工发工资，自然高不了，我哥一个哥们，主板优化了一个物料，每年给公司省下几百万，是不是很夸张。

如果我去创业，肯定不做硬件，首先这成本就受不了。真要做，我肯定用51单片机，上次群里说道，一哥们，靠卖电子蜡烛，深圳买了几套房，这有什么技术含量吗？这才是智者。

很多人做自媒体，写专栏，写书，前期费事一点，后期真的是躺着赚钱，边际成本很低，一劳永逸。

上面说的有点啰嗦，一句话总结就是：选择一个好的行业，选择一些难的事情做。

第二，要安静，不要浮躁。

因为做自媒体的原因，关注了很多公众号，某些知乎教育家的标题，不是逆袭，就是月薪6W等等，营造的氛围都很焦虑，我真想骂人。

现实中并没有那么多逆袭！

逆袭的故事，往往是以少胜多，以弱胜强，尤其是一个比自己还普通的主角逐渐在故事里混的风生水起，美女争相投入怀抱，容易让身为大部分是普通人的读者带入故事，和主角一起成长，走向人生巅峰。

offer2里面的丁辉，热度是最高的那一位，和其他求职者，他可能没有那么的亮眼，最终没能逆袭进入君合，但不可否认，他已经足够优秀，二本本科顺利考上985政法大学的研究生，已经比很多人优秀了。

我跳槽后，工资比很多同学的工资都要高了，一对比之后，我还是不满足，人的欲望是无穷无尽的，和麦叔聊到，一直强调，需要降低欲望，降低欲望不代表躺平，而是认清自己，和自己比较，有进步就好。

内卷，我觉得就是过度和别人比较造成的，你加班，我加班，你不走，我也不走，你通宵，我也通宵，蛋糕就这么大，本来是一人一半，每人每天多加班3小时，蛋糕还是一人一半，是不是应该换个思路，两个人如何把这个蛋糕做大，这样每个人分的就多了。

上面还是有点啰嗦，一句话总结：做自己，不断寻求进步。

假期又来写鸡汤了，很抱歉，我们下一期见。

7.9 我劝你写文章

大家好，我是记得诚。

人们谈论一个话题，喜欢从两个方面，获得什么？失去什么？

今天聊一聊，记得诚为什么要写文章。

7.9.1 拿offer

博客有了一点数据后，我会在简历上加上博客的链接。

前段时间换工作，简历上的博客链接成功吸引了HR的注意，虽然在简历的最后一页最后一行。

我看你博客写的不错，下面很多人评论点赞，人家都称呼你为大佬，写技术文章，给你带来什么好处，你为什么写博客。

我巴拉巴拉，后来就拿到了offer，这个offer不是说靠博客拿到了，但确实加分了。

HR的内心独白可能是：这小子不错，总结的很好，做技术的就需要这样的。

在这里插一句，面试的时候不要吝啬表达自己，有博客的上博客链接，有GitHub的上GitHub，有公众号的就算了吧，也不妨带上自己的优秀作品。

7.9.2 提升技术

写文章一定程度能被迫提高自己的技术能力。

有输入才有输出，逼迫自己学习。

可能是信息检索的能力，完成一篇文章需要查阅大量的资料。

可能是信息筛选的能力，从这些大量的资料中提取有用且正确的内容。

可能是美学的制造和鉴赏能力，有些文章排版舒服，内容由浅入深，读起来很舒服，有一些文章，内容很好，但看见那个排版，是不是也有一种读不下去的感觉？

刚开始写博客，真的是苦不堪言，markdown啥玩意啊，难用，为什么别人排版那么好看。

所以早期写文章，排版都是一点一点模仿其他人，吸取每个人的优点，后逐渐形成自己风格，再写公众号的时候，就好很多了。

7.9.3 交个朋友

罗永浩直播间交个朋友，直播卖货流量很高，大家知道他，很大一部分是因为他之前倒闭的锤子手机。

写作可以交朋友。

有一些志同道合的作者，可以交流写作技巧，写作副业，窝草，原来还可以这么挣钱，颠覆认知，不认识这些大佬，我怎么可能知道这些？同时也丰富了自己的生活圈。

交可爱的读者，有一些读者很乐意学，也很乐意指出文章中的错误，技术的碰撞，建立微信交流群这样的平台，一起划水，一起提高技术，我真的在各种各样的群里学到很多。

这里插一句，不要担心自己写的文章差，写的文章有错误，写了没人看，同一个知识点，每个人的理解都可能不同，只管写出自己的那部分，就算错了又如何。

7.9.4 赚点小钱

写作能赚钱。

很多耳熟能详的大V，半佛仙人，卢克文靠写作实现了财务自由。

我这样的，可以挣点零花钱，前段时间买了房子，有了外债，有了贷款，靠公众号接点广告，午饭还能加个鸡腿，确实挺难的。

不是卖可怜，副业真的是刚需，能一定程度上缓解主业的焦虑。

7.9.5 没有时间

写技术文章的缺点，我能想到的只有一点了，会占据大量的时间。

不是在写文章的路上，就是在准备文章的路上。

我劝你写文章，有写作的问题，可以和我一起交流。

好了，今天随便扯一点，洗洗睡了。

7.10 为什么模电这么难学？

大家好，我是记得诚。

上大学的时候，我的模电成绩也不好，刚刚及格这个样子。

为什么模电这么难学？

知乎上有这么一个话题，访问量也有百万了。

在我看来，模电难学，有如下几个原因。

大家可以一起交流下，毕竟作为硬件工程师，模电也算是必修中的必修了。

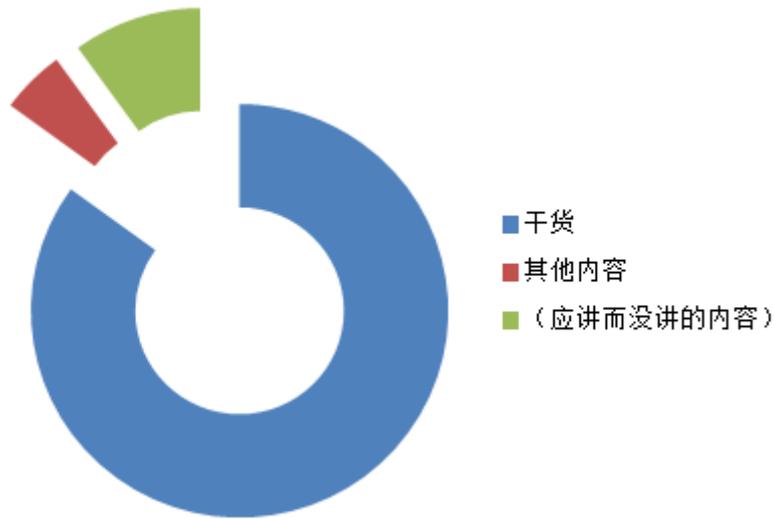
国内教材不适合自学

不知道大家有没有注意到，就单电子相关的基础教材，国内的普遍比国外的薄，薄很多。

那是不是说明国内的教材干货少呢？

恰恰相反！

可以看看下面这个图，国内的教材干货满满，从不拖泥带水。



能编写教科书，我相信作者的水平也是很高的。

里面的语句都是反复斟酌，以确保正确和严谨性，在这方面，国内教材肯定比国外更胜一筹。

但国内的教材受限于教学大纲，内容不可能那么丰富，这里的丰富指的是有助于读者理解教材所需要的背景知识、比喻、论证、图示等等。

生硬的给知识，本晦涩难懂，这谁受的了。

所以自学的时候，光看教材是远远不够的，学习A知识，需要B和C的铺垫，但教材没有，这就断层了。

会有一种感觉：编写的人真牛X，我TM是傻X。

读懂一本教材，可能需要搭配教材全解、教材完全解读这些教辅，想想尴尬癌都犯了。

国外教材就截然相反。



这节课我们讲A知识，我们先来看一下背景，再学一下B和C，这些会了吗？还不会？我给你画个图，会了是吧！那我们再来看A。

哦，原来A是这么来的，有意思啊，我真是棒棒哒。

国内教材学习更依赖老师

国外教材没有大纲的限制，更多是自己的发挥，可以说是毕生心血的结晶。

相比较国内的万年不变，插图、注释、背景知识相对更丰富，通俗易懂，更适合用来自学，弱化老师的参与。

国外的教材 = 国内的教材 + 教辅 + 老师的讲解，差不多是这样一个结构。

应试教育，加上大学课程也多，老师的传授仅仅局限于课本，万年不变的PPT，这些都是槽点。

不该上的，你上的起劲，生活中广泛使用的知识，你不上。

模电本是理论和实践强结合的学科。

但很干的课本，老师填鸭式的教学，学校硬件资源的缺失，都不助于能学好模电。

我相信一次动手的实操，花时间做一个放大器，远比上10节课都管用。

学生的无奈

另外，对学生而言。

在应试教育的妥协下，大部分都是死记硬背，应付考试即可。

模电学的扎实的，是那些边实践边啃理论的。

还记得我们学校一个教授说过，他那个年代学模电，是拆电视机。

好了，就废话这么多。

之前收集了一些模电相关的电子书，通俗易懂，分享给大家，[点击下载模电PDF电子书](#)。



今天的内容到这里就结束了，希望对你有帮助，我们下一期见。

7.11 硬件工程师其实拼的是细节

大家好，我是记得诚。

今天不上班，上网看看技术文档，充充电，看到几张图片，我就拿起笔写了这篇文章。

没在网上写技术文章之前，都是在本子上撰写，这几年也攒了好几本了，没事翻翻还能回忆起来。



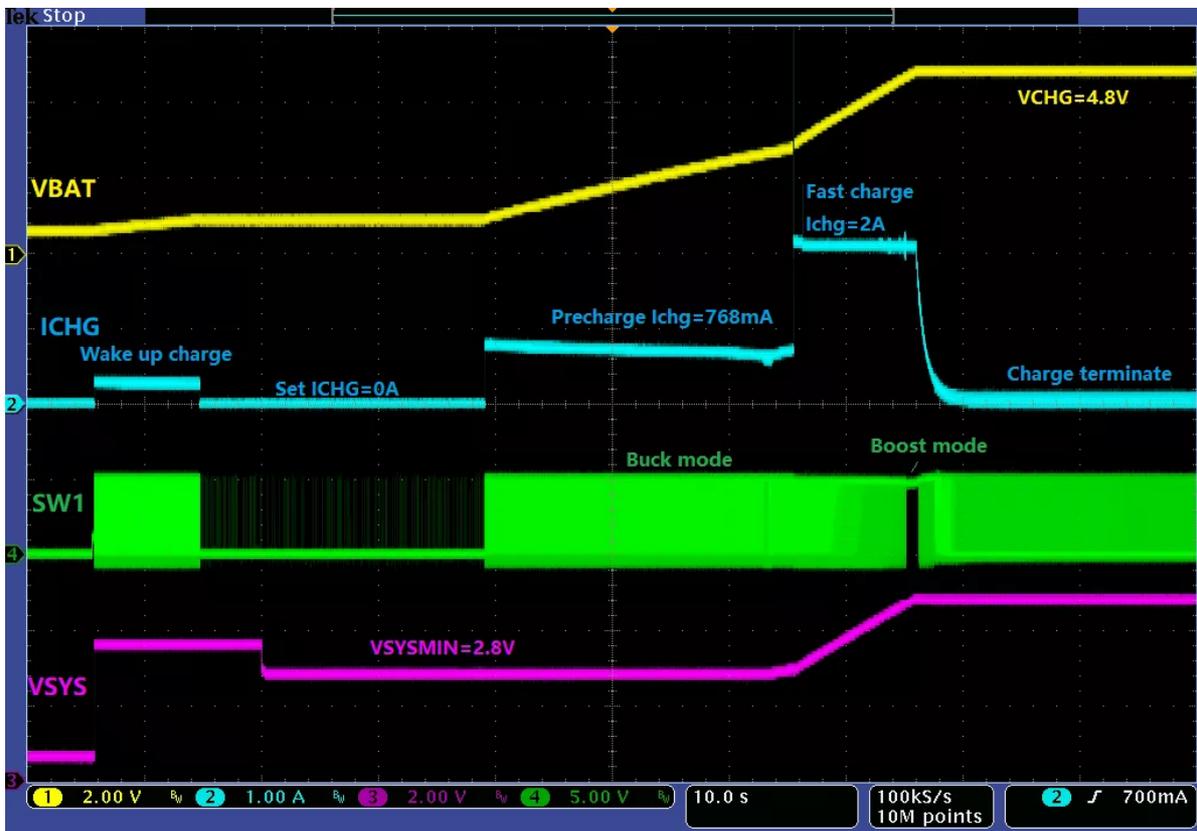
这种记录方式仅仅是给自己看，而硬件工程师在工作的过程中，交付件主要是给领导、给客户，较少的是给自己。

除了SCH&PCB，其他的交付件几乎都是Word、Excel和PPT，撰写文档的能力就显得尤为重要。

好的文档能体现作者思想和成果展现。

今天不说写文档的思路，主要聊一聊文档的配图，做技术是一个缜密的工作，没有一个详尽的分析过程，结果不会让人信服，无图无真相，很多时候一图更是胜千言。

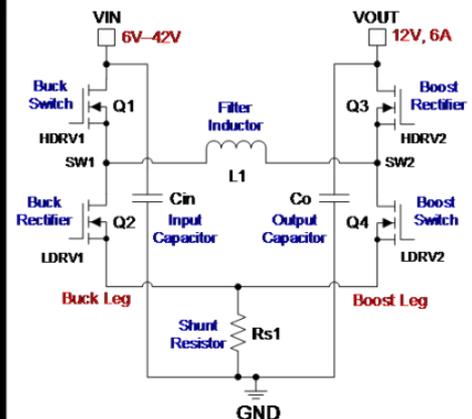
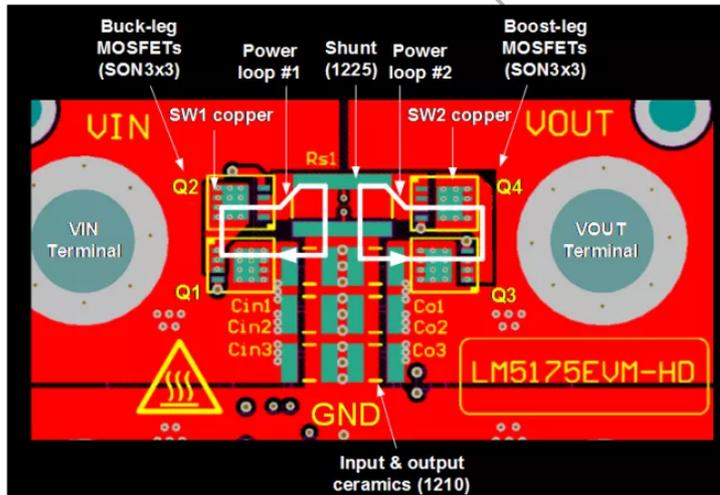
我说这么多，可能还抵不过下面这张图片。

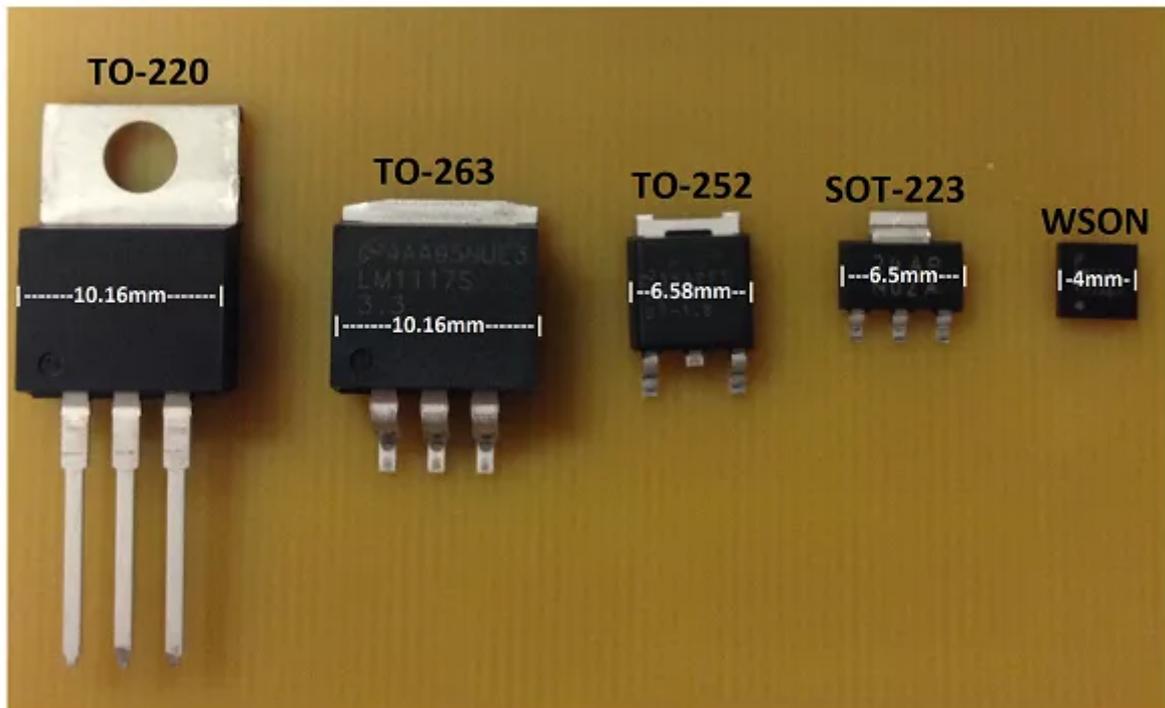


这是一张再普通不过的示波器截图，电池充电曲线，这张图有几个优点：

- 1、标注字体颜色和通道颜色一致；
- 2、英文标注大小写区分的很好，该大写的大写，该小写的小写；
- 3、每段曲线对应的过程标注清晰，电流和电压都有；
- 4、示波器截图完整，底部每个通道的电压和时间刻度都有，便于参考；

下面这个两张图也是一样，看起来真的很舒服。





其实，好的硬件工程师都是在细节上下功夫，对吗？欢迎大家评论区留言。

今天的分享到这里就结束了，我们下一期见。

7.12 如何学好硬件设计？

大家好，我是记得诚。

这是一个仁者见仁，智者见智的话题，但我相信有很多共性，是大家都能举双手赞同的。

7.12.1 学会查找资料

硬件设计的资料没有计算机那么丰富，可谓是稀少，最近我发现写电子的公众号变多了，这对读者来说，是一件好事情，作者能花时间将自己宝贵的经验整理分享出来，很值得点赞的。

大厂的资料多，像元器件选型、原理图设计规范、checklist这一些，都是经验传承，通过做项目长期积累下来的，有壁垒性，我们看不到，但像checklist这一类，不同行业差别也是蛮大的，并不是那么通用。

套片平台的资料也是签保密协议的，像高通、MTK、展讯等等，企业不能外发，个人几乎看不到，随着套片平台的走量，会暴露一些问题，所以平台的资料也是在不断优化中的，这也是宝贵所在，前人栽树后人乘凉。

之前用美信的一个芯片，对寄存器操作并不是很懂，大晚上的，我给FAE打了一个多小时电话，一步一步教我，最后还给我发了文档，FAE资源某种程度上也是“资料”。

专业的人做专业的事情。

举个例子，如果你想学习DC-DC的资料，那你肯定要去TI、MPS这些官网看看，你想学习电容的知识，肯定得去MURATA官网看看。

智能电机的 PMSM 参数识别	本文介绍了如何利用MPS智能电机控制模块实现基于 RLS 的PMSM电机参数识别解决方案，并采用MPS的 MMP757188-36在硬件实时测试中验证了其性能。文中还给出了具有不同惯量值的位置控制示例，用以说明参数识别的重要性。另外，由于 PMSM FOC 取决于多个电机参数，本文还证明了其他参数对控制环路的影响。	2021年5月
下一代尖端AI系统的电源解决方案	人工智能 (AI) 综合了多种解决问题的方法，例如数学、计算统计、机器学习和预测分析。AI系统通过基于计算机的“神经网络”来模仿人脑学习并解决问题。	2021年4月
面向48V数据中心应用的高度集成、可扩展、均流热插拔解决方案	将这些元素集成到诸如MP5048之类的集成式热插拔解决方案中，可提供一种简单、用户友好且强大的解决方案，非常适合空间受限的48V数据中心应用。	2021年4月
反激同步整流对EMI的影响	由于新的市场趋势，采用 SR MOSFET 实现同步整流 (SR) 成为适配器设计方案的一大突破和创新。同步整流取代了传统的肖特基二极管，成为适配器副边主流解决方案。	2021年4月
CCM与DCM的区别	反激变换器常用于进行AC/DC和DC/DC转换的开关模式电源，尤其是中低功率范围（约2W至100W）的电源。在这个功率范围内，反激变换器在尺寸、成本和效率比方面都极具竞争力。	2021年4月
原边与副边调节	在变换器设计中有两种不同的方法实现控制环路：原边调节与副边调节（PSR 和 SSR）。每种方法都有其优缺点，本篇文章将针对此展开讨论。	2021年4月
用于便携式设备的简化版USB Type-C 电源管理设计	USB Type-C 电缆和连接器尽管体积小，但却用途广泛且功能强大，它提供两个源极（VCONN 和 VBUS）并具有宽电压范围。为实现精巧、紧凑的设计，可靠地处理并监测USB Type-C 电压，强烈建议采用带 O 型环路和升降压（Buck-Boost）电路的集成电源设备。	2021年3月
EMC开关节点布局注意事项	对任何开关稳压器或功率变换器电路，SW节点的布局都需要认真对待。了解SW节点波形、确定合理的SW走线尺寸并制定策略最大程度地减少近场耦合，这些都非常重要。	2021年3月
完美匹配：降压变换器功耗以及如何提高效率	当今电源 IC 的高度发展要求性能卓越的功率电感。构建通用封装的标准电源将有助于减少设计时间和生产成本。而要在 PCB 空间以及散热和成本效率方面实现最佳性能，确定电感和 IC 之间的最佳匹配至关重要。	2021年2月
无刷直流电机、有刷直流电机：该如何选择？	常用的直流电机有两种：有刷电机和无刷电机（或称BLDC电机）。顾名思义，有刷直流电机带有电刷，电刷可以使电机换向并旋转；而无刷电机则用电子控制取代了机械换向功能。	2021年2月

MPS和TI官网关于电源的技术文章和视频都有很多，也非常专业

资料太多，你如果找不到你想要的，直接找FAE就行了，他们都是专业的，比你想象的要专业很多。

7.12.2 学会提问

在给套片平台提CASE时候，需要描述现象，做了哪些实验；撰写一份测试报告时，也要包括现象、实验过程、实验仪器、结论等等，提问更应该是如此。

7.12.3 学会拎清主次

硬件的知识很繁杂，很多应届生望而却步，被吓到了，觉得入门要3~5年，这其实是没有规划一个合理的学习路线。

我们要做到的是一专多能。

以目的为导向来驱动行动，减少自己的焦虑。

对学生而言，更多的是基础知识的学习，加学校的项目经验、竞赛这些等等，选择自己感兴趣的行业，再选择心仪的公司。

对职场人来说，从项目中学，要吃透，业余时间补充自己的知识体系，合理补充，多了解行业动态和市场行情。

7.12.4 学会躺平

躺平不是简单的不上进，而是让自己处于一种舒服的工作状态，更能让自己发挥出潜力。

很多人羡慕大厂的高工资，但另一方面，相应程度要接受加班时间长，工作强度大，“事多”等问题。

很多人卷公务员，相信也是冲着待遇不错而且事少去的。

不是人人都适合华为BAT，不是人人都能进华为BAT，当下如果不是最好的选择，一定要按照自己内心真实想法，没踏出的是遗憾，走出的是无悔，可能也是一片光明。

刚毕业想进一家公司，实力不够，有点遗憾，工作了几年，我如愿进去了，发现这里并不是我想要的，但还是很开心。

7.12.5 学会展示自己

我没有什么优点，有时候觉得自己还有点笨，但耐心和韧性还不错，所以还能看到我在这里继续写文章，有时候觉得自己很啰嗦，但反复强调的，一定是我内心最纠结挣扎过的，分享给大家，也是希望都能有所悟。

从发哥的文章中，我能看出他是一个热爱生活的人，从麦叔的to do list中，我能看出他是一个很有规划的人，从新来小伙子的原理图中，我能看出他的认真仔细和用心。

有人说，让别人知道你牛逼远比你自己牛逼更重要，嗯，是的。

热爱生活，生活会回报你，热爱工作，工作也会回报你。

7.13 心灵鸡汤

7.13.1 开门见山

有一天吃午饭，我和我的同事兼好友，一边吃饭一边聊天八卦，说到：有一个部门的领导技术一般，项目上的很多事情问他，他也不知道，不知道为什么能当上经理，难道就是靠着自己在公司的工作年限久？

这个问题后来我思考了好久，也困扰了我好久，有一个阶段，甚至有点讨厌这个人，有项目上的事情问他，也不能很好的解决，不像和某些同事合作起来那么的舒服，谈笑之间就能把事情解决了。

又是一个中午，和我一个年长的朋友一起吃饭，他在一个上市公司做技术总监，我把我的困惑讲给他听，他笑了笑，对我说：很多事情，存在即合理，它既然存在，就一定有它的道理，你可能现在还无法理解。

他又拍了拍我的肩膀告诉我，其实啊，职场上有一些不成文的“潜规则”，很多人掌握了它，职场上游刃有余，升官加爵；有一些人故步自封，不掌握规则，不遵守规则，自然混的不行。听完我顿时豁然开朗。



如果你是初出茅庐的职场新人和已经工作3~5年，工作却一直不如意的职场老鸟，下面的内容可以看一看。

7.13.2 初出茅庐

7.13.2.1 融入新环境

职场新人，是从学生转变到企业员工，企业招应届毕业生的主要原因有如下几个：便宜，听话，能加班，创造力强。

在学校，有老师教；而在企业里，有人教是幸运的，没人教才是正常现象，所以如何快速融入新环境，有如下几点：

1.多问

不要羞于表达，老想着说：“这么简单的问题我能不能问啊，其实你经历的这些东西，你的领导可能都已经经历过”，切记不要什么问题上来就问，这是大忌，有些问题在你思考百度过，确实不懂，可以问，问的时候加上自己的思考，这是比较好的方式。

2.闭环思维

刚来公司的新人，部门领导可能每天分配一点任务，如解点简单的bug，闭环思维的意思是：领导安排的任务，在完成之后，相关结果要及时反馈给主管，包括你做了哪些，进度到哪里，存在哪些问题。提高主观能动性，千万不要等着领导亲自过问，也不要：他可能知道我在做什么吧的想法。

3.多学

初入职场的新人，能力和经验并不具备竞争力，同一批新人，你如何更突出呢？会发现有些人进步神速，很快上手做项目，而有些人还停留在初步阶段，这是学习的重要性，多加班，多学，先苦后甜，延迟享受。

7.13.2.2 坏印象与好印象

力争给同事留下一个好印象

公司同事A对B说：“新来的同事C很不错啊，解BUG速度很快，最近几次提交的代码质量都很高，注释也很清楚，严格按照公司的代码规范来。新来的D不懂装懂，1个星期了1个BUG都还没解决，代码没有review就提交了。”

这样的对话，我相信在很多公司天天会发生，你的一举一动领导和同事都看在眼里，等到升职加薪，经理肯定会更多地考虑C而不是D。

我们知道好印象需要长时间建立，坏印象一次就能形成，给别人留下好印象在职场中非常重要。



让别人对你竖大拇指

7.13.2.3 责任与习惯

1、敢于承担责任

当学生可以不承担责任，做职场人却不能推卸责任。当学生的时候，即使已经成年，家长，老师，包括其他人仍会把你视作孩子。很多职场新人害怕承担后果，害怕犯错，对于职场新人来说，不要惧怕犯错，不然畏手畏脚，你现在不犯错，难道等到工作5年后再次犯错，那时候相信没人会原谅你。遇到事情更不要说：这个我不知道，这个不归我管，尝试着多付出，多帮助他人，很多东西都是相互的。俗话说得好，能力越大，责任越大。

2、养成好的习惯

准备一个笔记本，开会等场合，随时记录。

勤于归纳，归纳会让你对知识点了解更全面，更透彻，及时发现自己缺失的知识点。

每天下班之前作总结。（博主工作了4年，笔记本差不多记录了10本左右，很多知识点，长时间不看，就忘记了，翻翻笔记本还能回忆起来。）

7.13.2.4 不懂装懂

职场新人切记不要不懂装懂，公司对新人的宽限度较大，新人的目的就是快速学习并成长，尽快融入公司的工作岗位中，切记不要有不懂装懂的心态，会给自己大大降分，令人生厌。

7.13.3 职场老鸟

职场如战场，这句话不仅仅是对于职场新人适用，对于很多工作3~5年进入职业发展瓶颈期的同学一样适用。

7.12.3.1 埋头苦干

90%的程序员都属于埋头苦干型，有一部分优秀的程序员在埋头苦干的同时，还会抽出一部分时间进行思考总结，很难能可贵，因为不能只顾低头拉车，也要注意抬头看路，否则走错了方向，那将会是背道而驰。

优秀的程序员除了技术能力强外，还会定期回顾，思考未来，关注行业动态，不断学习新技术，保持良好的技术敏锐度。和优秀的程序员聊天，你会发现，谈吐非凡，逻辑清晰，对行业动态了如指掌，这些当然都是需要利用业余时间进行学习充电的。

发现自己原来太蠢了，一直觉得自己的公司好，没关注过技术的平均工资，猎头来猎我也都推了。从毕业开始，在公司待了7年，这次出去找才发现公司给的价和市场价竟然隔了1万多（面了10家拿了6个offer，都高1万）。还不用996，不用通宵。以后一定要时刻盯着外面，指望公司讲感情是不可能的

7.13.3.2 故步自封

程序员的出路大致有两条，一条是成为技术专家，一条是转管理方向，一些程序员固步自封，不学习，一年的工作经验用10年。那除了提高自己的技术能力外，我们还需要掌握哪些技能？为了这两条路还需要准备哪些？

离我代码远点



以下我觉得都是应该要做的：

拓宽自己的视界，不局限于自己专业领域的圈子，主动接触身边各个领域里的牛人，保持开放学习的心态。

提升英语能力，如果你想进更大的平台，英语能力很重要，尤其是一些外企。

快速学习能力，技术的更新迭代虽然不是很快，但需要不断学习新知识，构建自己的知识体系网络。

提高协调沟通能力，不管是技术部门经理，还是纯管理者，协调沟通能力可以说非常重要。

提高逻辑思维能力和表达能力，很多程序员是宅男，不愿意说话，当一个领导者或管理者，这点是必须要改变的。

身体是革命的本钱，勤加锻炼，程序员猝死的新闻也经常报道。

7.13.3.3 多尝试，全面开花

薪水并不是全部

很多程序员出生农村，家庭条件不好，随着年纪的增大，会出现上有老，下有小的局面，一份稳定的月薪并不能养家糊口，车贷房贷更是压得喘不过气，更别说轻易辞职。但是我们纵观有的程序员小日子过得很舒服，因为他们除了自己的主业外，都有副业，并且副业收入可能比主业更高，副业的边际成本更低，花费时间更短，比如我：

写技术博客：提升自己的技术能力，结交好友，提升影响力，会有人约出书，写技术文章等，前段时间有公众号约文章，写推文，挣了点零花钱，并且认识了各路大神。

兼职网站：我会在一些网站上传一些方案，有人买，就有收益，现在很多这种形式，像CSDN的收费专栏，而且这些收益的边际成本很低，不用维护，有人订阅就有收入。



经营自媒体：接广告恰饭一个月多的也能挣上千块，微信公众号推广比较难，如果你的技术文章质量高，自然关注你的不会少，所以不断学习，提高技术能力显得尤其重要。

跳槽：很多人安于现状，不想动也不愿意动，如果你对现在的公司不满意，可以尝试跳槽，换一个环境，原有公司涨薪幅度是有限的。跳槽去往更好的平台，待遇可能会更好，另外面试也能及时发现自己的不足。切记不要频繁跳槽，否则会让人觉得你不踏实，不稳重，心浮气躁。



用金钱蒙蔽双眼

7.13.4 30岁程序员的焦虑

百度搜索30岁程序员，会出现诸如：30岁程序员如何寻找出路，30岁程序员失业了，程序员到了30岁迷茫的越来越多，从这些话题看，现在30岁的程序员貌似都有点焦虑。

Baidu 百度 30岁程序员 30岁程序员 **百度一下**

[入口] [程序员怎么从入门到精通](#)
[费用] [java程序员工资一般多少钱](#)
[甄选] [java和python哪个工资高](#)
hefei.tedu.cn 2020-03 - 评价 广告

30岁程序员如何寻找出路 - 路飞写代码

2019年4月26日 - 越来越多的00后就会加入到求职找工作的大潮中,而身为30岁的你是否感到了彷徨...程序员这个词是我们浏览新闻时经常看到的词语,是一些专门从事代码编码,构建复杂系统...
 路飞写代码 - 百度快照

30岁以上的程序员出路在哪里?

2018年10月9日 - 过了25岁又有人说:程序员30岁是个坎。然而放眼望去,公司的技术骨干统统都是30+。等我到了30岁,仍然有人坚持不懈地说:程序员35岁是个坎。但35岁的程序员...
 北大青鸟天津学院 - 百度快照

30岁的程序员失业了,还要继续找工作吗? - 知乎

2019年10月19日 - 30岁,工作8年,存款100万,说明平均一年12万左右的存款,估计一个月开销在12000左右。假如你是单身,不找工作,那接下来你的年龄,够得着结婚了吧,买房了吧,买车了...
 知乎 - 百度快照

为什么程序员到了30岁迷茫的越来越多? - 高数的博客 - CSDN博客

2019年1月20日 - 别只看不评论,谈谈你心中的程序员,感兴趣的话可以扫描左侧二维码30岁正是经过了5-7年的职场生涯,技术、经验、职业素养等各方面都到了一个比较充沛的阶段。如果...
 CSDN技术社区 - 百度快照

30岁程序员的焦虑

30岁就开始焦虑，而我想说的是：男人三十而立，四十而不惑，三十岁才是事业的快速发展阶段，上升阶段。程序员30岁，不该是结束，而应该是更好的开始！

30岁之前，马云还不知道互联网为何物。

30岁的时候，王健林还在当兵，赚1个亿，对他来说，可能想都没想过。

屈原50岁才赋离骚，达到他文学的巅峰成就。

吴承恩82岁去世前，才将《西游记》写完。

57岁的齐白石在北京靠卖画为生，鲜有人买；他66岁遇伯乐徐悲鸿赏识，才从此出名，那一年，他66岁。

雷军41岁创办小米。

哈兰·山德士65岁成立肯德基。

罗永浩47岁创办锤子科技失败，4月1日起将直播卖货。

.....



多一点不为什么的坚持，当初选择程序员这一行，一方面是待遇还不错，可以给家人提供好的生活，另一方面是热爱，享受代码敲出来的成就感，程序员的快乐其实很简单。因为相信，所以看到，世界终究属于乐观主义者。